

ポリ Si 負荷 CMOS スタティック RAM

メモリの良し悪しを評価する大事なポイントは、何と言ってもアクセスタイム、消費電力、そして集積密度の3大要素であろう。これらの要素は相互作用が強く、あちらを立てればこちらが立たず困惑させられるものである。この発明では、3大要素をすべて満足させようと考えた。

1. 特長・効果

全体の回路は、メモリセルを多結晶 Si (ポリ-Si) 抵抗と N チャネル MOS FET で構成し、センスアンプなどの周辺回路を CMOS FET でまとめた(図1)。

この回路では、CMOS のもつ高速性(低 SP 積: 遅延時間×消費電力)を十分生かし、アクセスタイムに大きく影響する周辺回路の応答を速めている。CMOS は IC の中で比較的広い面積を必要とするが、大容量のメモリチップでは周辺回路の全体に占める場所が小さいため、メモリチップ全体の集積度にはほとんど影響しない。一方、メモリマトリックスは大きな場所をとるので、数万個もあるメモリセルの1個1個は単チャネル MOS と電源ライン・抵抗部一体化ポリ Si により小形化し、大

容量化及びビット当たりのコストダウンを可能にした。また、CMOS 及び高抵抗負荷は共に消費電力が少なく、両タイプの回路は3部門で見事に調和している。

比較的簡単に見えるこの発明には、「CMOS チップは PMOS と NMOS を対にした回路でこそ、その意味がある。」という従来の既成概念を打破した生い立ちがあり、CMOS プロセスでありながら、単チャネル MOS と高抵抗の回路がチップの大部分を占めることになるこの発明は、ユニークであろう。日立製作所では、このような技術に「Hi-C-MOS」と愛称を付け、4k ビットから世界に先駆けて採用、Electronics Apr. 26, 1979 P. 126, 同 Oct. 23, 1980 P. 115 では、「impressive part», «extremely innovative processing and design», «a real challenge to n-MOS technology» との第三者評価を受け、1979 年には I.R. 100 を受賞した。64k ビット以上のスタティック RAM 市場では主流技術となった。

2. 提供技術

■ 関連特許の実施許諾
特開昭54-14690
特開昭53-14586
特公昭57-23423
特公昭58-4459 ほか

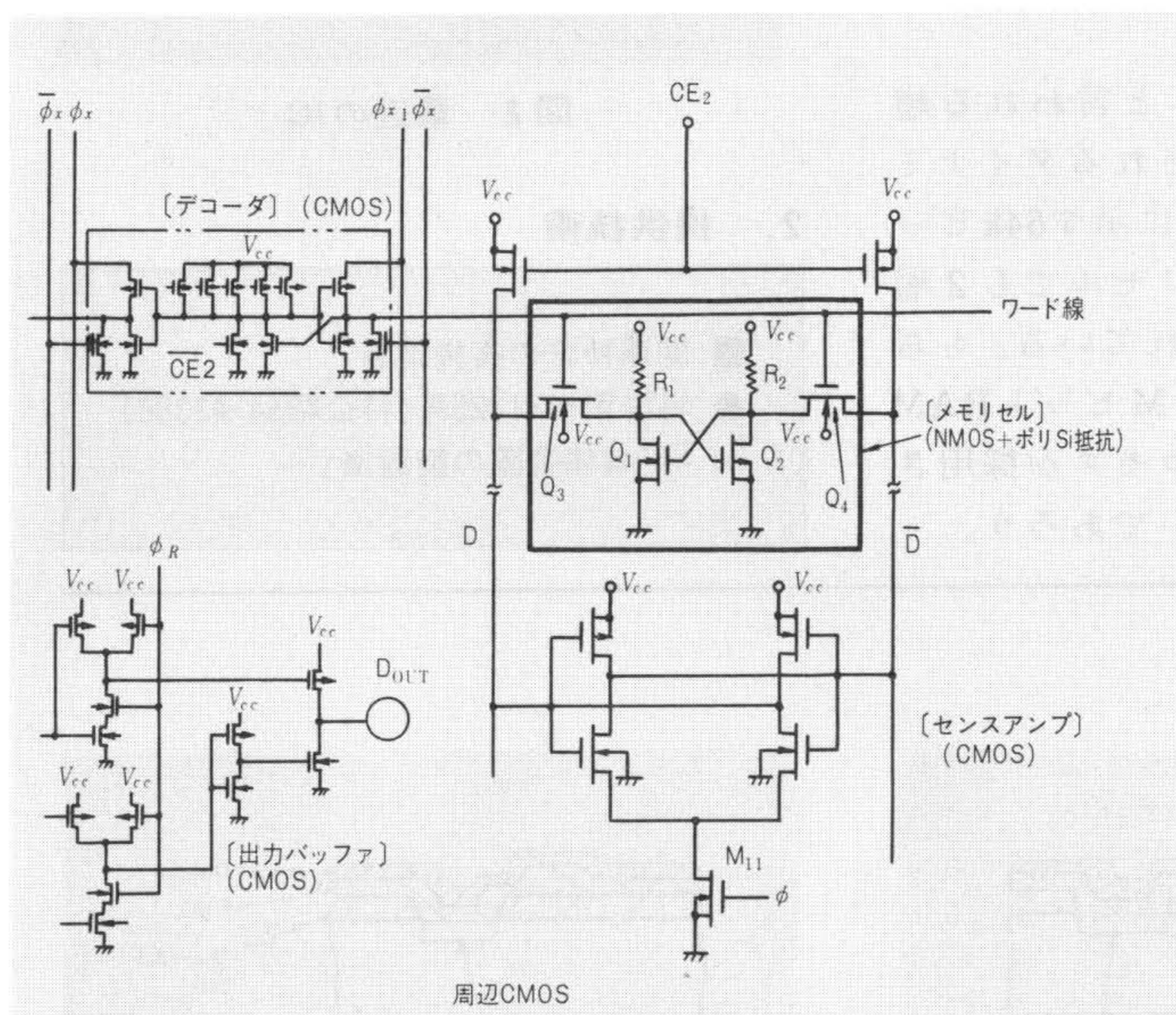


図1 本発明によるCMOSスタティックRAM

折り返しビット線 D-RAM

従来の1MOSダイナミックRAMでは、図1に示すように、一対のビット線を差動形のセンスアンプを挟んでその両側にそれぞれ1本ずつ配置していた。ちょうど、センスアンプを胴体に例えれば、左右の手(ビット線 $D_1, \bar{D}_1$)を一直線に広げた格好である。

このようなメモリセル配置では、ワード線を介してビット線に雑音があると、その雑音がセンスアンプでそのまま増幅されるので、高集積化になるにつれてS/N比が大きな問題となってきた。

1. 特長・効果

この発明では、図2に示すように、差動形のセンスアンプの一方の側に一対のビット線を平行に配置し、ビット線 D_1 と $\bar{D}_1$ がセンスアンプのところで折り返すようにした。ちょうど、両手を前のほうに平行に伸ばした格好である。このような配置にすると、一つの

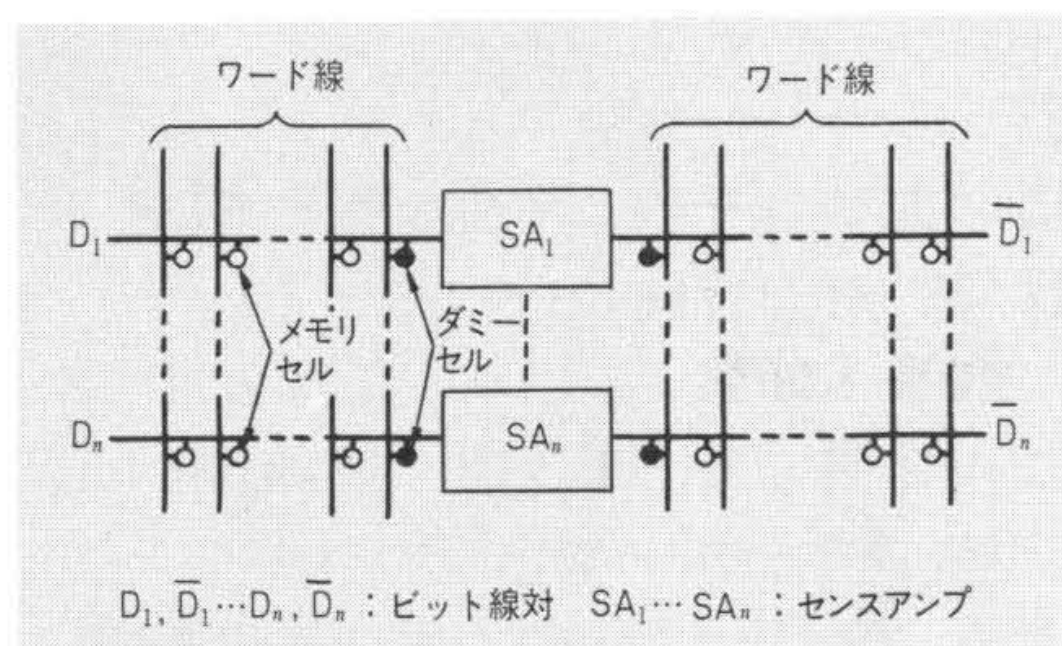


図1 従来のIMOSダイナミックRAMの要部回路例

ワード線が、両方のビット線 D_1 と $\bar{D}_1$ と交差するレイアウトになるので、ワード線を介しての雑音は両方のビット線にほぼ等しくなるので、このような雑音は差動形のセンスアンプで相殺される。

D-RAM の高集積化に伴い、メモリセルから取り出される信号量はしだいに小さくなっており、日立製作所では64k ビットからこのレイアウト方式を採

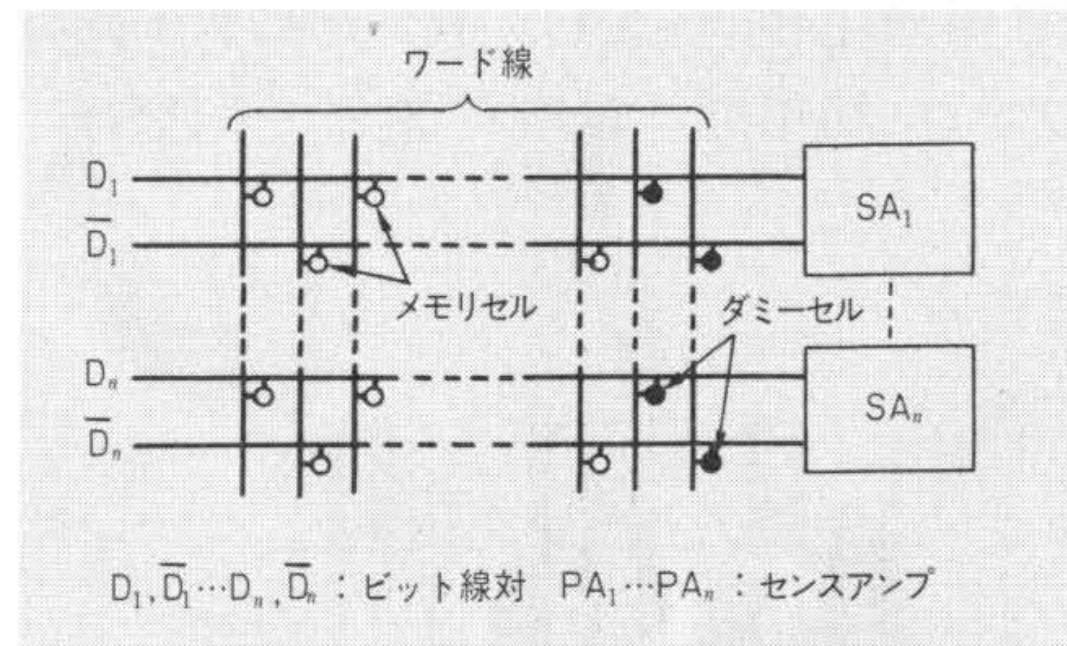


図2 本発明を実施したIMOSダイナミックRAMの要部回路

用、256k ビットの市場ではこの方式が主流となり、S/N比を向上させる上で欠かせない技術となった。

2. 提供技術

■ 関連特許の実施許諾
● 特許第1146400号(特公昭55-39073号, 米国特許第4044340号)
「半導体メモリ」

2層ポリシリコン電極の形成法

1. 特徴・効果

この2層ポリ(多結晶)Si電極は、図1(a)~(c)に示すように、1層目のポリSiを酸化した後に2層目のポリSiをその上にまたがって形成するか、又は同図(A)~(C)に示すように、1層目のポリSiとその下のゲート酸化膜をパターンニングしてから全面酸化(第2ゲート酸化)し、その後2層目のポリSiをデポジットすることによって作られる。この発明によれば、いずれのポリSi層もSi基板の薄い酸化膜上に形成されるため、共に基板表面の電界効果制御電極とすることができる。また、両層を重ね合わせて形成することによって、制御電位の異なる制御電極を連続的に形成することができる。

このような多層制御電極は、高集積化だけでなくバラエティに富んだ新しい素子構造をもたらしした。その一つがCCD(Charge Coupled Device)であり、また、EPROMでは図2(a)に示すような高耐圧構造をもたらしした。

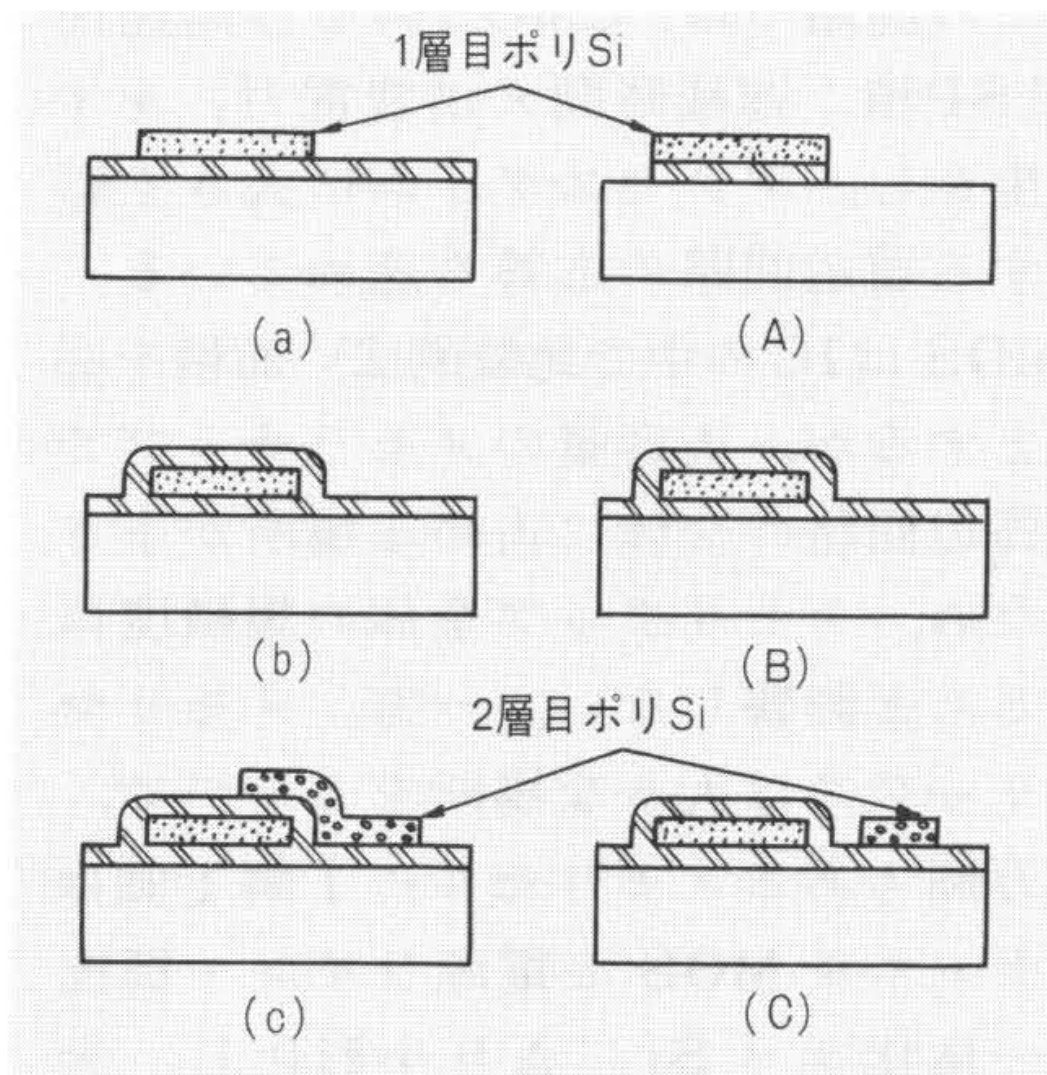


図1 本発明による2層ポリSi電極の形成方法

さて、 $2\mu\text{m}$ から $1\mu\text{m}$ へと言われる超LSI、その最先端と評されるダイナミックRAMでは、図2(b)に示す64kビット、256kビットのメモリセルでも2層のポリSi電極が採用されている。もちろん、次世代の超LSI1MビットRAMでもこのような製造プロセスが採用されることには変わりはないであろう。

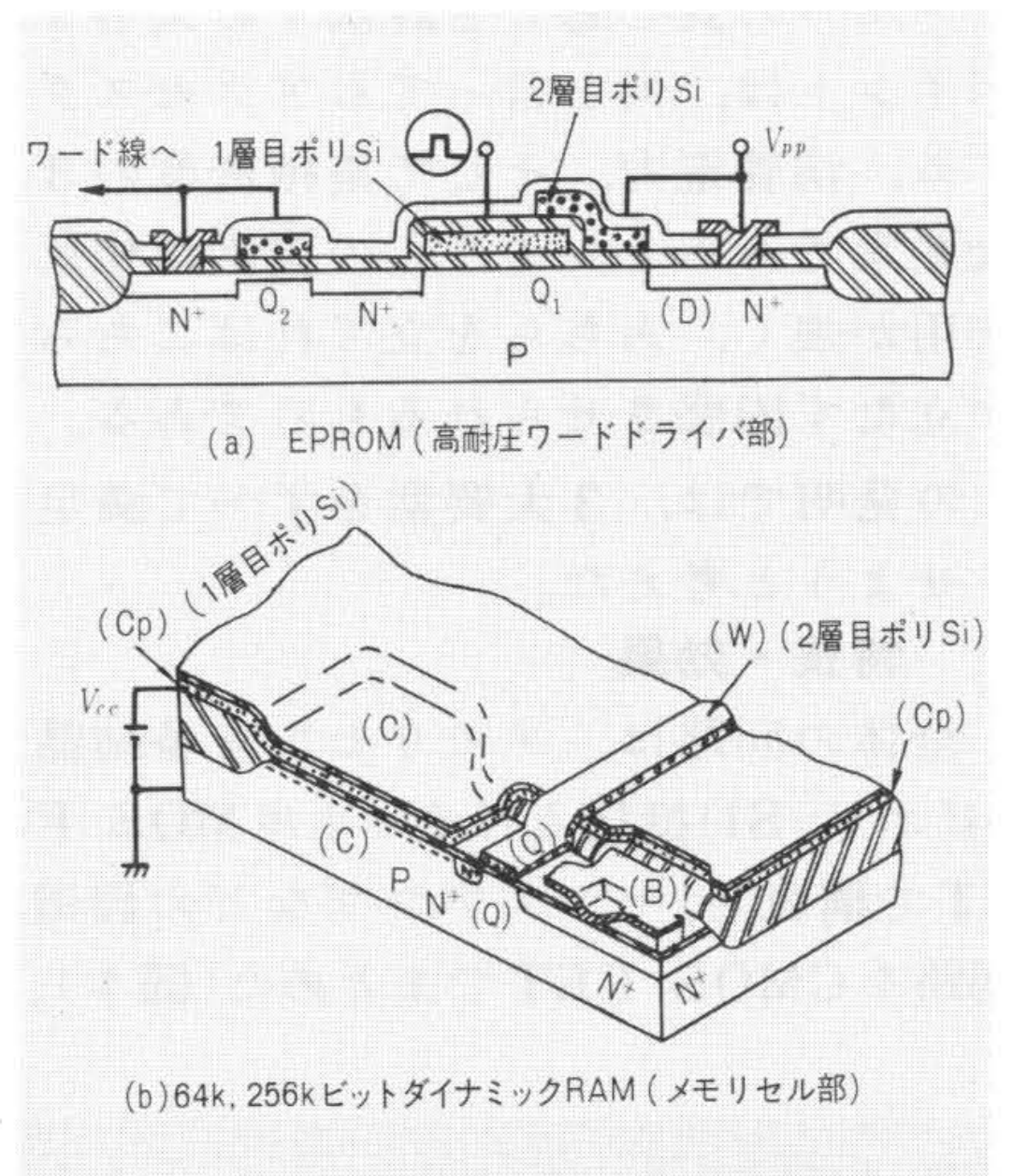


図2 最近のIC

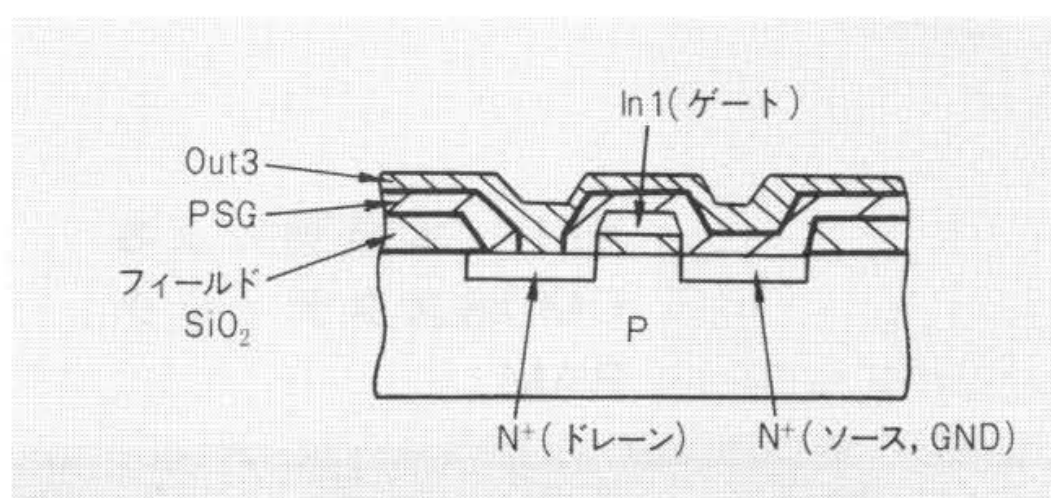
2. 提供技術

- 関連特許の実施許諾
- 特許第1081225号(特公昭54-43356)
「半導体装置の製造法」

シリコンゲート・マスクROM

MOS ICの製造方法はAlゲートプロセスとSiゲートプロセスの二つに大別される。

日立製作所では、CMOS標準ロジックの一部を除きSiゲートプロセスを全面的に採用し、そのプロセス技術開発をいち早く手掛けた。またAlゲートプロセスからの切替えも、電子式卓上計算機用LSIでMOS ICが脚光を浴び始めた幼年期には既に業界で先駆け



(a) MOS Trs (A-A断面図)

(b) MOS Trs 無し (B-B断面図)

図2 図1の要部断面図

で行なった。

この発明はそのころ生まれたSiゲート関係の有力特許の一つである。

1. 特長・効果

この発明では、“1”、“0”の論理パターンは、フィールド酸化膜のパターンで決まる。言い換えればフィールド酸化膜層の写真処理マスクで製造の途中段階で実質的な書き込みが行なわれる。マトリックス交点にトランジスタを作る場合(論理“1”)は、図1に示すようにフィールド酸化膜の境界線(太線)が多結晶Si層の下を横切るようにパターンニングする。論理“0”の場合フィールド酸化膜の境界線は多結晶Siと交差しない。したがって、図2に示すように、論理“1”

の場合はドレーン領域が形成されるが、“0”の場合はドレーンが形成されない。

したがって、本発明によればSiゲートの基本プロセスを何ら変更しないでマスクROMを製造することができるので、マスクROMだけでなく、マスクROMの内蔵が必要となるワンチップマイクロコンピュータや電子式卓上計算機などで幅広く採用されている。

2. 提供技術

- 関連特許の実施許諾
- 特許第1174707号(特公昭58-4461)
「MIS型半導体装置の製造法」
特許第1182276号(特公昭57-38034)
「MIS型半導体装置の製造法」

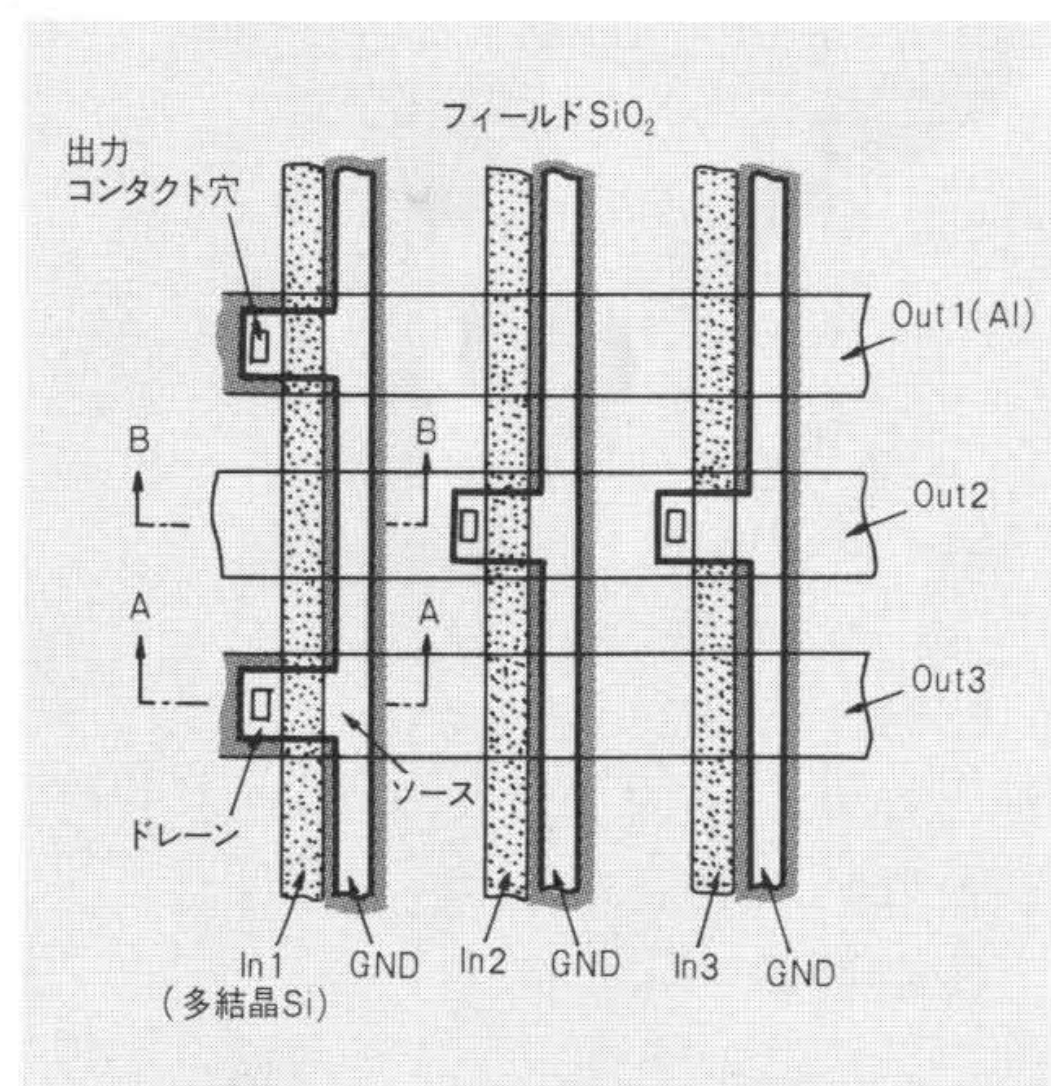


図1 本発明によるマスクROMの平面パターン図

EPROM内蔵CMOS 8ビットシングルチップ マイクロコンピュータ“HD63701X0C”

HD63701X0Cは、世界トップレベルの高性能CMOS(Complementary Metal Oxide Semiconductor) 8ビットシングルチップマイクロコンピュータLSI “HD6301”ファミリーの一つで、ユーザーが自由にプログラミングできるEPROM(Erasable and Programmable Read Only Memory)をチップに内蔵した新製品である(図1、2)。EPROM内蔵に当たって、読み出し回路の改良や最小パターン寸法 $2\mu\text{m}$ の微細加工技術などの改良により、従来のマスクROM形マイクロコンピュータLSI “HD6301X”と同等の高速性、低消費電力を維持し、かつチップ面積の拡大を抑えている。今後は“HD63701X0C”で開発したCMOS EPROM内蔵設計技術を基に

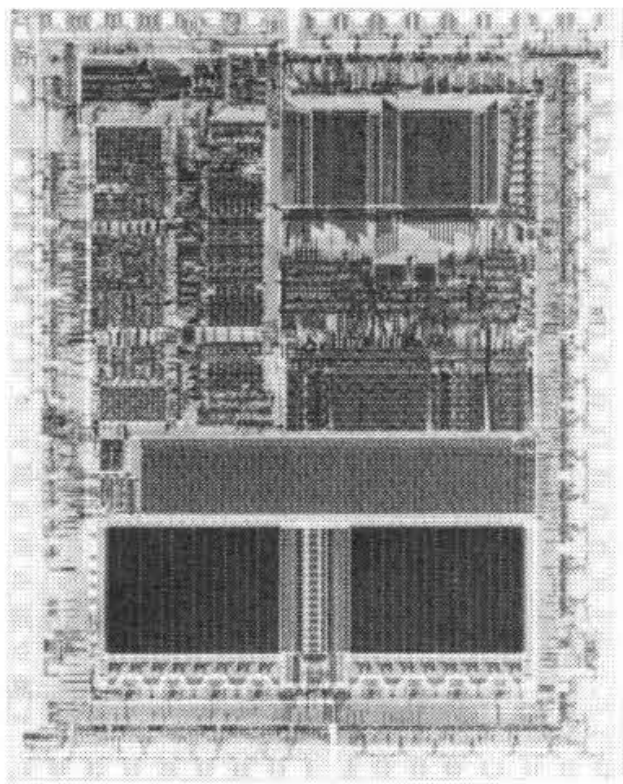


図1 “HD63701X0C”のチップ写真

ファミリー展開を進め、市場のニーズにこたえてゆく予定である。

1. 主な特長

- (1) CMOSマイクロコンピュータでは世界トップレベルの4kバイトEPROMを内蔵している。
- (2) マスクROM形マイクロコンピュータLSI “HD6301X0P”と機能、ピン配置など完全に互換性をもっている。
- (3) EPROMのプログラミングは、“2732A”タイプEPROMと同じ仕様であり、64ピンから24ピンへの簡単な変換アダプタを用いて、汎用PROMライターでプログラミングができる。

2. 主な用途

マスクROMにする前の応用プログラムのデバッグ用や生産立上げ時点の量産用として用いられるだけでなく、きめ細かな顧客対応を要求される情報産業機器、迅速なプログラム変更が必要な開発期間の短いOA(オフィスオートメーション)機器などを中心に幅広い分

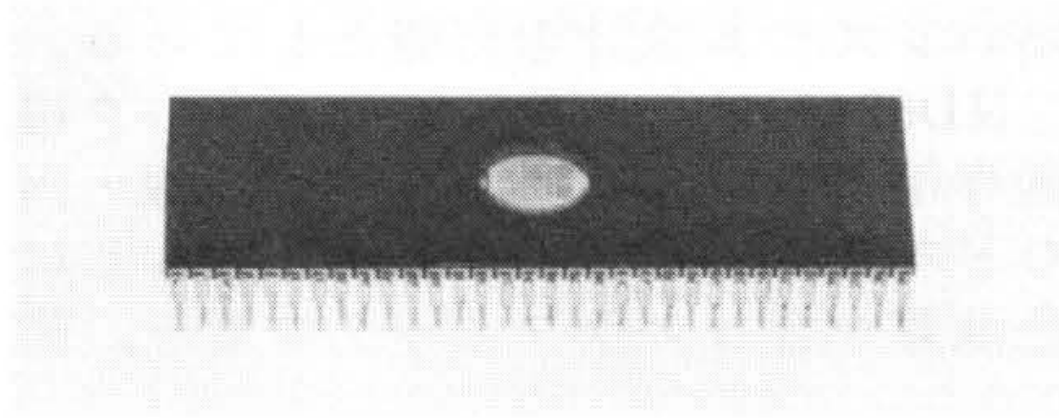


図2 “HD63701X0C”の外観

野での応用が期待される。

3. 主な仕様

主な仕様を表1に示す。

(日立製作所 半導体事業部)

表1 主な仕様

項 目		内 容
MCU 部	CPU	HD6301 ファミリCPU
	RAM	192バイト
	I/O(本)	53
	タイマ(本)	16ビット×3 8ビット×1
	シリアルインタフェース	有(調歩同期式/クロック同期式)
	外部メモリ拡張	64kバイトまで可
	その他	●エラー検出 ●低消費電力モード (スリープ/スタンバイ) ●メモリレディ、ホールト機能
EPROM 部	容量	4 kバイト
	書き込み電圧	21V ±0.5V
	書き込み時間	50ms
	消去特性	15W・s/cm ² (253.7nm紫外線)
最小命令実行時間		●1.0μs(1.0MHz動作時) ●0.67μs(1.5MHz動作時) ●0.5μs(2.0MHz動作時)
消費電力(標準値)		動作時 30mW(V _{CC} =5V:1MHz動作時) スリープ/スタンバイモード 5mW/10μW EPROM書き込み時 I _{pp} =30mA
パッケージ		窓付きDILセラミック 64ピンシュリンクパッケージ

注: 略語説明

CPU(中央処理装置), RAM(Random Access Memory)

I/O(入出力装置), MCU(Micro Computer Unit)

EPROM(Erasable and Programmable Read Only Memory)

ハードディスクコントローラ“HD63463”

マイクロコンピュータの応用が本格化するにつれ、OA(Office Automation)分野等で小形・高速・大容量ディスクストレージに対する需要が急速に伸びてきている。また、制御回路のLSI化の要求も強い。これら動向にこたえるため、ハードディスク装置とマイクロコンピュータシステムとの接続を行なう周辺LSI、HDC(ハードディスクコントローラ)HD63463を開発した。

HDCはウインチェスタ形ハードディスク装置で主流になっているST506準拠インタフェースをもつ装置(ディスク径5.25in)、とSMD(Storage Module Drive)準拠インタフェースをもつ装置(ディスク径8in)の2種類のタイプを

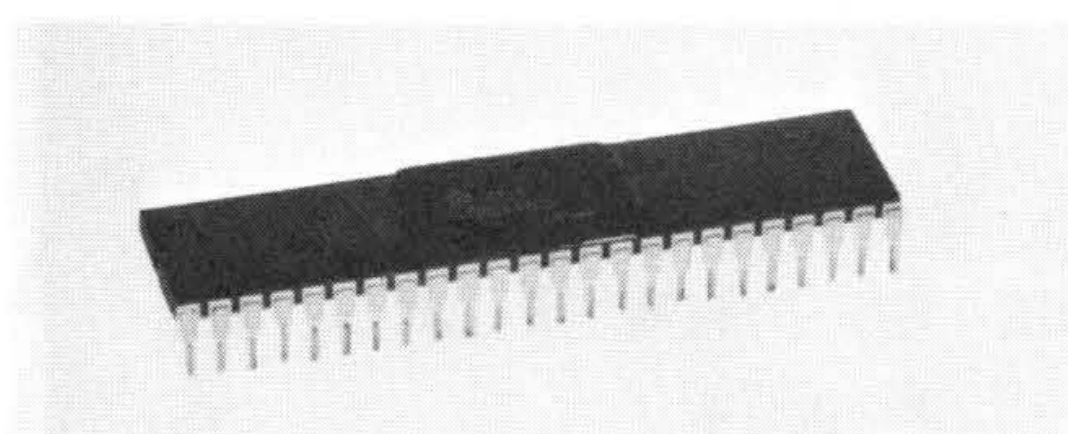


図1 ハードディスクコントローラ“HD63463”

同一チップで制御する専用デバイスコントローラである。22種の制御コマンドを備え、ヘッドのシーク動作、データのリード・ライト、データの転送、ドライブ状態の監視など、一連のディスク入出力制御を行なう。また、256バイトから成る内蔵データバッファ2面をダイナミックに切り換えて使用するアーキテクチャを採用したことにより、MPU(Micro Processor Unit)側のデータ入出力転送とディスク装置へのリード・ライト動作の並列処理を可能とした。これによりDMA(Direct Memory Access)によるMPU側の高速データ転送、プログラム入出力による低速データ転送などの応用が容易となっている。またHDCはディスクデータの信頼性向上のため、32ビットECC(Error Correction Code)によるディスクリードデータの誤り検出、及び訂正機能を内蔵している。11ビット以下のバースト誤りに対しては、内蔵データバッファ上で誤りの自動訂正を行なう(256バイト/セクタのとき)。MPUインタフェースは、16ビットバスのほか8ビットバスも選択可能であり、8ビットから16ビット

マイクロコンピュータシステムまで広範囲のディスクシステムに応用できる。

表1にHD63463の特長と仕様概要を示す。

(日立製作所 半導体事業部)

表1 HD63463の特長・仕様概要

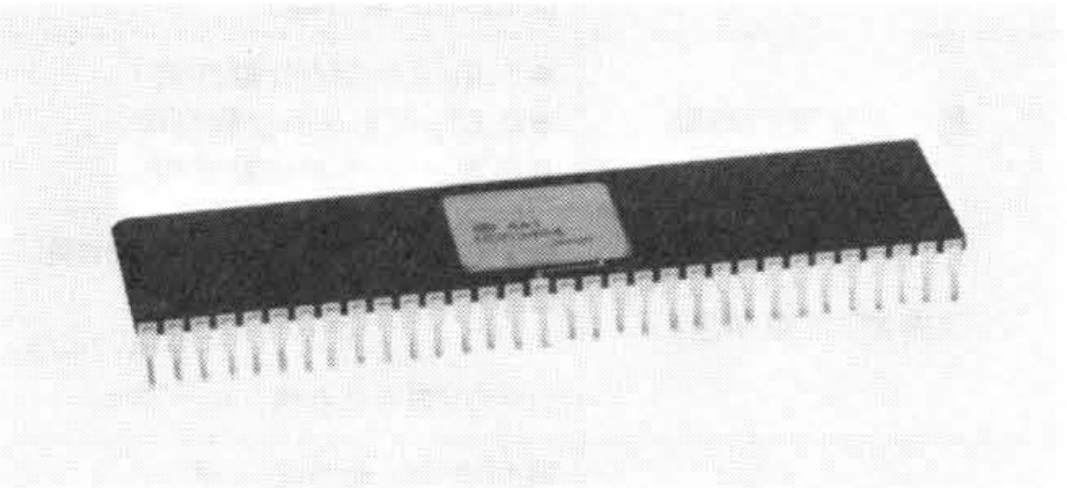
項 目	内 容
ホ ス ト 周 波 数	HD63463-4(4MHz), HD63463-6(6MHz), HD63463-8(8MHz)
デ ー タ 転 送 速 度	10Mbps
デ ー タ 転 送	PIO/DMA(サイクルスチール又はバーストモード)
内 部 デ ー タ バ ッ フ ァ	512バイト(256バイト×2)
ド 接 続 可 能	イン タ フ ェ ー ス セクタフォーマット シリアルデータ変調方式
フ ド ラ イ ブ マ ッ プ	シリンダ数/ドライブ セクタ数/トラック データ長/セクタ
ヘ ッ ド 数	最大 1,024 最大 256 256, 512, 1,024, 2,048, 4,096バイト SMDインタフェース 最大8, ST506インタフェース 最大4 SMDインタフェース 最大32, ST506インタフェース 最大8
エ ラ ー チ ェ ッ ク	16ビットCRC(多項式: $x^{16}+1$, $x^{16}+x^{12}+x^5+1$) 32ビットECC(多項式: $x^{32}+x^{23}$ $+x^{21}+x^{11}+x^2+1$)
そ の 他	マルチプルセクタ、マルチプル トラック処理 ノーマルシーク・バラレルシーク 自動データエラー訂正機能、 HDC外付け回路診断

製品紹介

グラフィック描画・表示を行なう
高性能CRTコントローラ

OA (Office Automation) 機器/CAD (Computer Aided Design) 端末などでは、表示画面の構成に自由度が高く、高精細、多色(多階調)のグラフィックディスプレイを使用する傾向が高まっている。今回、各種画面表示制御用マイクロプロセッサ及び多色を基調とした高度なグラフィック描画機能をもつマイクロプロセッサを、同一チップ上に集積したCRT (Cathode Ray Tube) ディスプレイ制御に最適なLSI、HD 63484 (ACRTC)を開発した(図1)。

高解像カラーCRTディスプレイに対応すべく、HD 63484はMPU (Micro Processor Unit) から独立した2Mバイトのフレームバッファを管理し、2,048×2,048画素16色同時表示やフルビットマップ画面とキャラクタ画面を重ね合わせて表示するなど、高機能及び高性能



高性能CRTコントローラHD63484

表1 HD63484の特長及び仕様概要

項目	内 容	項目	内 容
クロック周波数	HD63484-4 (4MHz)	描画制御機能	カラー処理
	HD63484-6 (6MHz)		1, 2, 4, 8, 16ビット/画素 選択可能
	HD63484-8 (8MHz)		描画演算モード
MPUインタフェース	16ビットバス		Replace, OR, AND, EOR 条件付Replace 4種の8種
	8ビットバス		描画エリア管理
フレームバッファスペース	グラフィックプレーン		描画エリア内・外への描画禁止及び描画アクセスの検出が可能
	キャラクタプレーン		描画座標系 (描画点指定)
表示制御機能	画面分割	フレームバッファアクセス	X・Y座標系でのドット単位による直接又は間接指定(グラフィック描画)
	混在表示		グラフィックパターンRAM
	重ね合せ表示		16ドット×16ドットの容量、任意パターン領域の参照、垂直・水平独立に1~16倍の拡大描画可能
	スクロール		アクセスモード (サイクルスチール・重ね合せ)
	拡大表示		シングルアクセス、ダブルアクセス0、ダブルアクセス1の3種が選択可能
	カーソル		DMA転送制御機能、割込み要求機能(8種)、外部同期動作、3スキャンモード対応(ノンインタレース、インタレース、インタレース及びビデオ)、プリンク制御回路内蔵、ライトペン信号用入力サポート、ダイナミックRAM用リフレッシュアドレス出力(8ビット)、フレームバッファ外部アクセスサポート可能、+5V単一電源、64ピンデュアルインラインパッケージ
描画制御機能	コマンド	その他	

注：略語説明 MPU (Micro Processor Unit) RAM (Random Access Memory)

化を実現している。

システム側とのデータ転送は、HMCS 68000システム非同期確認方式とHMCS 6800システム同期方式が選択でき、他の汎用MPUやDMAC (Direct Memory Access Controller) に対する考慮及び制御信号をもっているため、柔軟度の高いシステム設計を可能としている。

HD63484は、内部にグラフィック描画専用のプロセッサを内蔵し、線・円などの描画をはじめMPUの介在なしに色演算を含むグラフィックコピー、塗

りつぶし(タイリング)、クリッピング処理などを高速(モノクローム~65536色調同一描画速度)に行なう。また、描画点の指定をX-Y座標系で行なうなど、MPUに対するソフトウェアのオーバーヘッドを低減している。他に分割画面表示や、水平・垂直方向へのスムーズスクロール、縦・横独立して1~16倍の拡大表示など、表示制御機能も多く幅広い応用に対応できる。

表1に特長及び仕様概要を示す。
(日立製作所 半導体事業部)

日立評論 Vol. 66 No. 8 予定目次

- 小特集 記憶装置とリレーショナルデータベース
- 大容量磁気ディスク装置
 - 小形磁気ディスク装置の開発—高性能8in及び5.25inディスク装置—
 - FDD-441大容量フロッピーディスク駆動装置の開発
 - 小形フロッピーディスクの開発
 - 光ディスク記憶装置
 - 高性能補助記憶装置と導入効果向上手法の開発
 - ストリーミング磁気テープ装置
 - VOS0/ES, DPOSリレーショナル形データベースの開発
 - リレーショナルデータベース管理システム“RDB1”
 - エンジニアリングデータの文書化・グラフ化支援システムの開発
- 一般論文
- 東北電力(株)向け中央給電指令所自動化システム
 - 歩道橋向けエスカレーターと管理システム
 - 154kV送電線用デジタル形距離リレー装置

日立 Vol. 46 No. 7 目次

- グ ラ フ 多摩川の水を守る
- ル ポ 住宅地図が変わった
- 一枚一枚の紙面から動く画面へ
- 明日を開く技術<49> コンピュータでシステム化
- デジタル技術の限界を破る
- HINT コーナー 万能数値表現法
- ビデオが、また、楽しくなった!
- 新形着脱リモコン とれ・つく・コンを搭載
- 新製品紹介 電子冷却はちまき 掃除機 電話機
- 空気清浄機
- 技術史の旅<93> 満濃池
- 続・美術館めぐり<55> 弥生美術館

企画委員		評論委員	
委員長	武田 康嗣	委員長	武田 康嗣
委員	三浦 武雄	委員	加藤 寧
"	藤江 邦男	"	小野 光彦
"	清野 知士	"	庄山 佳彦
"	村上 啓一	"	福地 文夫
"	塚本 和孝	"	井伊 智脩
"	佐室 有志	"	阿部 久雄
"	栗本 満雄	"	金丸 昌弘
"	倉木 正晴	"	岡村 昌弘
幹事	猪股 誠	"	鯉 潤二
		"	三 達夫
		"	倉木 正晴
		幹事	猪股 誠

日立評論 第66巻第7号

発行日 昭和59年7月20日印刷 昭和59年7月25日発行

発行所 日立評論社 東京都千代田区神田駿河台四丁目6番地 ㊞101

電話(03)258-1111(大代)

編集兼発行人 倉木正晴

印刷所 日立印刷株式会社

定価 1部500円(送料別)年間購読料 6,700円(送料含む)

取次店 株式会社オーム社 東京都千代田区神田錦町三丁目1番 ㊞101 電話(03)233-0641(代) 振替口座 東京6-20018