

# 信頼性から見たCMOS技術

## Reliability of Fine Process on CMOS

西村勝美\* *Katsumi Nishimura*

西前仁也\* *Itsuya Nishimae*

8ビット、16ビットマイクロコンピュータ用LSIは、従来NMOSプロセスを中心に開発されてきたが、低消費電力化への要求とCMOS動作が高速化したことにより、しだいにCMOSプロセスが使われるようになってきた。8ビット、16ビットではLSIのもつ機能が非常に高度であり、集積される素子の数も極めて大きい。この高集積化はプロセスの微細化技術の進展と不可分の関係にあるが、微細化が高度に進むと信頼性に影響する問題が生じてくる。例えば、ホットエレクトロンによるしきい値の変動、短チャネル効果、パンチスルー電流による動作電圧の制限、ラッチアップ現象などがある。LSIの信頼性については、テスト素子を使ったプロセスの評価確認、個々のデバイスに対する信頼度試験による確認を行なっている。

### 1 緒言

8ビット、16ビットマイクロコンピュータ用LSIは、これまでNMOS(NチャンネルMetal Oxide Semiconductor)のプロセスで製造されるものがほとんどであった。最近、電子機器の小形化、軽量化への動きが一段と強くなり、また一方でCMOS(Complementary Metal Oxide Semiconductor)技術の進歩によりスピードの点でNMOSと同等の高速化ができるようになって、低消費電力を特徴とするCMOSプロセスを使った8ビット、16ビットマイクロコンピュータ用LSIが製品化されるようになってきた。

LSIの用途が拡大するにつれ、市場の要求に応ずるため1個のLSIがもつ性能、機能は年々向上が図られている。マイクロコンピュータ用LSIでは、取り扱うデータの単位が4ビットから8ビット、16ビット、更には32ビットに拡張されつつあるのは周知のとおりである。同じ8ビットマイクロコンピュータでも、ROM(Read Only Memory)を内蔵したシングルチップマイクロコンピュータでは、ROM容量が1kバイトから4kバイト、更には16kバイトへと増大が図られつつある。また、入出力ポートの数も増加の傾向にある。

このように、マイクロコンピュータ用LSIは性能、機能の点で高度なレベルにあり、LSIに集積されるトランジスタの数は1チップ当たり10万個を超えるものも現われている。高度に集積化されたLSIをある一定の大きさのチップ上に作るには、微細化プロセスの技術開発なしでは考えられない。本稿では高集積化に必要なプロセスの微細化に対して、信頼性からみた問題点と対処法について取り上げる。また、それらを配慮したCMOSプロセスのマイクロコンピュータ用LSIに対する信頼度試験結果について紹介する。

### 2 微細化とそれに伴う問題

性能、機能の向上を実現するために、LSIはますます高集積化が行なわれている。図1は、マイクロコンピュータ用LSIでのチップ当たりの素子数の推移を示したものである。高集積化によりチップのサイズも大きくなる傾向にあるが、チップを収めるパッケージとの関係でチップの大きさにも限界がある。チップサイズをある一定の大きさに抑えながら集積度を上げるには、平面構造の現在のLSIでは集積される個々の

トランジスタのサイズや素子間を結ぶ配線の幅などを縮小するしかない。ダイナミックRAM(Random Access Memory)の場合、16kビットでは5 $\mu$ 、64kビットでは3 $\mu$ 、256kビットでは2 $\mu$ と集積化に対応してプロセスが微細化されている。同様に、マイクロコンピュータ用LSIでも高集積化に伴ってプロセスの微細化が行なわれている。図2は、チップ上の素子間を接続する配線の最小幅の推移を示したものである。

今後もLSIの集積度は上昇してゆくであろうが、集積化が

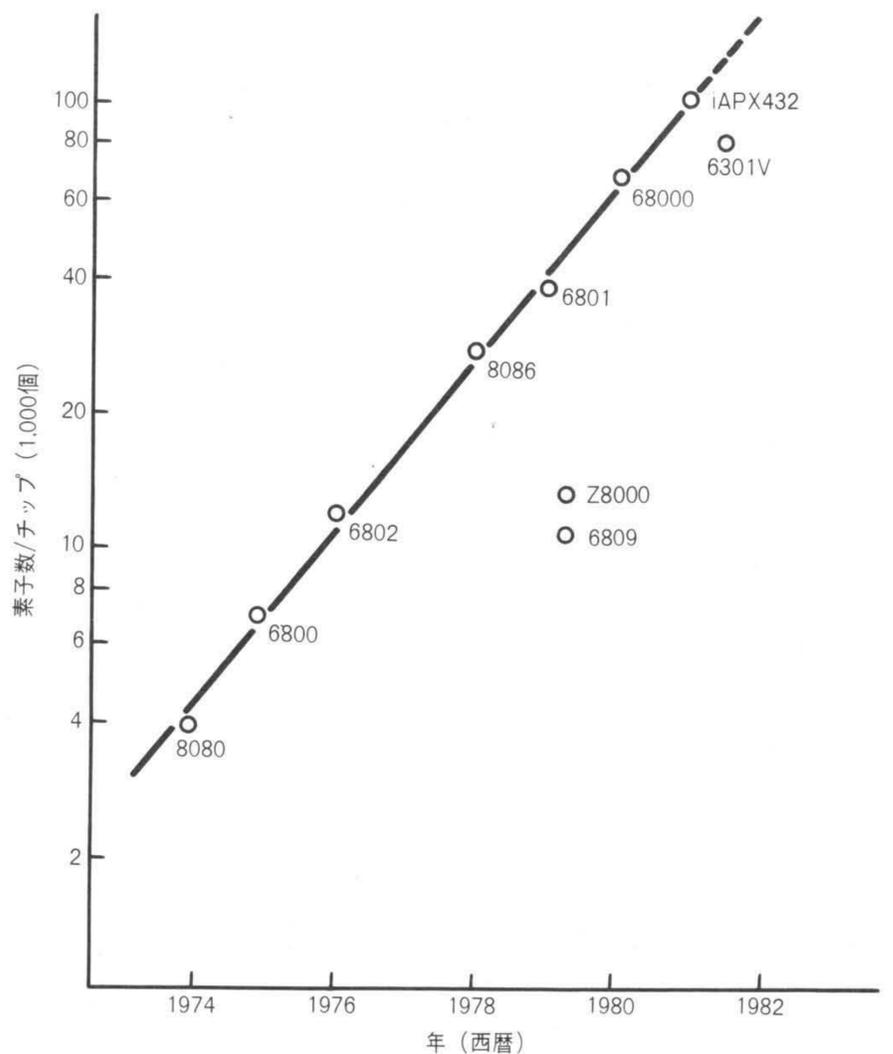


図1 チップ当たり素子数の推移 5~6年間で、約10倍という急速な高集積化が図られていることが分かる。

\* 日立製作所武蔵工場

進めば進むほど、消費電力の点からCMOSの微細化プロセスを使った製品の開発が増えていくことが予想される。

LSIの高集積化はチップ上に集積されている個々の素子であるトランジスタや抵抗、配線などの寸法(平面方向)を縮小することによって行なわれる。もちろん、この場合縦方向の寸法についても考慮がなされるが、微細化が限りなく進んでゆくと、これまで問題とならなかったことが新たな問題となって現われてくる。微細化によって発生する問題としては、

- (1) 短チャネルによるしきい値電圧  $V_{th}$  の低下
  - (2) パンチスルー電流による耐圧の低下
  - (3) ホットエレクトロンによる  $V_{th}$  の変動
  - (4) ラッチアップ現象
- などが主なものとして挙げられる<sup>1),2)</sup>。

### 2.1 短チャネルによる $V_{th}$ の低下

MOSトランジスタの  $V_{th}$  は、ゲート酸化膜厚、酸化膜-半導体境界の表面電荷、ゲート金属と半導体間のポテンシャル差などによって決まり、チャネル長には依存しない。しきい値電圧は、次式で与えられる(図3参照)。

$$V_{th} = \phi_{MS} - \frac{Q_{SS}}{C_{OX}} - \frac{Q_B}{C_{OX}} - 2\phi_F$$

- ここに  $\phi_{MS}$  : ゲート金属と半導体間のポテンシャル差  
 $C_{OX}$  : ゲート酸化膜の容量  
 $Q_{SS}$  : 酸化膜-半導体境界の表面電荷  
 $Q_B$  : 半導体内の空乏層の空間電荷総量  
 $\phi_F$  : 半導体のフェルミ準位

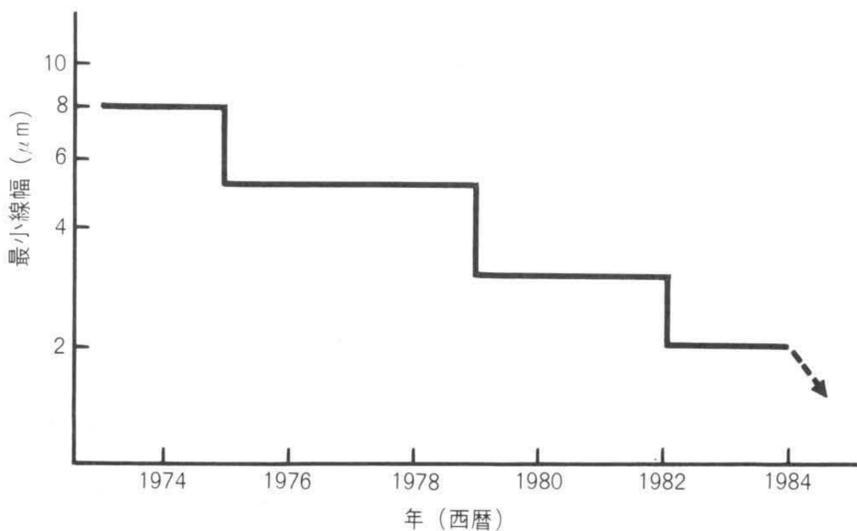


図2 最小線幅の推移 3~4年ごとにプロセスの大きな変化が起こり、微細化が進んでいることが分かる。

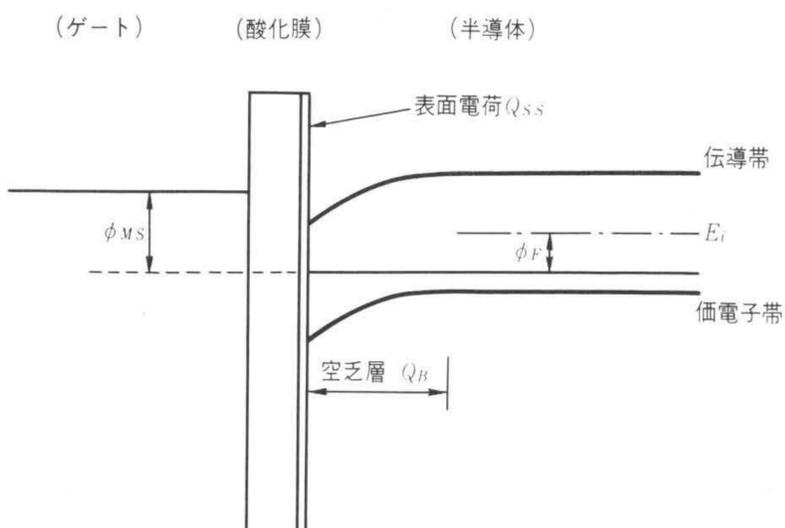


図3 MOSトランジスタのバンドモデル MOSトランジスタのチャネル領域のエネルギー準位の様子を示す。

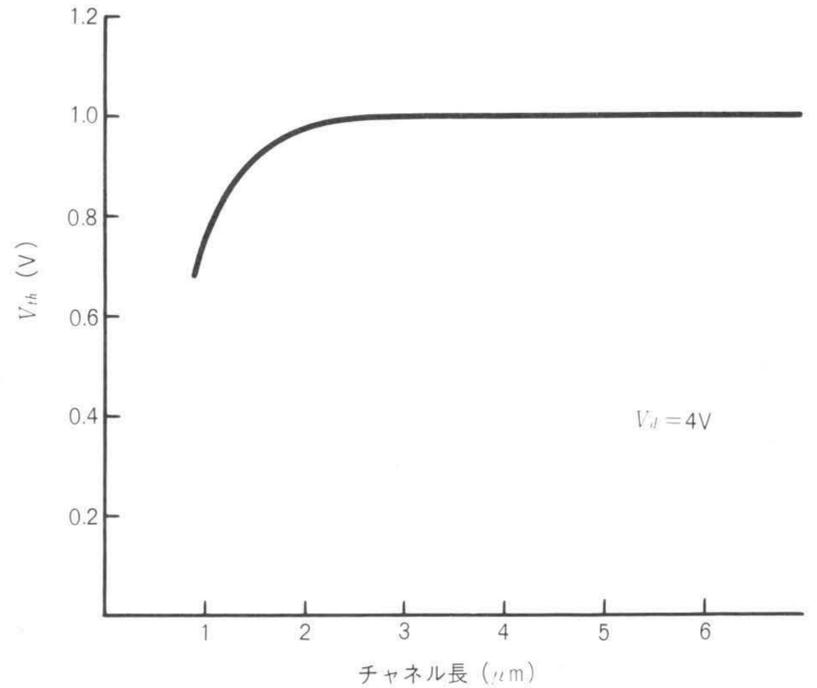


図4 しきい値電圧  $V_{th}$  のチャネル長依存性<sup>1)</sup> チャネル長が短くなると、しきい値電圧  $V_{th}$  が小さくなること分かる。

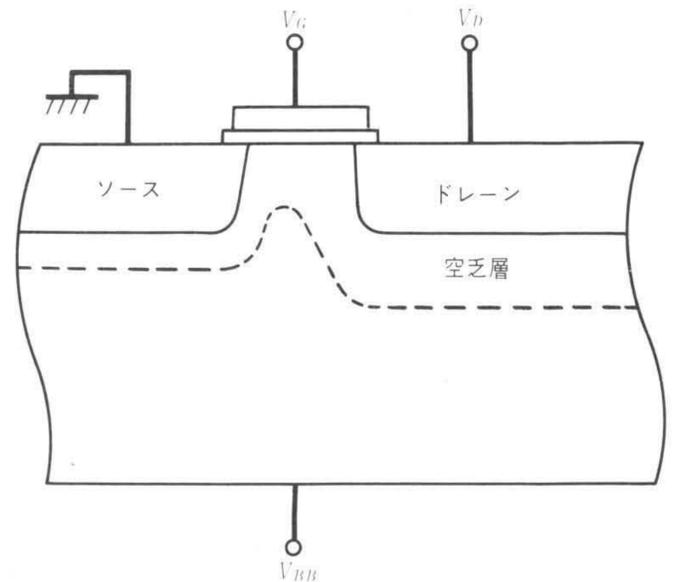


図5 MOSトランジスタ断面図(パンチスルー) ドレインに高い電圧が印加され、ソース及びドレインの空乏層がチャネル領域でつながっていることを示す。

チャネル長の短縮が進むと、 $V_{th}$  がチャネル長に依存して変化することが分かっている<sup>1)</sup>(図4参照)。これはチャネル長が短いため、チャネル領域の電位分布がゲート電圧だけでなく、ドレイン電位の影響を受けるためと考えられている。図4から分かるように、チャネル長の短いところでは  $V_{th}$  が急激に変化している。これはチャネル長がばらつくとも  $V_{th}$  が大きくばらつくことを示している。短チャネル効果を抑えるには、チャネル長の縮小程度に応じてゲート酸化膜厚、チャネル領域下の不純物濃度、ドレイン、ソースの接合深さなどの組合せを最適化するとともに、それぞれのばらつきを低減する必要がある。

### 2.2 パンチスルー電流による耐圧の低下

これはMOSトランジスタのチャネル長が短くなると、ドレインに高電圧が印加されたときドレイン、ソースの空乏層がチャネル領域でつながり、ゲート電圧が  $V_{th}$  以下でもソース、ドレイン間に電流が流れる現象である(図5参照)。パンチスルーが起こる電圧は基板の不純物濃度、ソース、ドレイン接合の深さによるため、これらを適切に決める必要がある。

### 2.3 ホットエレクトロンによる $V_{th}$ の変動

これは、MOSトランジスタのドレーン近傍の電界が高くなることによって起こるものである。電源電圧が従来のままで(例えば  $V_{cc} = 5V$ )、素子の寸法を縮小すると電界は大きくなる。チャンネル領域を流れる電子が強い電界によって加速され十分なエネルギーをもつと、ゲート酸化膜と半導体間のポテンシャル障壁を越え、ゲート酸化膜に電子の一部が注入され、トラップ準位に捕獲される(図6参照)。これによってMOSトランジスタの $V_{th}$ <sup>3)</sup>、伝達コンダクタンス $g_m$ が変化する(図7参照)。ホットエレクトロンを防止するには、ドレーン近傍の電界が高くなるのを緩和すればよい。電界緩和の方法としては、二重ドレーン構造<sup>3)</sup>やLDD(Lightly Doped Drain)構造<sup>4)</sup>などが検討されている。

### 2.4 ラッチアップ現象

ラッチアップはCMOSの場合、構造上避けることのできない現象である。CMOSではPチャンネル、NチャンネルMOSトランジスタが同一チップ内に同居しているため、NPN形とPNP形トランジスタが形成され、この二つが連なってPNPN構造となりサイリスタを構成する(図8参照)。LSIが動作中、入力端子、出力端子から大きな外来雑音電圧が入ると寄生サイリスタがターンオンし、電源端子からGND(Ground)へ異常電流が流れる。電源を切ると回復するが、場合によってはチップ内のAl配線が異常電流で溶断し素子破壊に至る。微細化に

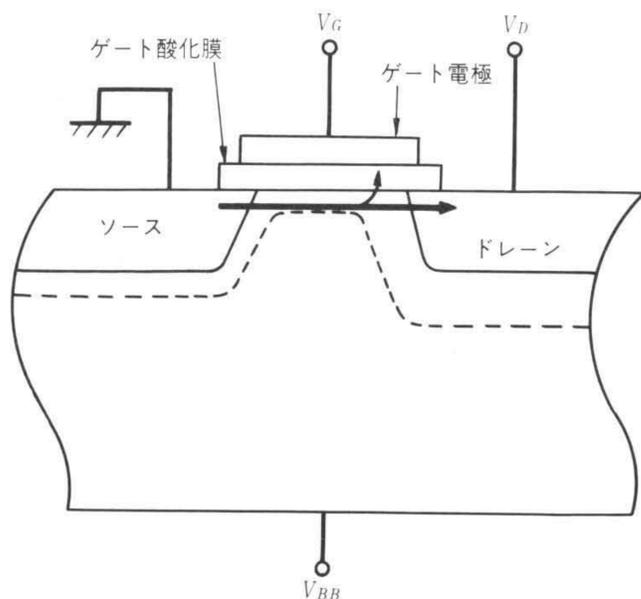


図6 MOSトランジスタ断面図(ホットエレクトロン) ソースからドレーンに流れる電流の一部が、ゲート酸化膜に注入されることを示す。

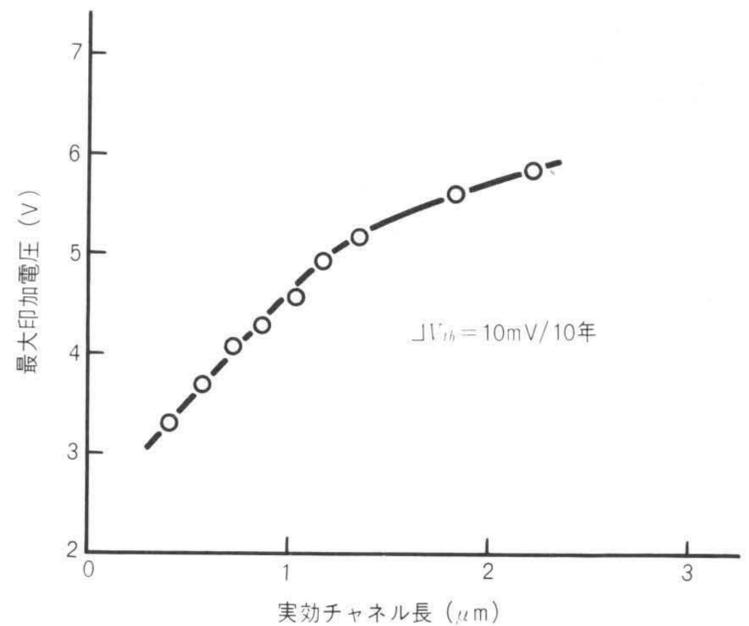


図7 ホットエレクトロン耐圧のチャンネル長依存性<sup>3)</sup> チャンネル長が短くなると、ホットエレクトロン耐圧が低下することが分かる(ここでホットエレクトロン耐圧は、その電圧をゲートとドレーンに同時に印加したときのしきい値電圧のシフトが、10年で10mVになる電圧と定義してある)。

よっても、耐ラッチアップレベルが悪くならないような設計上の考慮が必要である。十分なコンタクトによる基板、ウエルの電位の固定、低ウエル抵抗やレイアウト上の工夫による電流増幅率 $h_{fe}$ の抑制などが行なわれている。ラッチアップ強度を試験する方法にはいろいろあるが、一つの例を図9に示す。これはコンデンサCにチャージした電荷を、バイアスのかかったLSIに印加して、ラッチアップが起こる電圧を調べるものである。

以上、プロセスの微細化に伴う主な問題点について述べた。この中には現在製品化されているものでは、まだ実際には表面化していないものもあるが、微細化が進めばいずれは解決しなければならない課題である。

### 3 デバイスの信頼性

デバイスの信頼性については、プロセスそのものと、そのプロセスを適用したデバイスに対して評価を行なっている。プロセス評価では、テスト素子(トランジスタ、コンタクト、配線など)を使って素子の特性、信頼性について検討を行ない、この結果に基づいてプロセスの条件、工程のQC(品質管理)ポイントの確立などを行なっている。前章で取り上げた微細化に伴う問題に対しても、テスト素子によるプロセスの

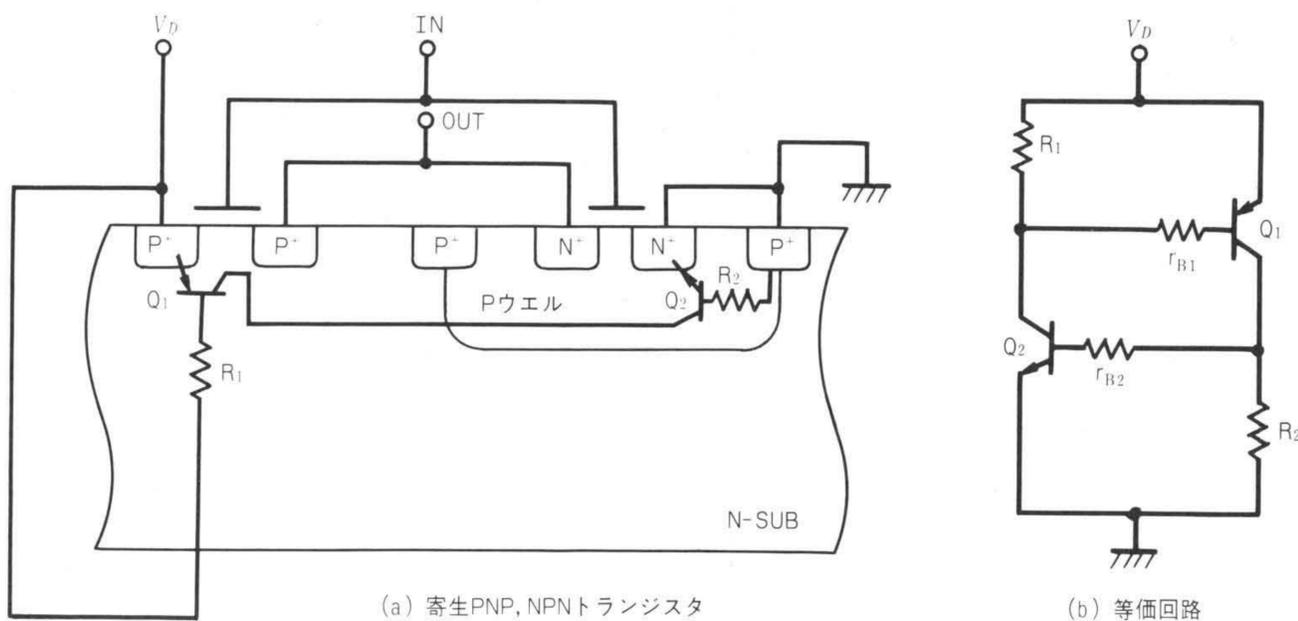
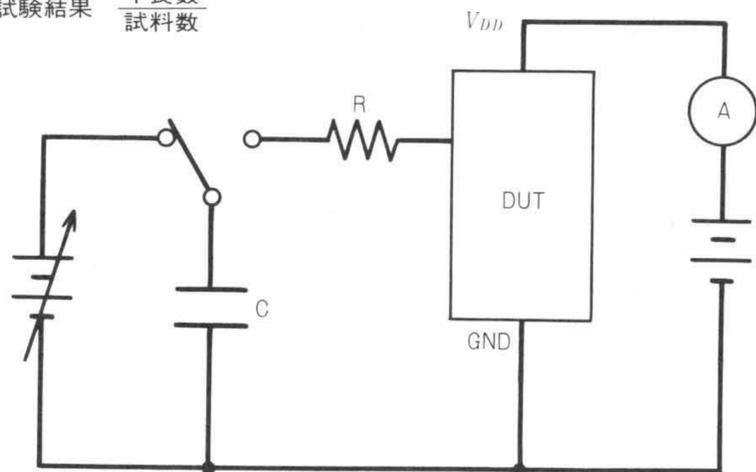


図8 寄生サイリスタ 寄生PNP, NPNトランジスタにより寄生サイリスタが形成されることが分かる。

表1 CMOSマイクロコンピュータの信頼度試験データ 各種信頼度試験の結果、CMOSマイクロコンピュータ用LSIが、信頼度上問題のない水準にあることが確認された。

| 試験項目            | 試験条件                                                                     | 試験結果            |                 |                 |
|-----------------|--------------------------------------------------------------------------|-----------------|-----------------|-----------------|
|                 |                                                                          | HD6301VP        | HD6305XP        | HD6350P         |
| 高温交流動作          | $T_a = 125^\circ\text{C}$ , $V_{cc} = 5.5\text{V}$ , $t = 1,000\text{h}$ | $\frac{0}{70}$  | $\frac{0}{45}$  | $\frac{0}{70}$  |
| 高温保存            | $T_a = 150^\circ\text{C}$ , $t = 1,000\text{h}$                          | $\frac{0}{32}$  | $\frac{0}{32}$  | $\frac{0}{22}$  |
| 低温保存            | $T_a = -55^\circ\text{C}$ , $t = 1,000\text{h}$                          | $\frac{0}{25}$  | $\frac{0}{22}$  | $\frac{0}{22}$  |
| 耐湿性             | $T_a = 65^\circ\text{C}$ , RH=95%, $t = 1,000\text{h}$                   | $\frac{0}{120}$ | $\frac{0}{112}$ | $\frac{0}{200}$ |
| プレッシャックテスト(PCT) | $T_a = 121^\circ\text{C}$ , RH=100%, $t = 200\text{h}$                   | $\frac{0}{22}$  | $\frac{0}{32}$  | $\frac{0}{32}$  |
| 温度サイクル          | $-55 \sim 25 \sim 150^\circ\text{C}$ , 200サイクル                           | $\frac{0}{45}$  | $\frac{0}{45}$  | $\frac{0}{45}$  |
| 熱衝撃             | $100 \sim 0^\circ\text{C}$ , 15サイクル                                      | $\frac{0}{22}$  | $\frac{0}{22}$  | $\frac{0}{22}$  |
| はんだ耐熱性          | $260 \pm 5^\circ\text{C}$ , $10 \pm 1\text{s}$                           | $\frac{0}{22}$  | $\frac{0}{22}$  | $\frac{0}{22}$  |

注：試験結果  $\frac{\text{不良数}}{\text{試料数}}$



注：略語説明 DUT(Device Under Test)  
GND(Ground)

図9 ラッチアップ試験法の一例 コンデンサCにチャージアップされた電荷が、デバイスに印加されることを示す。

評価を十分に行なった後、各デバイスへの適用が図られている。

デバイスの段階では、テスト素子では確認が難しいLSIとしての素子の組合せに伴う問題を、各種信頼度試験により評価を行なっている。信頼度試験については、JIS C 7022(「半導体集積回路の環境試験方法及び耐久性試験方法」日本工業規格)などの規格に準じた方法で行なっている。

テスト素子による十分な検討がなされたCMOS 3 $\mu$ プロセスを適用したマイクロコンピュータ用LSIについて、信頼度試験結果の例を表1に示す。ここに挙げたLSIは8ビットシングルチップマイクロコンピュータのHD6301VP(DIP 40), HD6305XP(DIP 64)と、8ビット周辺用LSIのHD6350P(DIP 24)である。パッケージはいずれもデュアルインラインのプラスチックモールド品である。

信頼度試験によって得られたデータから、それぞれのデバ

イスが信頼度上問題のない水準にあることが判断できる。表1の高温交流動作試験の結果から、周囲温度 $T_a = 70^\circ\text{C}$ で連続動作した場合の故障率を信頼水準60%、活性化エネルギー0.7eVとして推定すると、約190FITである(アレニウスモデルを適用)。周囲温度が $70^\circ\text{C}$ より低い実使用状態では、故障率は更に低くなることを期待でき、CMOSの低消費電力とあいまってシステムの高信頼化に寄与できるものと考えられる。

#### 4 結 言

8ビット、16ビットマイクロコンピュータ用LSIでも、最近低消費電力を特徴とするCMOSプロセスを使ったLSIが増加の傾向にある。8ビット、16ビットマイクロコンピュータ用LSIは、機能的に高度であり集積度も極めて高いため、微細プロセス(3 $\mu$ ないし2 $\mu$ )が使われている。集積度を上げるためプロセスの微細化が進むと、トランジスタそのものの特性、信頼性について新たな問題が顕在化し、設計に当たってはこれらの問題を十分に検討しなければならない。本稿ではホットエレクトロン、短チャネル効果、パンチスルー電流、ラッチアップ現象について取り上げたが、微細プロセスを使って既に製品化されているものは、これらのことを十分考慮して設計されており、信頼度上も問題のないレベルにあることが確認されている。今後も更に微細化は進み、限りない信頼性向上が必要といえる。

#### 参考文献

- 1) 萩原：サブミクロン素子の特性，電気化学及び工業物理化学，Vol. 50, No. 7, p. 617~623(1982)
- 2) 林，外：大きく変る1.5~1 $\mu\text{m}$ 時代のVLSI技術，日経エレクトロニクス，p. 81~86(1983. 8. 15)
- 3) H. Kume, et al.: Proc. 13th Conf. Solid State Devices, p. 67(1981)
- 4) Paul J. Tsang, et al.: IEEE Trans. Electron Devices ED-29, p. 590(1982)