

16ビットマイクロコンピュータLSI

16bit Microcomputer LSI

近年、OAシステムの性能はますます向上しつつあり、16ビットのマイクロコンピュータLSIを搭載したシステムも数多く出回っている。日立製作所のマイクロコンピュータLSIは、このような用途に広く使われている。MPUのHD68000は広いアドレス空間と高速処理を可能とし、一方、DMACのHD68450は、I/Oデバイスとメモリ間及びメモリ内での高速データ転送を可能としている。また、これらのLSIが提供する各種例外処理の機能を用いることにより、システムの高信頼化が可能である。このように、HD68000とHD68450により、高級OAシステムの実現を図ることができる。

稲吉秀夫* Hideo Inayoshi

1 緒言

最近のOA(Office Automation)機器は、ハードディスクやビットマップディスプレイを備えたものが多く、大量データの高速転送を必要としている。更に将来、ネットワーク化などによりいっそうこの傾向は顕著となる。日立製作所の16ビットマイクロコンピュータLSI、HD68000MPU(マイクロプロセッシングユニット)とHD68450DMAC(ダイレクトメモリアクセスコントローラ)は、16Mバイトのアドレス空間をもち、大量データの扱いを容易にしている。更にDMACは、I/Oデバイスとメモリ間の高速データ転送を可能としており、MPUとDMACの例外処理機能と組み合わせ、高信頼・高性能なシステム構成が可能である。

2 HD68000MPUの特徴¹⁾

HD68000は、内部的には32ビットのアーキテクチャをもち、市販されている16ビットMPUの中では最も性能が高い。主な特徴を以下に述べる。

(1) 16Mバイトのリニアアドレス空間

アドレス計算は32ビットのアドレスレジスタを用いて行われ、セグメント分割されない完全なリニアアドレスを提供する。これらのアドレスは、23本のアドレスピンとバイトアクセスを可能にする2本のストローブピンから出力される。

(2) 15本の32ビット汎用レジスタ

図1にHD68000のプログラミングモデルを示す。8本のデータレジスタと7本のアドレスレジスタは、汎用に使用される。データレジスタ中のバイトデータは下位8ビット、ワードデータは下位16ビットに格納される。アドレスレジスタはすべてのオペランドを32ビットとして扱い、16Mバイトのリニアアドレスを作り出す。

(3) 56種類の直交性のよい命令タイプ

データ転送、算術・論理演算、プログラム制御、システム制御などの基本命令をもち、バイト、ワード、ロングワードのオペランドに対し、直交性よく作用する。

(4) 14種類のアドレッシングモード

表1にアドレッシングモードの種類を示す。これらのアドレッシングモードは多くの命令で独立に与えられるため、データタイプと組み合わせて、1,000種類以上の命令を構成する。

(5) システムソフトウェアを保護する特権状態

OS(オペレーティングシステム)などのシステムソフトウェアを保護するため、スーパーバイザ状態とユーザー状態とを区分し、ユーザープログラムがシステムプログラムを破壊しないような便宜を与えている。

(6) 各種例外処理機能

システム異常を知らせるバスエラー、プログラムのミスを検出するアドレスエラー、不当命令、特権違反及び割込みやトラップ命令(SVC: Supervisor Call)など、豊富な例外処理を備え、システムの信頼性を高めることができる。

(7) 完全非同期のバスプロトコル

図2にHD68000の入出力信号を示す。非同期のバスコントロール信号は、特に、DTACKとBGACKで示される認知信号(ACK信号)により代表される。これらのACK(Acknowledge)信号は、MPU外のデバイスから、データ授受や状態を知らせるために入力される信号であり、MPUはこれらの信号をモニタしながらバスサイクルを進める。

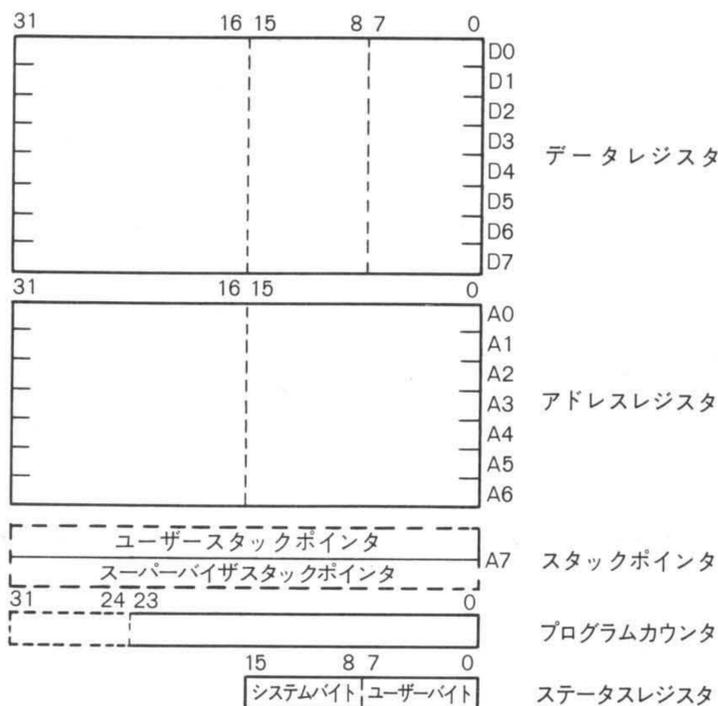


図1 HD68000プログラミングモデル 8本の32ビットデータレジスタ、7本の32ビットアドレスレジスタは汎用レジスタである。スタックポインタとステータスレジスタは、ユーザー用とシステム用に分かれている。

* 日立製作所武蔵工場

表1 アドレッシングモード 14種類のアドレスモードをサポートする。これらは大きく分類すると6種類に分かれる。

モード	EA
レジスタダイレクトアドレッシング データレジスタダイレクト アドレスレジスタダイレクト	EA=Dn EA=An
アブソリュートデータアドレッシング アブソリュートショート アブソリュートロング	EA=次の2バイト EA=次の4バイト
プログラムカウンタ相対 オフセット インデックス付オフセット	EA=(PC)+d ₁₆ EA=(PC)+(Xn)+d ₈
レジスタ間接 レジスタ間接 レジスタ間接ポストインクリメント レジスタ間接プリデクレメント レジスタ間接オフセット付 インデックスレジスタ間接オフセット付	EA=(An) EA=(An), An←An+N An←An-N, EA=(An) EA=(An)+d ₁₆ EA=(An)+(Xn)+d ₈
イミディエイトデータアドレッシング イミディエイト クイックイミディエイト	DATA二次ワード インヒアレントデータ
インプライドアドレッシング インプライドレジスタ	EA=SR, SP, PC

注：略語説明など

- EA(有効アドレス)
- An(アドレスレジスタ)
- Dn(データレジスタ)
- Xn(インデックスレジスタとして使用するアドレスレジスタ, 又はデータレジスタ)
- SR(ステータスレジスタ)
- PC(プログラムカウンタ)
- SP(スタックポインタ)
- USP(ユーザースタックポインタ)
- SSP(スーパーバイザスタックポインタ)
- d₈[8ビットオフセット(ディスプレイメント)]
- d₁₆[16ビットオフセット(ディスプレイメント)]
- N(1はバイト, 2はワード, 4はロングワード, 小括弧は内容を表わす。)
- ←(置換え)

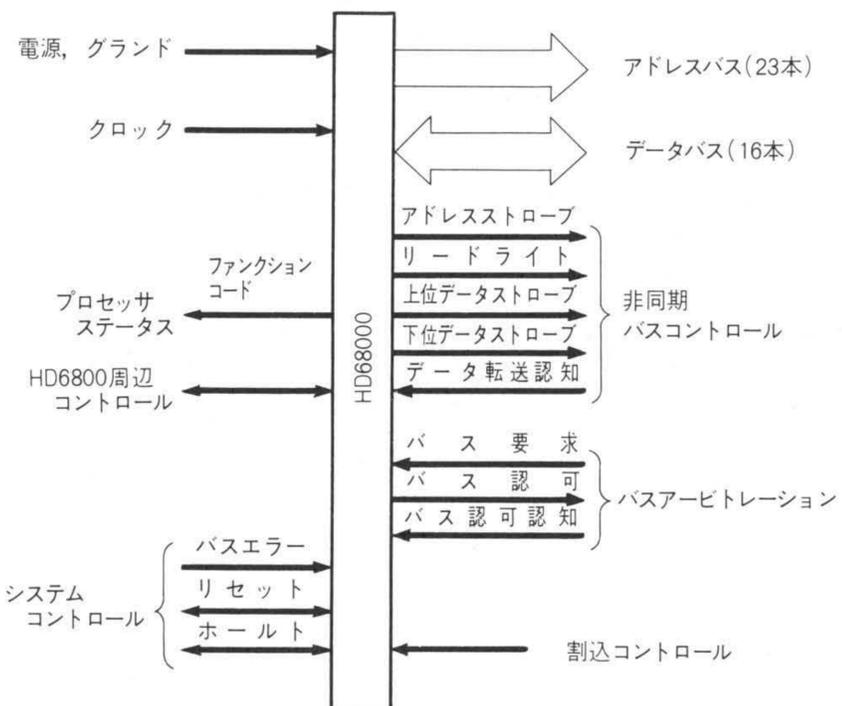


図2 HD68000入出力信号 アドレスピン23本, データピン16本, バスコントロールピン5本など, 合計64ピンの信号をもっている。

HD68000は、以上のような優れた特徴を備えており、これを用いて、高性能・高信頼なシステムを作ることができる。

3 HD68000製品シリーズ

HD68000は多様な目的に使用されるため、周波数バージョンやパッケージバージョンを各種製品化した。表2にこれらの製品の概観を示す。最高動作周波数は12.5MHzであり、例えば32ビットデータのレジスタ間移動は、0.32μsで行なうことができる。パッケージとしては標準的な64ピンDIP (Dual In-Line Package)のほか、約1/3のサイズのPGA (ピングリッドアレイ)68ピンを用意している。また、DIP64ピンのプラスチックパッケージも開発中である(周波数8MHzに適用予定)。

4 HD68450DMACの特徴

HD68450DMACは、16ビットのDMACであり、メインメモリとハードディスクやフロッピーディスクなどの周辺デバイス間のデータ転送を高速に行なうLSIである。MPUがプログラムにより転送を行なう場合に比べ、約10倍の速度で転送を行なうことができる。

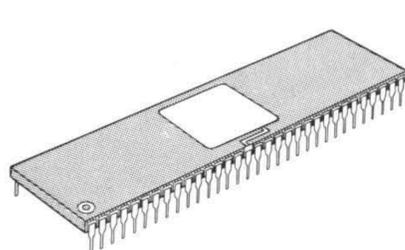
4.1 HD68450の機能²⁾

HD68450は、次に述べるような機能を備えている。

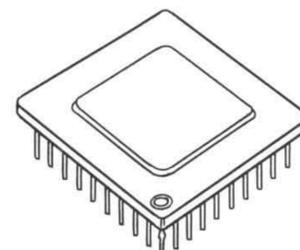
- (1) 独立4チャンネル
- (2) 最大転送速度 5Mバイト/秒(10MHz動作時)
- (3) メモリ～メモリ間転送及びメモリ～デバイス間転送
- (4) 3種類のデータブロック転送モード
- (5) エラー検出, 例外処理など高信頼なデータ転送機能
- (6) 外部転送要求と自動(内部)転送要求
- (7) システムバス使用率可変
- (8) シングルアドレスとデュアルアドレス転送

表2 HD68000製品ファミリー一覧 DC-64はDIP64ピンセラミックパッケージを, PGA-68はピングリッドアレイ68ピンを指す。PGAはDCの約1/3の大きさである。

形名	パッケージ	クロック周波数(MHz)
HD68000-4	DC-64	4.0
HD68000-6		6.0
HD68000-8		8.0
HD68000-10		10.0
HD68000-12		12.5
HD68000Y4	PGA-68	4.0
HD68000Y6		6.0
HD68000Y8		8.0
HD68000Y10		10.0
HD68000Y12		12.5
HD68000P8*	DP-64*	8.0



(a) DC-64



“Y”はピングリッドアレイパッケージを示す。

(b) PGA-68

注：* 64ピンプラスチックパッケージ(開発中)

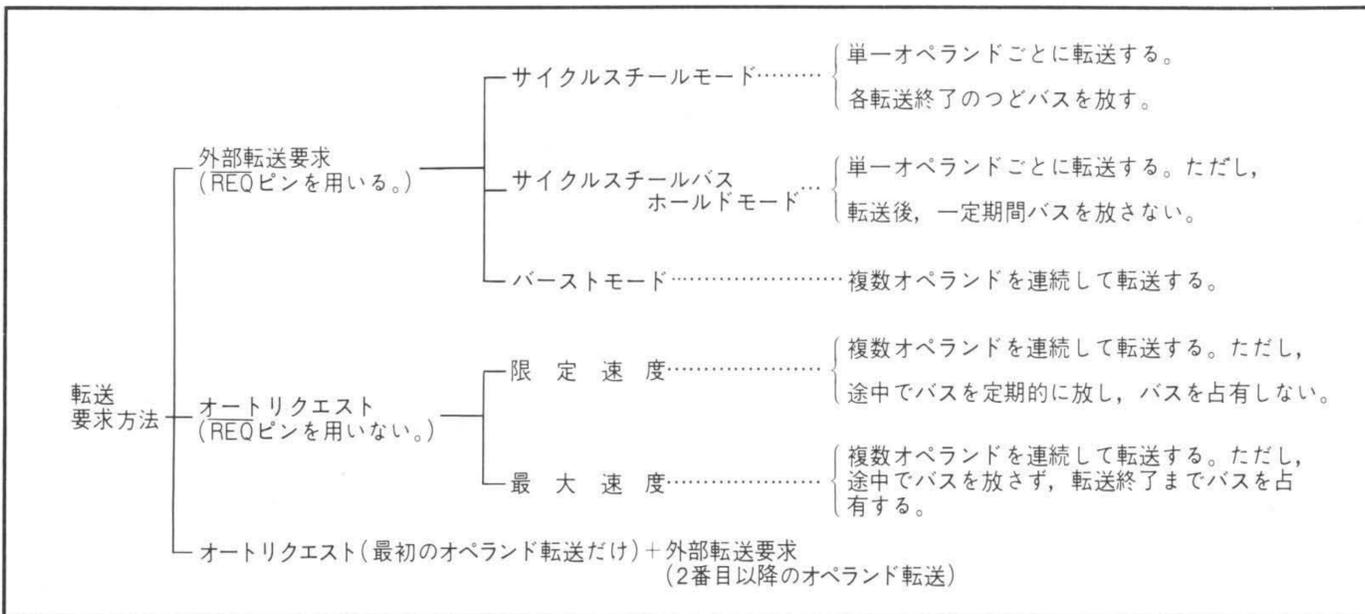


図3 転送要求方法の分類
転送要求には、外部要求と自動要求(オートリクエスト)の2種類がある。

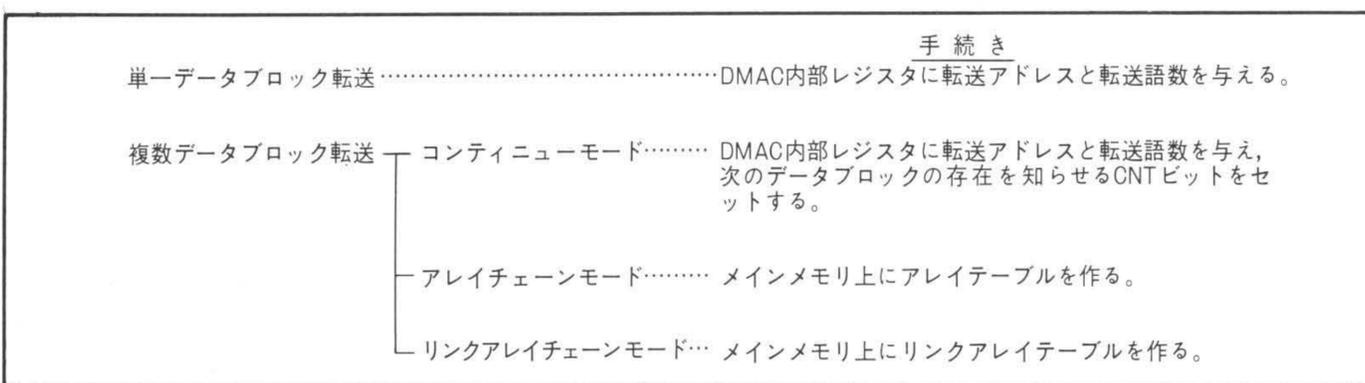


図4 データブロック転送の種類
データブロック転送方法には、単一ブロック転送、コンティニューモード、アレイチェーンモード及びリンクアレイチェーンモードの4種類がある。

注：略語説明 DMAC(ダイレクトメモリアクセスコントローラ), CNT(Continue)

(9) HD68000バスコンパチブル, 16Mバイトのアドレス空間
これらの機能は、多様なユーザーの使用方法を想定して付加されたものであり、それぞれのシステムや周辺機器に最もよく適合するモードの選択設定が可能である。

図3に転送要求の分類を示す。外部転送要求により、サイクルスチールモードとバーストモードの転送を行なう。オートリクエストはDMAC自身が内部で転送要求を発生するもので、転送途中でバスを放す限定速度モードと、転送完了までバスを放さない最大速度モードがある。また、最初のオペランドはオートリクエストにより転送し、2番目以降を外部要求により転送するモードも備えている。

図4にデータブロック転送の種類を示す。HD68450は単一オペランド転送のほか、データブロックの転送機能を各種備えている。一つのデータブロックだけを転送するモードと、複数のデータブロックを連続転送するモードがある。各々のデータブロックサイズは、1オペランド~64kオペランド(ロングワードオペランドの場合、256kバイト)まで、プログラマブルである。また、データブロックの個数は、ほぼ無制限に設定することができる。

これらのデータブロック転送は、バーチャルメモリでのページの交換、通信回線を通してのデータの授受などに最適である。また、主メモリ中のデータブロックの再編成も、メモリ~メモリ間転送機能とリンクアレイチェーンモードを用いることにより容易に実行することができる。このリンクアレイチェーンモードの例を図5に示す。まず、主メモリ上に転送情報を与えるテーブルを作る。このテーブルはデータブロックのアドレス(第1オペランドのアドレス)とブロックサイズ(転送語数)、及び次に転送するブロックのアドレス(リンクアドレス)から構成される。図5の例では、ブロックA、B、

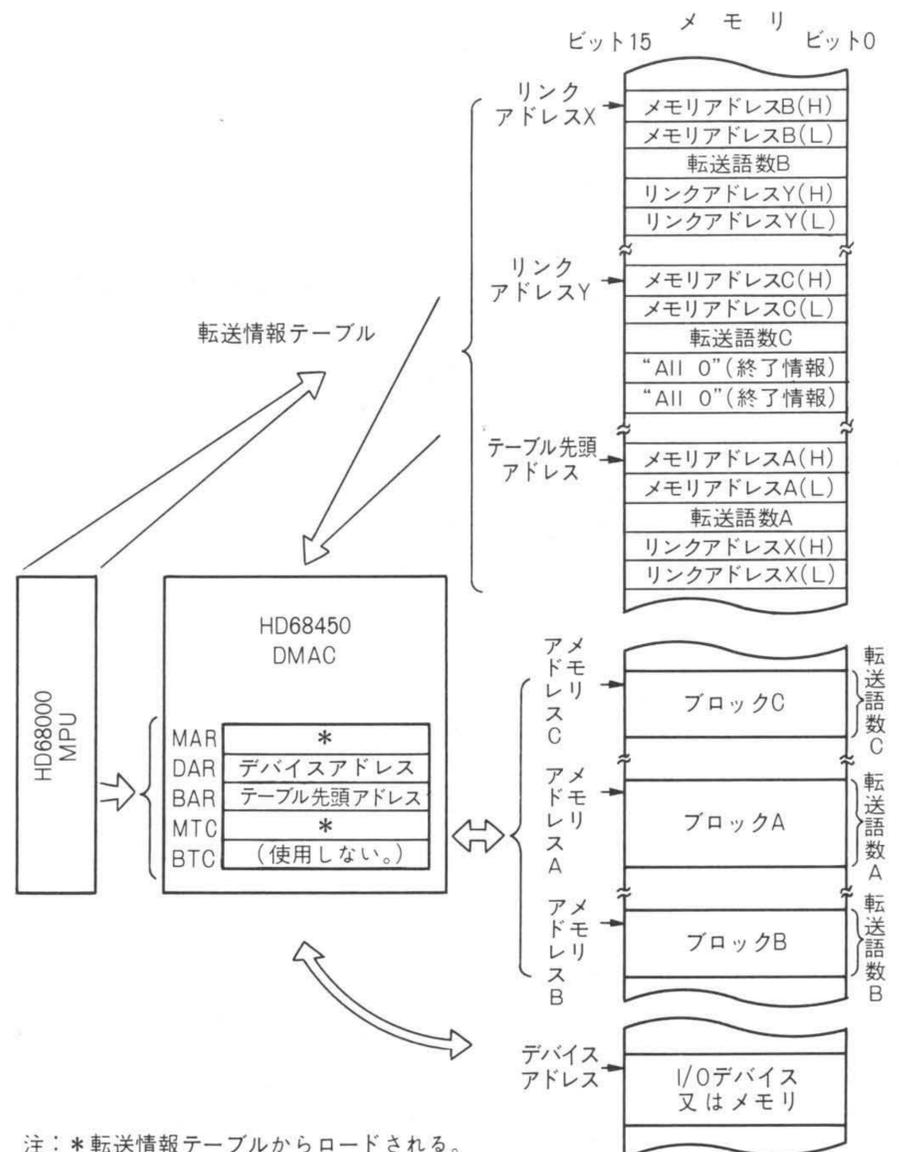


図5 リンクアレイチェーンモードの例
MPUがDMACの内部レジスタを設定する。また、事前にメモリ上にリンクアレイテーブル(転送情報テーブル)を作っておく。

表3 HD68450製品ファミリー一覧 HD68450にも2種類のパッケージがある。スピードバージョンは、4MHzから10MHzまでの4種類である。

形名	最大入力クロック周波数	パッケージ
HD68450-4	4MHz	DC-64
HD68450-6	6MHz	
HD68450-8	8MHz	
HD68450-10	10MHz	
HD68450Y4	4MHz	PGA-68
HD68450Y6	6MHz	
HD68450Y8	8MHz	
HD68450Y10	10MHz	

Cの順に転送が行なわれる。この場合、デバイスアドレスは転送先(又は転送元の場合もある。)のメモリアドレスであり、オペランドサイズに応じてインクリメント(又はデクレメント)できる。例えば、離散していたデータブロックA, B, Cを、C, B, Aの順に1箇所にとめる(コンパクト化)する場合、DMAC内のBAR中のテーブル先頭アドレスを書き直して、リンクアドレスYとし、転送情報テーブル中のリンクアドレス部分をそれぞれ書き直すだけでよい。

また、HD68450は、ホールド、バスエラー、再実行、バス解放後再実行などの例外処理機能や、アドレスエラー、動作タイミングエラー、カウントエラーなどの各種エラーの検出機能を備えており、データ転送の信頼性を大幅に高めることができる。これらの例外処理は、3本の入力ピン(BECピン)から、エンコードされた形で入力される。

以上はHD68450の機能の一部であるが、これらのほか、ユーザーの使用に便宜を与える各種の機能を備えており、それぞれの用途に応じて使い分けることができる。

4.2 HD68450製品シリーズ

表3にHD68450の製品シリーズ一覧を示す。周波数バージョンとして4MHzから10MHzまで、パッケージバージョンとしてDIP64ピンとPGA68ピンを備えている。メモリ又はデバイスからのリードサイクルは、4クロックサイクルを基本としており、例えば10MHz版を使用した場合、400nsで2バイトデータの転送ができる。したがって、メモリウエートがない場合、5Mバイト/秒の高速データ転送が可能である。

5 結 言

MPUのHD68000とDMACのHD68450は、高級OAシステムに各種の優れた特徴を与えることができる。DMACは、データ転送ばかりでなく、エラー検出や例外処理によってもMPUをサポートする。これらのMPUとDMACを使用することにより、ハードウェア開発、ソフトウェア開発の負担を軽減することができるばかりでなく、OAシステムのニーズに対する有力な実現手段を得ることができる。

参考文献

- 1) E. Stritter, et al.: A Microprocessor Architecture for a Changing World: The Motorola 68000, Computer 12, No. 2(1979)
- 2) Y. Nakajima, et al.: 16Bit Direct Memory Access Controller-HD68450 DMAC-Hitachi Review 31, 259(1982-10).

論文抄録

高耐圧アナログ回路共存256ビットI²L・RAM

日立製作所 金子憲二・岡部隆博・外3名
電子通信学会誌 J66-C, 9, 668~675 (昭58-9)

近年、高耐圧素子を必要とする高精度のアナログ・デジタルLSIで、従来のランダムな論理回路に加えてRAMなどの規則論理回路を搭載することが切望されている。しかし、アナログ・デジタル共存の代表的なLSIの一つであるI²L・LSIでは、高耐圧アナログ回路にI²L・RAMを搭載することは、チップ面積が大幅に増加するため困難であった。本論文に述べるI²L・RAMは、メモセルの動作方式を工夫して周辺回路の素子数低減を図るとともに、回路面積増大の大きな要因となっている素子分離領域の数を低減できる回路構成をとることによって、高耐圧アナログ回路とのオンチップ化を可能とした。

高耐圧アナログ回路とI²L・RAMオンチップ化実現の最大の問題は、上述したようにRAMの回路面積の大幅な増加である。すなわち、高耐圧素子を形成するには、厚いエピタキシャル層を必要とするために、素子-素子分離層間の距離を大きくしなけれ

ばならない(今回の試作プロセスでは片側20 μ m)。オンチップ化するRAMの周辺回路でも素子分離されたこの大きなトランジスタを用いなければならないため、素子数及び素子分離領域数をできる限り低減する必要がある。

したがって、本RAMではこういった観点から、メモセルの動作方式、周辺回路構成として次のような形態をとっている。

- (1) メモセルの逆方向動作情報読出し
情報読出し時に、メモセルのトランジスタを逆方向動作させておくことで、周辺回路の読出し電流設定用回路を省略している。
- (2) 素子分離領域数の低減
ワード線駆動回路、センスアンプ回路で、各トランジスタを同一素子分離領域内に配置できるように、コレクタ共通の回路構成としている。また、センスアンプ回路では、2ビットごとに回路を共有する方式を用いている。
- (3) I²L素子の多用

ビット線駆動回路の信号生成、センスアンプ回路の定電流源、信号出力回路、デコード回路にI²L素子を用いている。このほか、素子数低減に伴い、書込み、読出しモードでの細かな電圧設定を省き、代わりに広範囲な電源電流でも動作可能となるように、周辺回路の各電流間に比例関係をもたせるようにしてある。

以上のような新規な回路構成をとることによって、周辺回路面積をECL形の従来回路を用いた場合の $\frac{1}{2}$ の面積に収めることができた。

高耐圧アナログ回路用プロセス技術(エピタキシャル層: 1 Ω cm, 10 μ m, 素子-素子分離層間距離: 20 μ m)を用いて256ビットRAMを試作した結果、nnpnトランジスタの耐圧22V, 面積1.7 \times 3.4mm², 最小アクセス時間600ns, 最小書込みパルス幅440nsが得られた。