

1MビットマスクROMとその応用

1Mbit MASK ROM and Its Application

OA化の波に乗って、漢字キャラクタゼネレータ用など、大容量マスクROMの需要が急増している。これに対応するために、高速1MビットマスクROMを開発した。

高速・大容量実現のために、縮小投影露光法を用いた $2\mu\text{m}$ CMOS ポリサイドプロセスをはじめ V_{BB} 回路とダイナミック回路を採用し、アクセスタイム 350ns の非同期マスクROMを実現した。また、歩留まりを上げるためにECCを内蔵し、1本のワード線(32ビット)中の1ビットまでの誤りを訂正可能とした。

応用分野は、日本語情報処理システム、マイクロコンピュータ固定プログラムなどが中心であり、データを大量に格納するデータテーブルとして使用される。

柴田隆嗣* Ryūji Shibata
島田舜二* Shunji Shimada
川本 洋** Hiroshi Kawamoto

1 緒 言

近年、半導体技術の著しい進歩により高集積化が可能となり、VLSIの製品化が進んでいる。半導体メモリの中で、マスクROM(Read Only Memory)はその回路とデバイス構造が他のMOS(Metal Oxide Semiconductor)メモリよりも簡単であることから、大容量化が一段と進んでいる。256kビットDRAM(Dynamic Random Access Memory)又は64kビットSRAM(Static RAM)の製造プロセスを採用して、マスクROMでは1Mビットの製品化が可能である。各半導体メーカーでは、1MビットマスクROMの開発にしのぎを削っている。

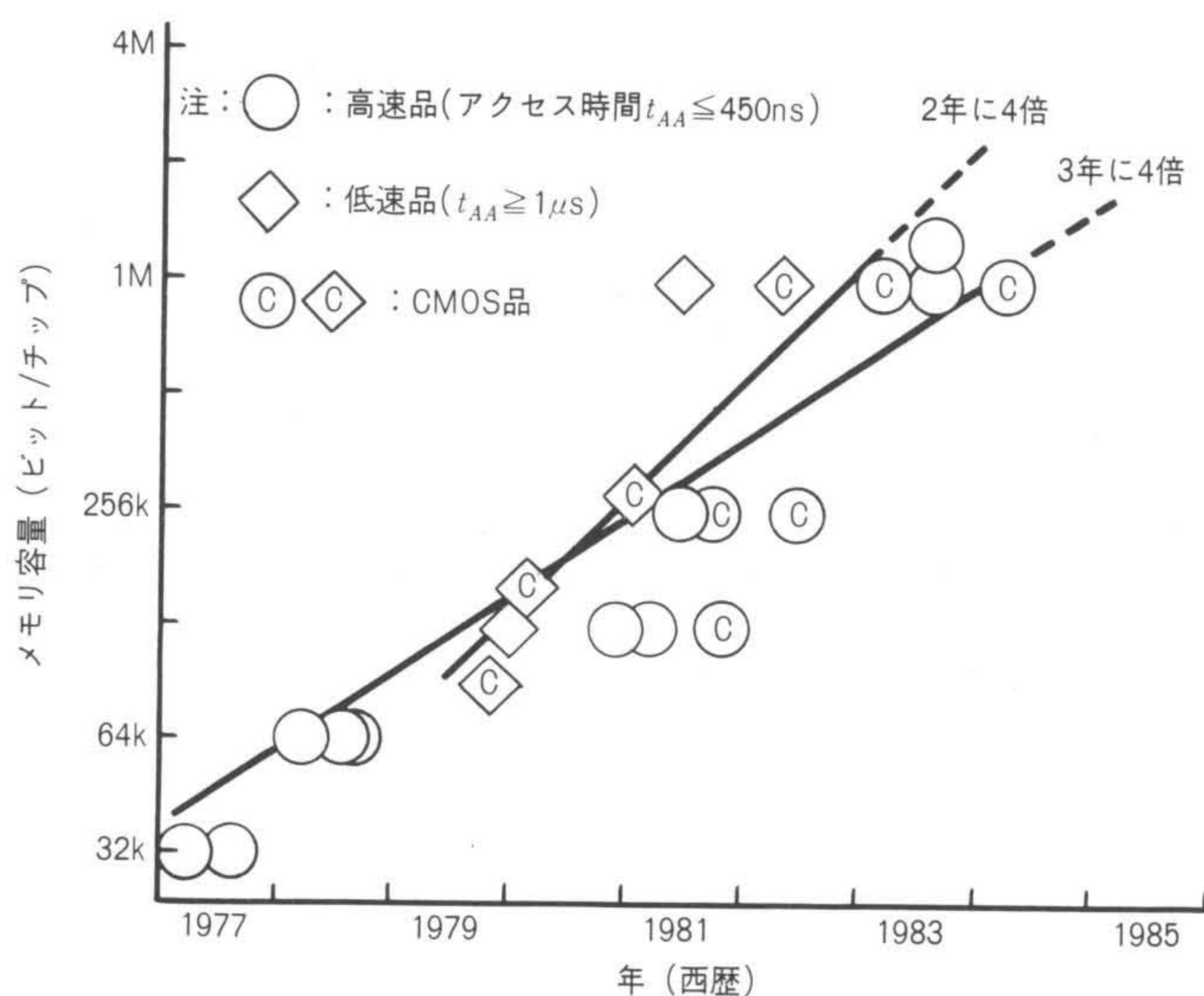
マスクROMのうち、アクセス時間 450ns 以下の高速形では3年に4倍の割合で、また $1\mu\text{s}$ 以上の低消費電力形では2年に4倍の割合で1チップ当たりのメモリ容量が増大している(図1)。

本稿では、日立製作所での1MビットマスクROM・HN62301P(図2)の開発状況を、製造プロセス、回路の両面で採用されている技術の概要と、高集積マスクROMの応用動向を中心に紹介する。

2 1MビットマスクROMの概要

2.1 ビット構成

マスクROMは、マイクロプロセッサ用プログラムメモリとして、また漢字CG(キャラクタゼネレータ)などの固定データメモリとして主に使用されている。システムの初期検討で使用するEPROM(Erasable and Programmable ROM)は、低価格化のためにマスクROMに置き替わることが多い。このため、1MビットマスクROMのピン配置は64kビットEPROMと同じバイト構成をとり、64kビット～256kビットからのピン配置互換性をもたせるために、600mil 28ピンDILP(Dual In Line Plastic Package)に封入した。図3にJEDEC(Joint Electron



注: 略語説明 CMOS(Complementary Metal Oxide Semiconductor)

図1 マスクROMのメモリ容量の年次推移¹⁾ NMOS(NチャネルMOS)マスクROMが3年に4倍、CMOSマスクROMが2年に4倍の割合で1チップ当たりのメモリ容量が増加している。

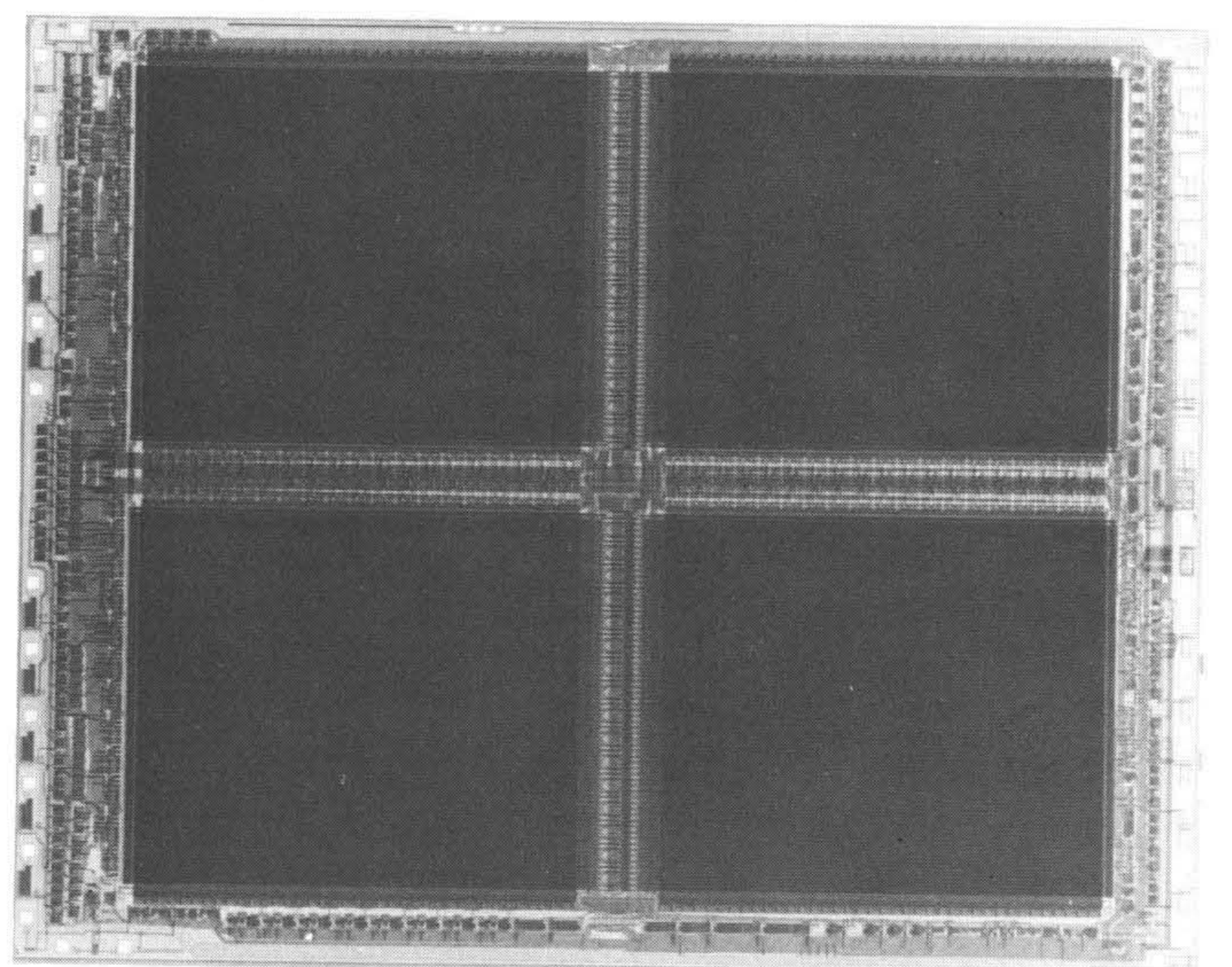


図2 1MビットマスクROM HN62301Pのチップ写真 7.90 × 9.98mm²のチップに約130万個のトランジスタを集積している。

* 日立製作所武蔵工場 ** 日立製作所デバイス開発センタ

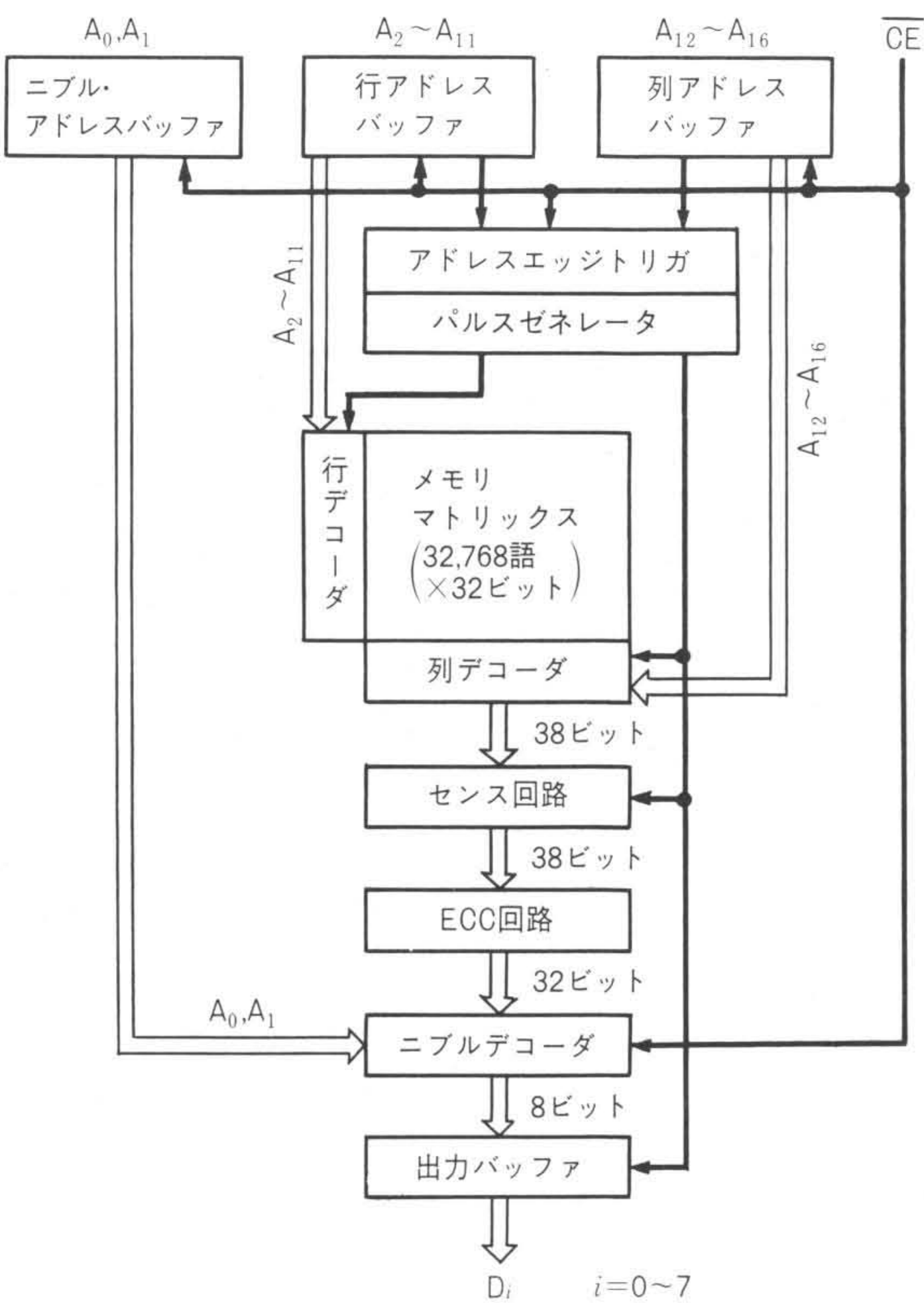
Devices Engineering Council) Bタイプのピン配置を採用した日立製作所の64k～1Mビットの例を示す。

2.2 回路技術

64k～256kビットマスクROMは、高速形と低速・低消費電力形の二つに分類される。低速形は、低消費電力実現のため

HN62301P															
HN613256P															
HN613128P															
HN61364P															
A15	NC	NC	NC	1	28	V _{cc}	V _{cc}	V _{cc}	V _{cc}						
A12	A12	A12	A12	2	27	$\overline{OE}1$	$\overline{OE}1$	A14	A14						
A7	A7	A7	A7	3	26	$\overline{OE}2$	A13	A13	A13						
A6	A6	A6	A6	4	25	A8	A8	A8	A8						
A5	A5	A5	A5	5	24	A9	A9	A9	A9						
A4	A4	A4	A4	6	23	A11	A11	A11	A11						
A3	A3	A3	A3	7	22	$\overline{OE}0$	$\overline{OE}0$	$\overline{OE}$	A16						
A2	A2	A2	A2	8	21	A10	A10	A10	A10						
A1	A1	A1	A1	9	20	CS	CS	CS	$\overline{OE}$						
A0	A0	A0	A0	10	19	D7	D7	D7	D7						
D0	D0	D0	D0	11	18	D6	D6	D6	D6						
D1	D1	D1	D1	12	17	D5	D5	D5	D5						
D2	D2	D2	D2	13	16	D4	D4	D4	D4						
V _{ss}	V _{ss}	V _{ss}	V _{ss}	14	15	D3	D3	D3	D3						

図3 JEDEC-BバージョンのマスクROMピン配置 日立マスクROMのピン配置は、EPROMとピン互換性をもたせてシステムの拡張を可能にしている。



注：略語説明 ECC(Error Correcting Code)

図4 HN62301Pの回路ブロック アドレスの変化をエッジトリガにより検出し、パルスゼネレータによるタイミングで各回路ブロックを順次ダイナミック動作させる。

に同期形回路を使用している。高速形は消費電力よりも動作速度を優先しており、マイクロプロセッサ周辺回路を簡単にするために非同期形回路を使用してきた。1Mビットでは、プロセスの微細化に伴う消費電流増大を防止するために、内部回路を同期形で動作させている。図4にHN62301Pの回路ブロックを示す。アドレスの変化をエッジトリガにより検出し、パルスゼネレータによるタイミングで各回路ブロックを順次ダイナミック動作させる。

マスクROMの動作スピードを決める要素の一つにセンス回路がある。図5にCMOS(Complementary MOS)ダイナミックセンス回路とスタティックセンス回路の例を示す。ダイナミック形はスタティック形に比べて低消費電力であり、センス時間が半分以下と速い。

メモリの大容量化に伴ってセンス系回路の負荷容量が増大する。この対策として、パターンの微細化によるメモリセル拡散層面積の縮小と基板バイアスによる接合容量の低減がある。日立製作所の16k～64kビットNMOS(NチャネルMOS)マスクROMにはV_{BB}回路を内蔵しているが、256kビットまでのCMOS製品には内蔵していない。1Mビットでは高速化のためにCMOSでは世界で初めてV_{BB}回路を内蔵した。V_{BB}回路はリング発振器、容量、チャージポンプから成り、V_{cc}が5Vのときに基板をマイナス3Vにバイアスする。V_{BB}回路内蔵の利点は、基板効果抑圧、アンダシュート時のメモリ誤動作防止、ラッチアップ防止などであるが、待機時の消費電流が増大する欠点もある。

高速読出し機能として、マスクROMでは初めてニブルモードを採用した。ニブル回路はECC(Error Correcting Code)回路で訂正した32ビットのデータをラッチし、1バイトごとに4回に分けて出力する。ノーマルモードとニブルモードの動作を図6に示す。ノーマルモードでは、350nsのサイクル時間で4バイトのデータを得るのに1,400nsの時間が必要である。ニブルモードでは650nsで4バイトのデータ読み出しが可

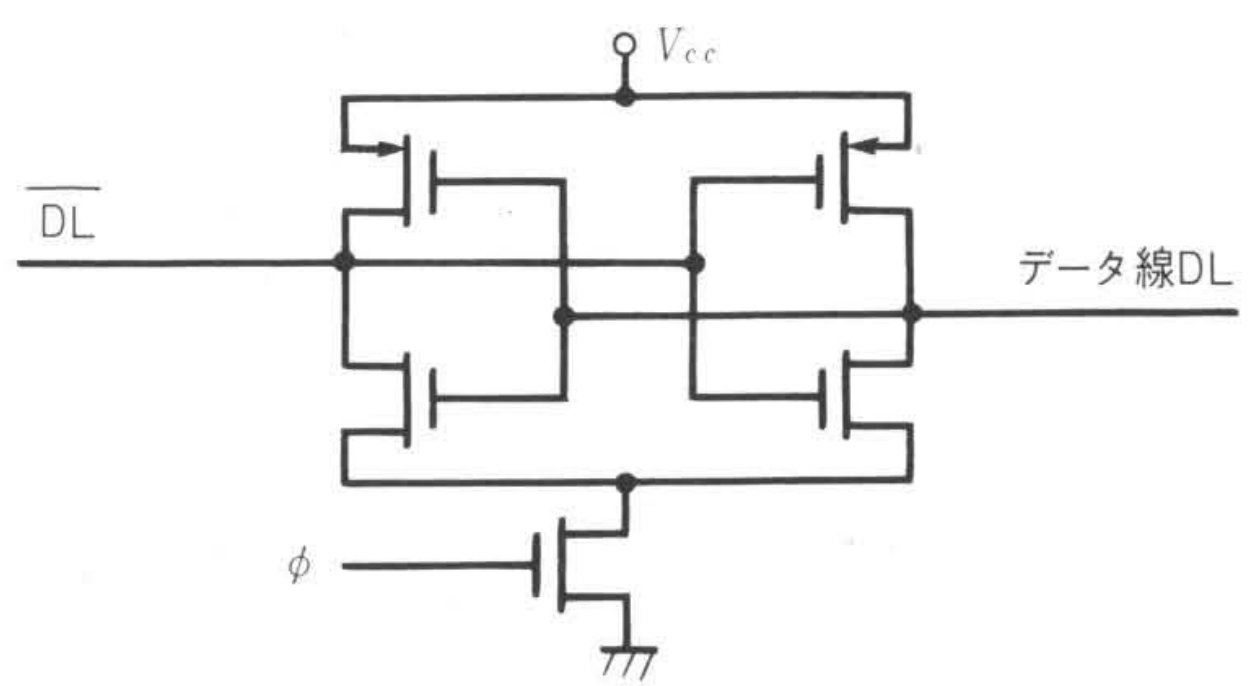
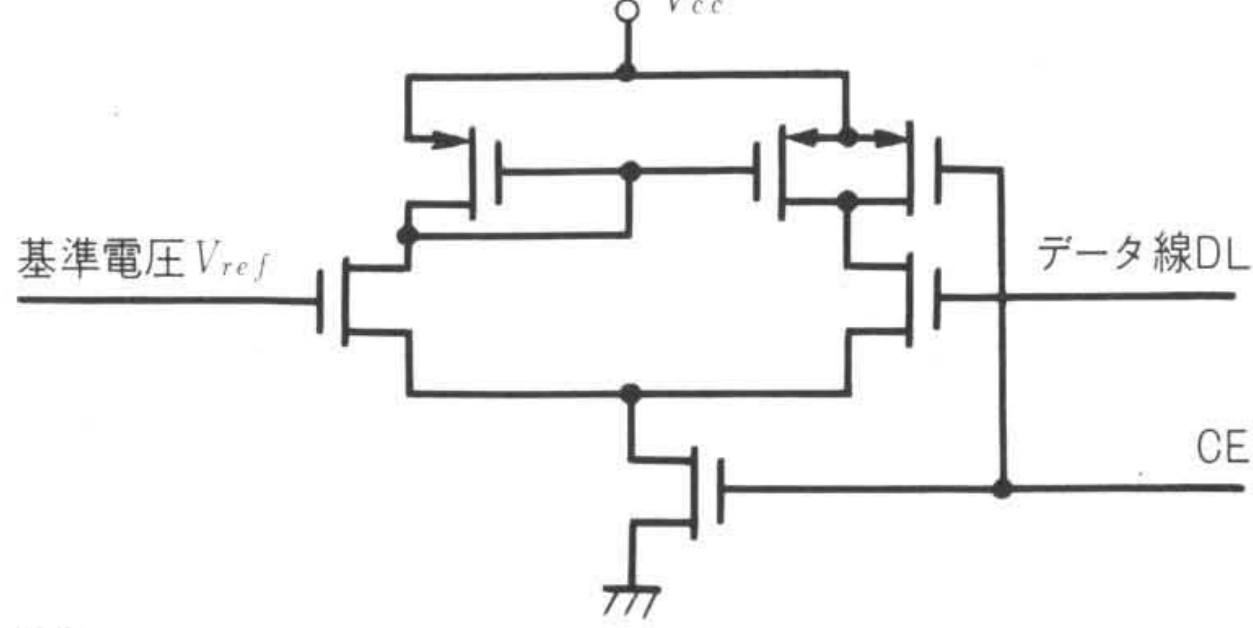
回路方式	速度	消費電力
 (a) ダイナミックフリップフロップ形	○	○
 (b) スタティック形	△	×

図5 CMOSのダイナミックセンスアンプ(a)とスタティックセンスアンプ(b) ダイナミック形はスタティック形に比べて低消費電力であり、センス時間が半分以下と速い。

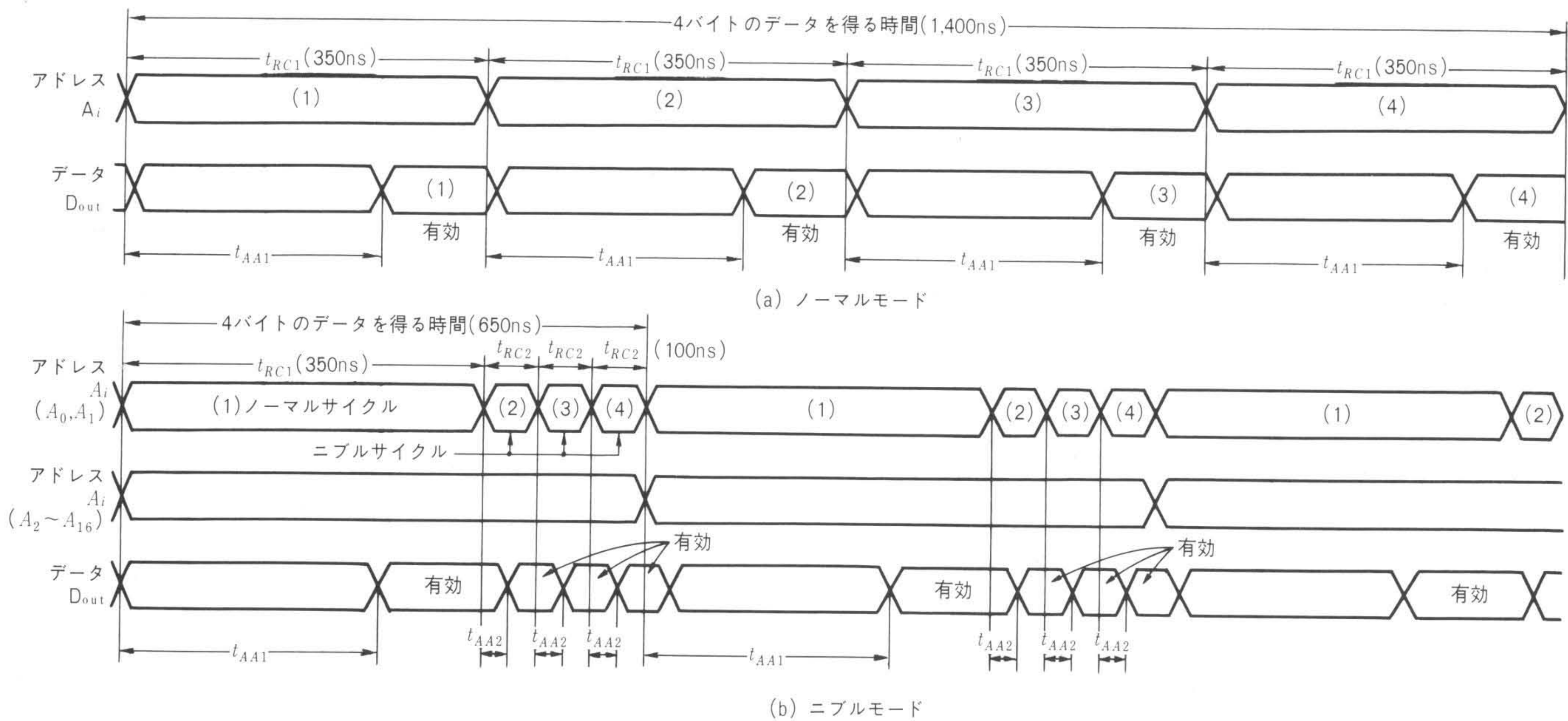


図6 ニブルモードとノーマルモードの動作比較 ニブルモードは、650nsで4バイトのデータ読み出しが可能であり、1バイト換算でノーマルサイクルの47%で済む。ニブルモードはアドレスA₀、A₁だけを変化させる。

能であり、1バイト換算でノーマルサイクルの47%で済む。製造プロセス微細化による高速化には限界があり、1Mビット以上のROMの高速化にはニブルモードの採用が有効な手段となる。

マスクROMの欠陥救済技術¹⁾には、二重化方式とEPROM内蔵方式がある。チップ面積の増大と製造プロセスの難易度の2点から、ECC方式が欠陥救済に最も実用的である。大形コンピュータでは今までに実用化されているが、マスクROMでは世界で初めてECC回路を内蔵した。ECCの動作原理や歩留まり向上予測については2.4節で詳述する。

2.3 プロセス技術

上記の回路技術を採用して1Mビットを実現するためには、現行のCMOS 3μmプロセスでは実用的なチップ面積の上限を越えることが予想される。マスクROMの微細加工寸法とチップ面積の関係を図7に示す。回路技術の工夫とCMOS 2

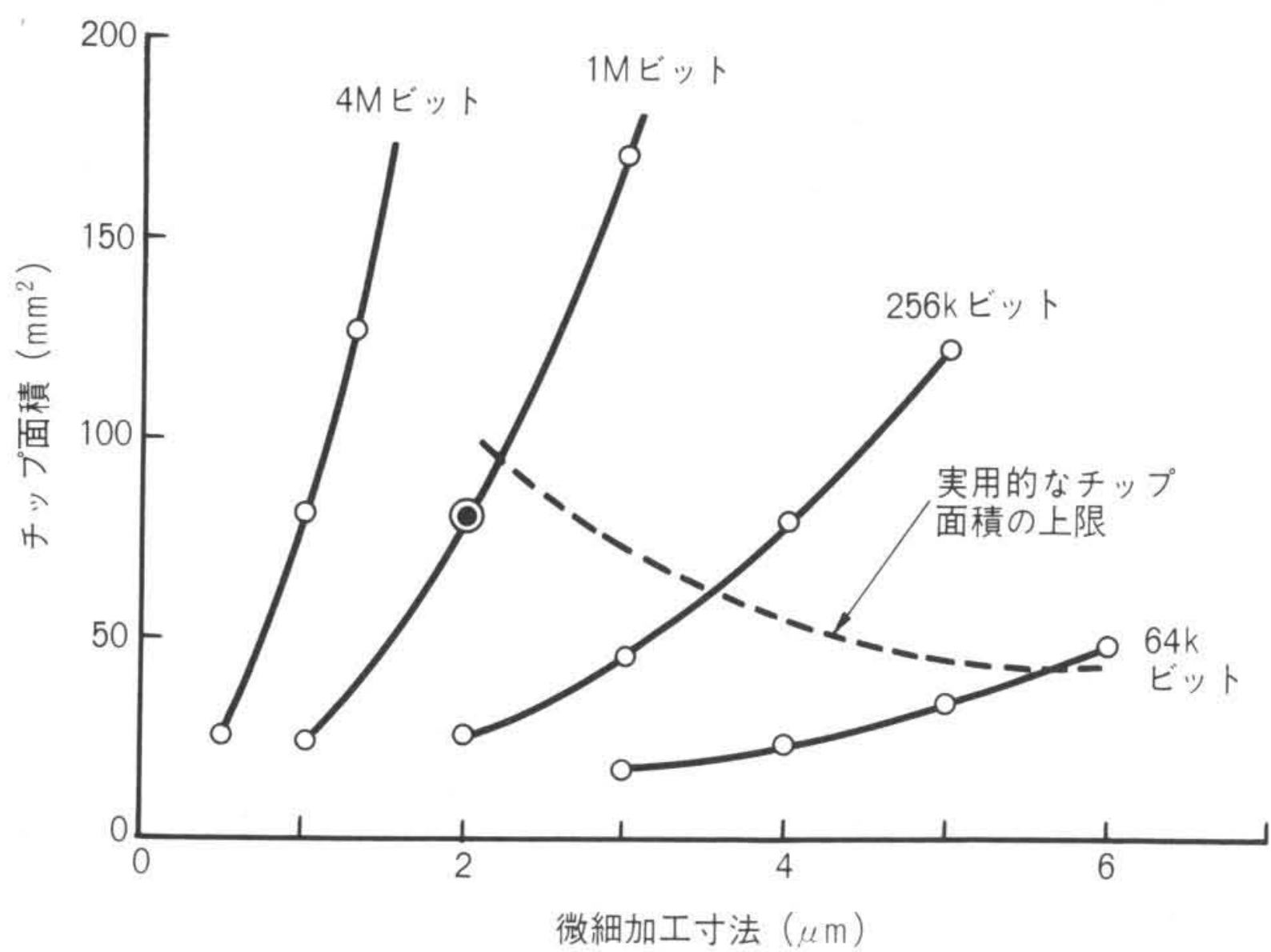


図7 マスクROMの微細加工寸法とチップ面積の関係¹⁾ 回路技術の工夫とCMOS 2μm微細加工技術の併用によって、初めて1Mビットの実現が可能になった。

μm微細加工技術の併用によって、初めて1Mビットの実現が可能になった。以下、1MビットマスクROMで採用したプロセス技術について説明する。

大容量化に伴いワード線長が増大し、ワード線立上り時間の増大が問題となる。ワード線分割では、デコーダ、アドレスバス配線数の増大によりチップ面積が増大する。このため、多結晶シリコンの1/3のシート抵抗をもつポリサイドゲートを採用して、ビット単価の低減を図った。

次に、ウェーハ処理工程でROMにビット情報をプログラムする方法を表1に示す。拡散層書替えは、チップ面積や動作速度の点で優れているが、TAT(Turn Around Time)が長い欠点がある。コンタクトとAl書替えはチップ面積が大きい欠点がある。チップ面積縮小と短TATの両立のために、HN62301Pではイオン注入によるプログラム法を採用した。イオン注入法にはNAND形でリン注入によりメモリセルをショートさせる低消費電力形と、NOR形でボロン注入によりメモリセルをオープンにする高速形が一般的である。将来的にはイオン注入用NAND形セル(縦ROM)の段数を最適化し、高速センス回路の併用によってチップ面積の縮小化と高速化を両立させる方向にあるものと思われる。

表1 マスクROMのプログラム法比較 拡散層書替えはTATが長い。コンタクトとAl書替えはセルサイズが大きい。短TATとチップ面積縮小の両立のために、イオン注入書替えを採用する。

項目	プログラム法				
	拡散層	イオン注入		コンタクト	アルミ
回路方式	NOR	NAND	NOR	NOR	NOR
セルサイズ	○	◎	○	△	×
動作速度	○	×	○	○	○
TAT	×	△	△	○	◎
総合評価	×	△	○	△	×

注：略語説明 TAT(Turn Around Time)

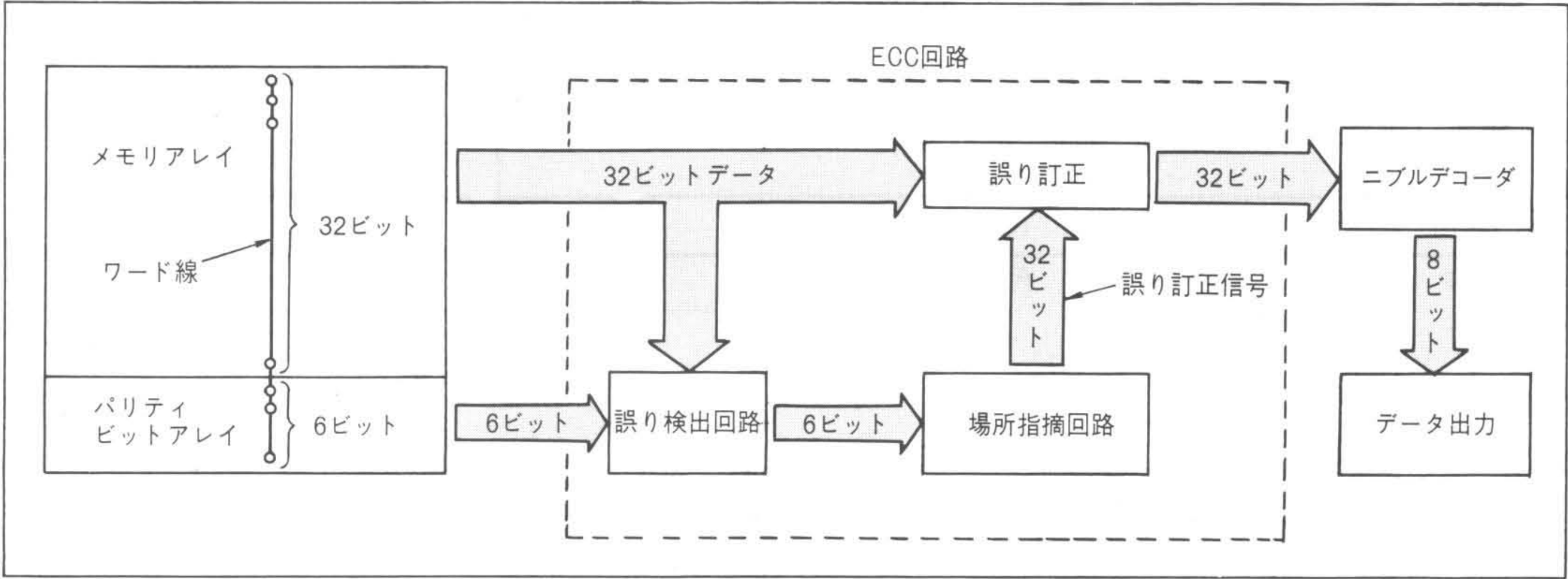


図8 ECC回路のブロック図
図 1本のワード線上の32ビットを救済単位として、6ビットのパリティにより1ビット誤りを訂正する。

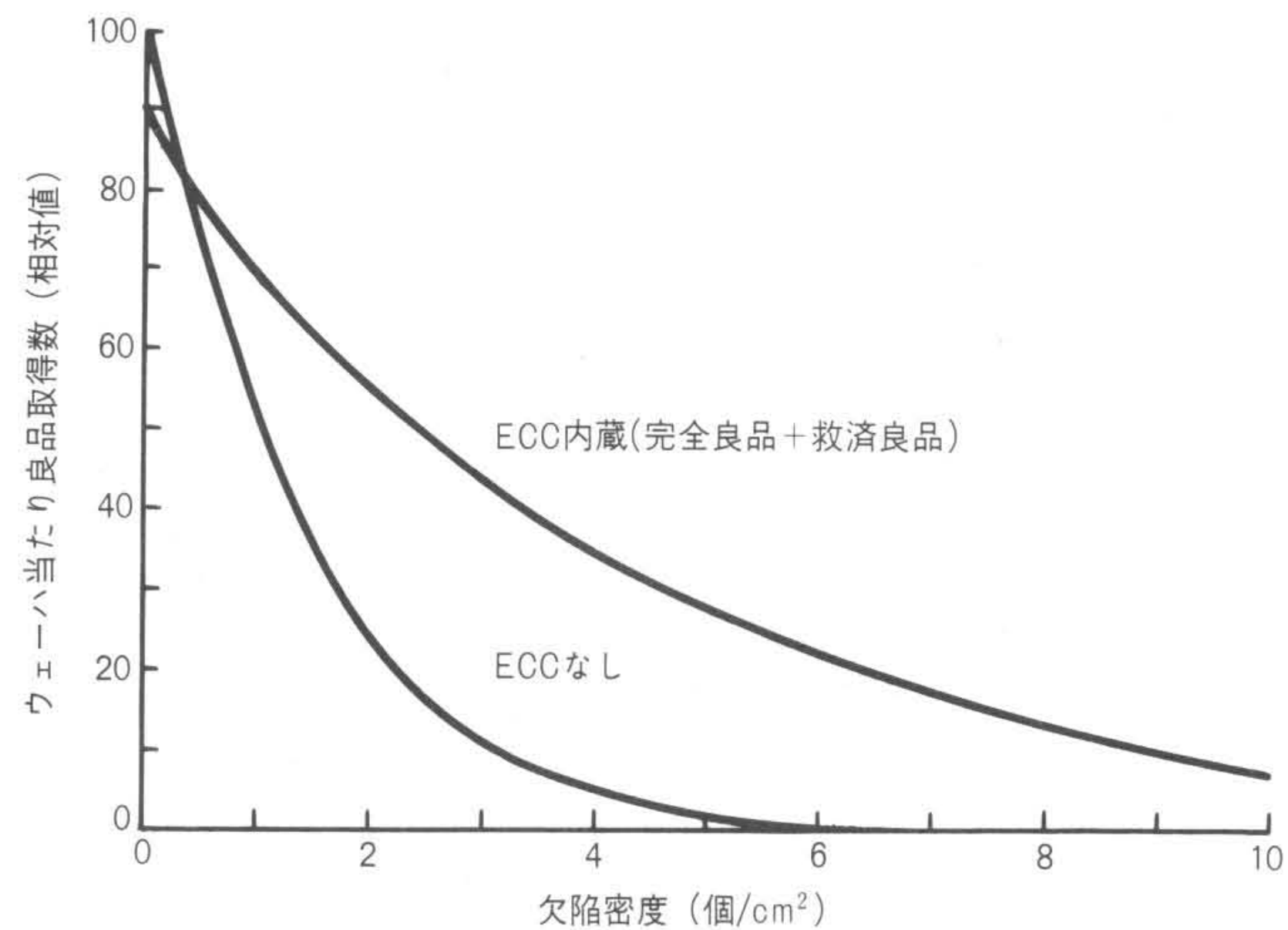


図9 ECC回路内蔵による歩留まり向上の予測 欠陥密度が高い場合は、ECC回路による歩留まり向上効果は著しい。欠陥密度が低くなると、ECC回路のないチップのほうが有利になる。

表2 HN6230IPの電気的特性 2μm CMOSプロセスの採用により、標準値動作電流15mA、アドレスアクセス時間160nsを得た。
(V_{cc} = 5V ± 10%, T_a = 0 ~ 70°C)

項 目	記号	単位	特 性 値		
			最小値	標準値	最大値
動作電流	I _{CC1}	mA	—	15	50
ニブル電流	I _{CC2}	mA	—	5	15
待機時電流	I _{SB}	mA	—	0.4	5
入力電圧	V _{IH}	V	2.4	—	V _{cc}
入力電圧	V _{IL}	V	-0.3	—	0.8
出力電圧	V _{OH}	V	2.4	—	—
出力電圧	V _{OL}	V	—	—	0.4
アドレスアクセス時間	t _{AA1}	ns	—	160	350
サイクル時間	t _{RC1}	ns	350	—	—
データホールド時間	t _{OH}	ns	10	—	—
CEアクセス時間	t _{ACE}	ns	—	—	350
CE動作パルス幅	t _{CE}	ns	350	—	—
CE非選択パルス幅	t _{CE}	ns	15	—	—
アドレスセットアップ時間	t _{AS}	ns	0	—	—
CEデータホールド時間	t _{CHZ}	ns	10	—	—
CEデータフローティング時間	t _{DHC}	ns	10	—	150
CEデータセット時間	t _{CLZ}	ns	10	—	—
ニブルアクセス時間	t _{AA2}	ns	—	60	100
ニブルサイクル時間	t _{RC2}	ns	100	—	—

2.4 ECC内蔵による歩留まり向上

大容量化に伴う歩留まりの低下防止策として、大形コンピュータで実用化されているECCを1MビットマスクROMに内蔵した。図8にECC回路のブロック図を示す。1本のワード線上の32ビットを救済の単位として、6ビットのパリティにより1ビット誤りを訂正する。誤り検出回路は情報ビットとパリティビットのEOR(Exclusive OR)をとる。場所指摘回路はAND回路から成り、誤り訂正回路はデータビットと場所指摘回路のEORをとる。

ECCを内蔵しない場合、欠陥密度から歩留まりは相当低いものと予想され、生産性の低下により大量一括納入は不可能となる。ECCを内蔵するとパリティビットとECC回路の占める面積がその分増大する。ウェーハ当たりのチップ取得数は低下するが、欠陥救済による歩留まり向上によってウェーハ当たりの良品数はECCを内蔵しない場合よりも多い。図9にECC回路内蔵による歩留まり向上の予測を示す。当面のプロセス技術ではECCの有意性が発揮されよう。

3 電気的特性

前述のプロセス技術と回路技術を採用して1MビットマスクROMを設計した結果、表2のような電気的特性を得た。

3.1 アクセス時間

V_{BB}内蔵による接合容量の低減とポリサイドワード線の採用により、標準値ノーマルアクセス時間160nsを、またニブルアクセス時間60nsを得た。図10にアドレスアクセス時間の電源電圧依存性を示す。

3.2 動作電流

ダイナミック回路の採用により標準値動作電流15mA、ニブル電流5mAを、また待機時電流0.4mAを得た。

4 応用分野

4.1 1MビットまでのマスクROMの応用動向

マスクROMの応用分野は、表3のように多岐にわたっている。32k~64kビットマスクROMの主な応用分野はゲームであり、廉価版パーソナルコンピュータのゲームソフトとして使われている。CRT(Cathode Ray Tube)表示用にはアクセス時間250ns品が主流である。市場の要求は低価格、高速、大量一括納入及び短納期がポイントとなる。

128k~256kビットマスクROMは、電子翻訳機、音声合成装置、プリンタなど、比較的低速動作でかつ低消費電力を要求される分野と、マイクロプロセッサ固定プログラムメモリやワードプロセッサ、漢字端末装置のCGなど、高速で動作する分野で使用されている。

表3 マスクROMの応用分野¹⁾ 1Mビットの容量になると、漢字CG、長時間音声合成、電子翻訳機や電子辞書などの大量データテーブルとして使用される。

応 用 分 野	要 求 仕 様			
	メモリ容量 (ビット)	アクセス時間 (ns)	動作時電流 (mA)	待機時電流 (mA)
オフィスコンピュータ	64～256k	250～300	100	10
パーソナルコンピュータ	64～256k	250～300	100	10
ポータブルコンピュータ	128～256k	300～450	25	0.01
ワードプロセッサ用漢字ROM	1～2.3M	250～350	100	10
プリンタ用漢字ROM	1～2.3M	500～3,000	100	10
タイプライタ	64～256k	350	100	10
ファクシミリ	64～256k	350	100	10
複写機	32～128k	350	100	10
ECR	32～256k	250～350	100	10
電子翻訳機	256～576k	3,000	3	0.01
楽器	128k～2.3M	250～3,000	100	10
テレビジョンゲーム	32～128k	350	100	10
端末機器	64～256k	250	100	10
測定器	64～256k	250	100	10
自動車	32～128k	350	100	10

注：略語説明 ECR(Electric Cash Resister)

1Mビットの容量になると、漢字CG、長時間音声合成、電子翻訳機や電子辞書などの大量データメモリとして使用される。以下、漢字CGを例にとり応用例を説明する。

4.2 漢字CG

最近OA(Office Automation)化が急速に進み、日本語情報処理端末装置のプリンタやCRT表示に漢字CG用マスクROMを使用するようになってきた。従来漢字CGデータはフロッピーディスクに格納されていたが、システムの小型化、低価格化のためにマスクROM化が一段と進んでいる。

漢字の種類は日本工業規格(JIS C 6226³⁾)の情報交換用漢字符号系で第1水準2,965字、非漢字453字及び第2水準漢字3,384字が標準化されている。また漢字フォント(字体)は各社で開発されているが、ドットプリンタ用24ドット字形もJIS C 6234-1983⁴⁾で標準化された。

1MビットマスクROMを使った漢字表示例を図11に示す。HN62301PA10～A12は、1Mビット3個でJIS第1水準と非漢字を24ドットの明朝体で表現した漢字CGである。CRT表示に適した高速動作が可能であり、ロースキャン(横方向走査)方式でデータを出力する。1文字を表現するのにスキャンアドレス5本(A₀～A₄)、文字アドレス12本(A₅～A₁₆)を使用する。スキャンアドレスは文字のドットパターンをカラム方向にスキャンさせるのに使用する。文字アドレスはJISコードの第1バイトと第2バイトに対応させて、第1水準2,965字と非漢字453字の割付けを行なっている。図12にJIS符号表とROMアドレスの概略を、また表4にJIS C 6226のコードとROMアドレスの関係を示す。JISコード表の空間部分の有効活用²⁾のために、JISコードとマスクROMの文字アドレスの間で変換を行なっており、ワードプロセッサなどのCG周辺に論理ゲートの追加が必要である。

漢字CGは最近まで256kビットマスクROMの多数個使用が一般的であったが、プリント基板の実装密度向上によるシステムの小型化や低価格化のために1Mビットに移行しつつある。今後は、文字の高精度化のためにレーザビームプリン

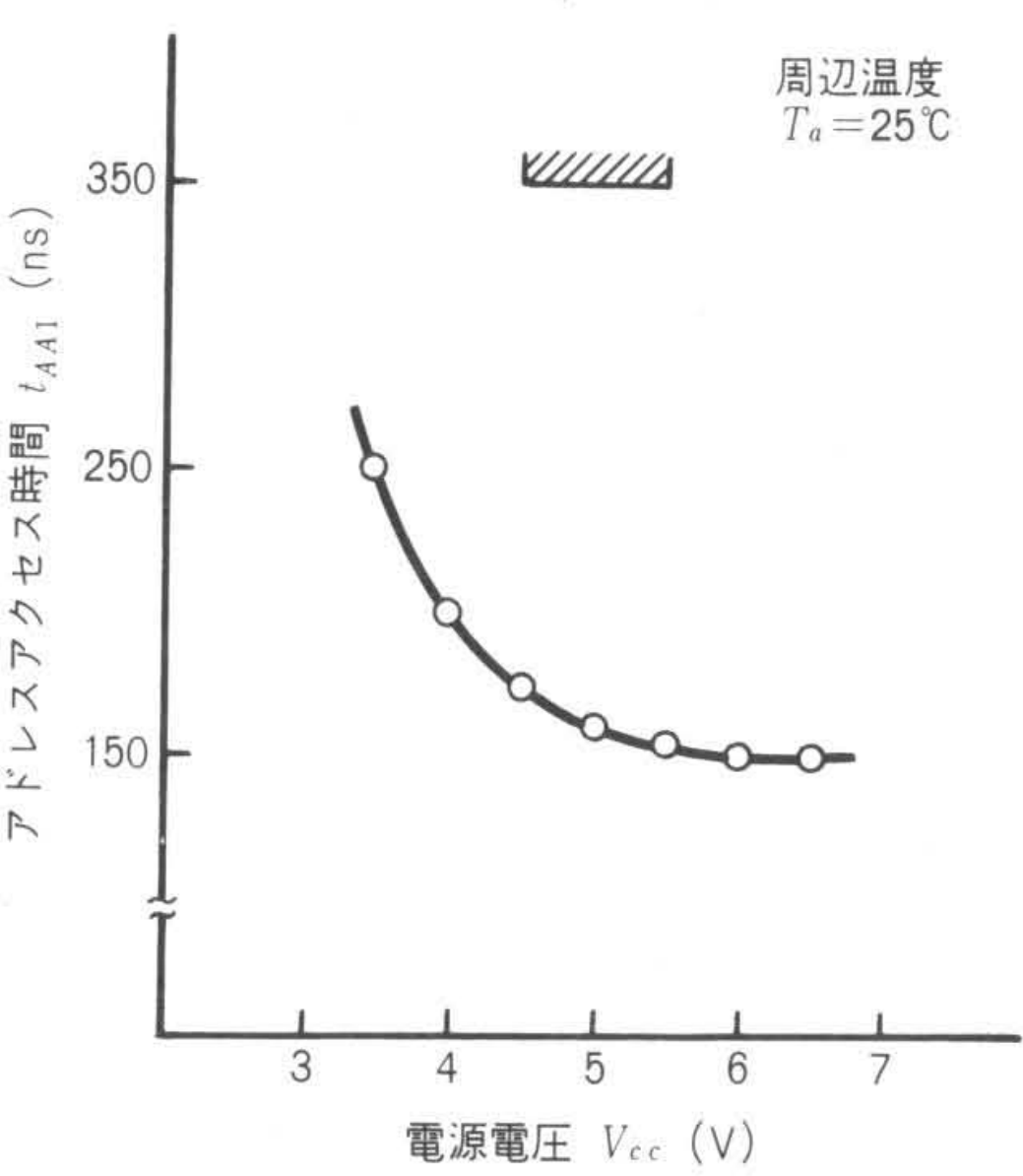


図10 アドレスアクセス時間 t_{AA1} の電源電圧依存性 ポリサイドワード線の採用により、標準条件で160nsのアクセスタイムを実現した。

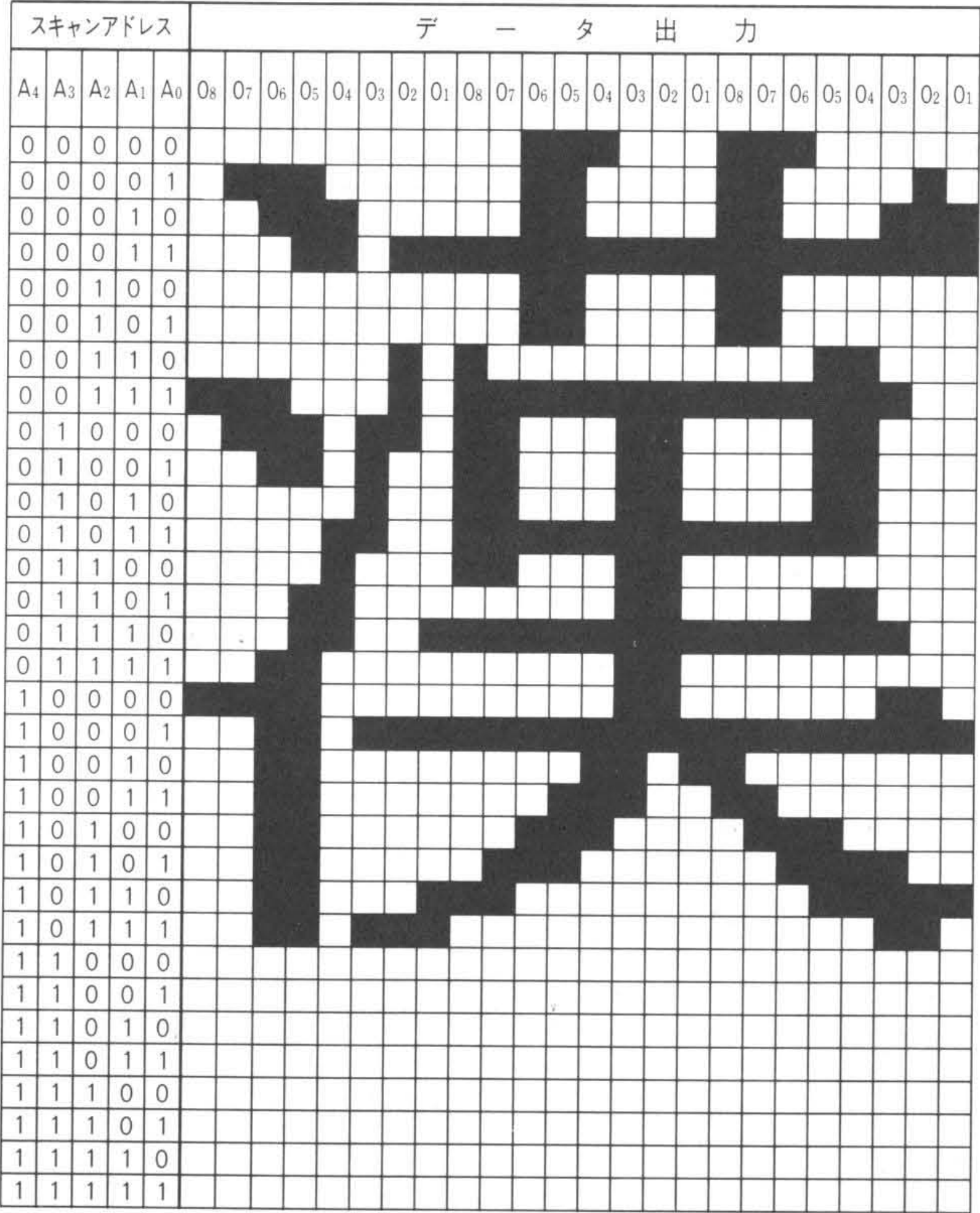


図11 1MビットマスクROMを使用した漢字表示例 HN62301PA10～A12は、1Mビット3個でJIS第1水準2,965字と非漢字453字を24ドットの明朝体で表現した漢字CGである。

タを使用して、32ドットあるいは40ドット構成へ移行するものと予想される。ドットの微細化に伴い文字表示のスキャン時間が増大してくるが、マスクROMの高速化とともに今回HN62301Pで採用したニブルモードの活用が有効になると考える。

5 今後の動向

前章までに製品概要からその応用例について述べてきた。1Mビットの応用分野は現在漢字CGが中心であり、2M～4Mビットへの大容量化が要望されている。1Mビットまでは微細加工技術によって高速化、大容量化を実現してきたが、物

表4 JIS C 6226のコードとROMアドレスの関係 文字アドレスをJISコードの第1バイトと第2バイトに対応させて、JIS第1水準漢字2,965字、非漢字453字、第2水準漢字3,384字を割り付けている。

区 分	b7	b6	b5	JISコード											
				a7	a6	b3	b2	b1	0	0	a5	a4	a3	a2	a1
非 漢 字	0	1	0	b7	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
	1	0	0	b7	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
漢 字(第1水準)	1	0	1	b6	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
	1	1	0	b6	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
	1	1	1	a7	a6	b3	b2	b1	0	0	a5	a4	a3	a2	a1
漢 字(第2水準)	1	0	1	b6	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
	1	1	0	b6	b4	b3	b2	b1	a7	a6	a5	a4	a3	a2	a1
	1	1	1	a7	a6	b3	b2	b1	0	0	a5	a4	a3	a2	a1
品 名	ボディサイズ			ROMアドレス											
HN613256P×××	16×16			CS/OE	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4
	24×24			A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3
HN62301P×××	16×16			A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4
	24×24			A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5
	30×30			A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5

注：b7～b1はJIS第1バイト，a7～a1はJIS第2バイトを示す。

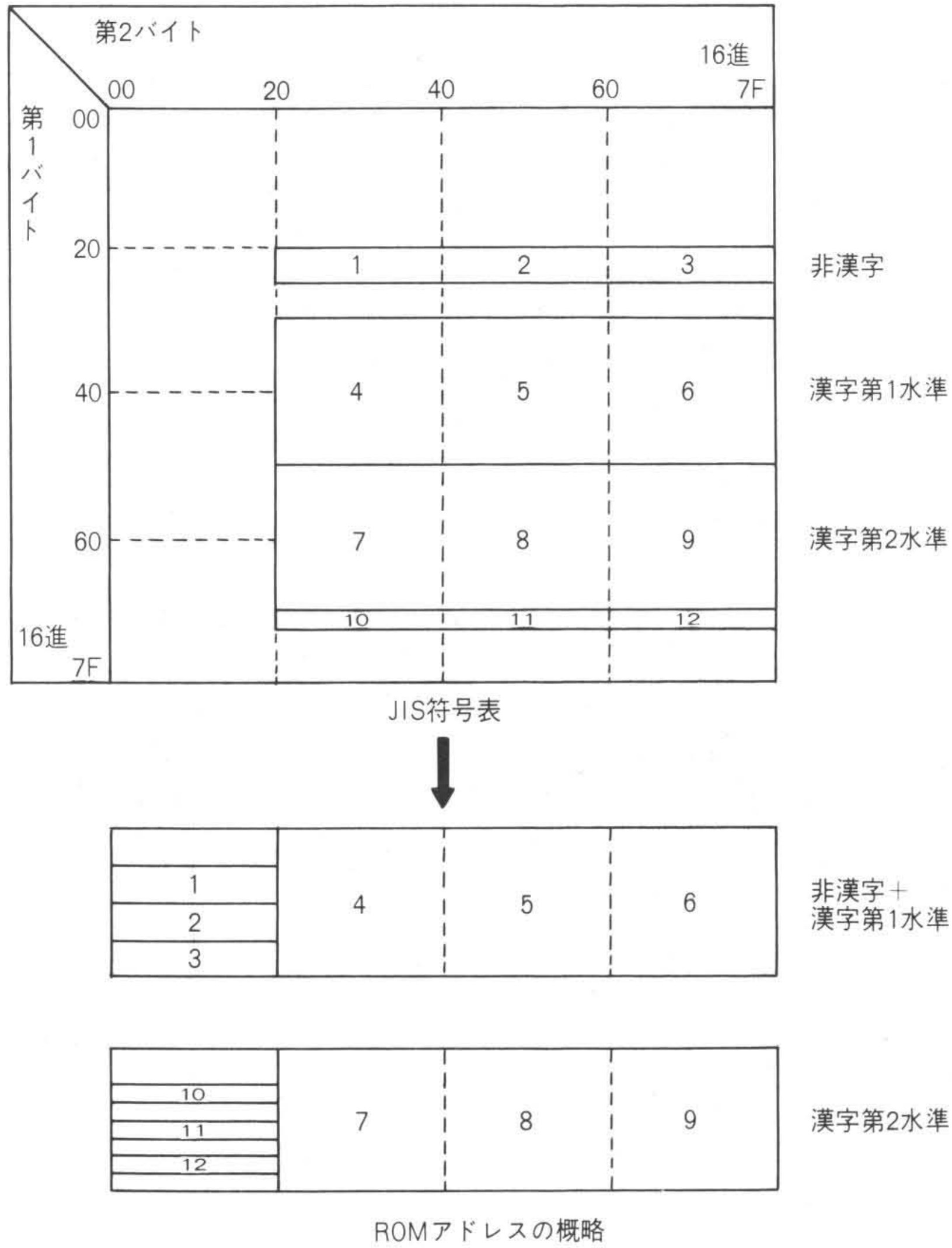


図12 JIS符号表とROMアドレスの概略 JISコード表の空間部分の有効活用のために、JISコードとマスクROMの文字～アドレス間で変換を行っている。

理的限界に到達しつつある。ホットキャリアの注入によるしきい値の変動や、ソース～ドレイン間の耐圧低下などの問題が出てくる。対策にはNOR形メモリ回路からNAND形回路へ、また1セル2ビットのような回路上の工夫が必要となる。高速化のためにはポリサイドから抵抗の低い金属材料の適用やAl2層によるワード線低抵抗化が考えられる。また、大容量化に伴いCMOS化が急速に進み、アドレスエッジトリガ

による非同期動作が主流となるであろう。マイクロプロセッサの16～32ビット化に伴い、周辺メモリもバイトワイド構成からワードワイド構成へと移行するかもしれない。また、入出力もアドレスマルチ方式やマルチビット方式の採用が必要になるかもしれない。今後もマスクROMの応用分野は漢字CGを中心に大容量データテーブルとして急速に広がってゆくであろう。

6 結 言

歩留まり向上のためにECCを内蔵した1MビットマスクROM・HN62301Pを開発した。2μm微細加工とCMOSポリサイドプロセスによる高集積メモリセル並びにVBB回路及びダイナミック回路方式の採用により、従来の256kビット品と同等の高速・低電力性能で、4倍のメモリ容量を実現した。本製品の開発により、64k～1MビットCMOSマスクROMの製品系列が強化された。今後、マスクROMの応用分野は、漢字キャラクタゼネレータを中心とする大容量データテーブルとして急速に拡大してゆくものと思われる。これを実現するためには、プロセス技術の進歩だけでなく、デバイス構造と回路技術が一体となった大容量メモリの開発が必要である。

参考文献

- 1) 柴田，外：歩留まり向上のためECC回路を内蔵した高速1Mビット・マスクROM，日経エレクトロニクス，pp.195～210 (1983年9月26日号)
- 2) 池邊，外：1Mビット・マスクROMとその応用，電子技術，第26巻，第3号，pp.46～51(1984年，3月号)
- 3) 情報交換用漢文字符号系，日本工業規格(JIS C 6226-1983)，日本規格協会，1983年9月1日改正
- 4) ドットプリンタ用24ドット字形，日本工業規格(JIS C 6234-1983)，日本規格協会，1983年9月1日制定