

複合形ゲートアレイの開発

Development of Hybrid Gate Array

現在、ゲートアレイはカスタムLSIを実現する方法の中で最も広く使われている手段である。こういう中で、従来のゲートアレイに対する広範囲のユーザーニーズを踏まえ、複合形ゲートアレイともいえるべき2種類のゲートアレイを開発した。HD61MMは2,500ゲートのCMOSゲートアレイであるが、その基本セルに独自のパターンを採用することで、容量、構成ともに自由にユーザーが選択できるメモリ搭載可能な製品である。また、HD27シリーズ4品種はBi-CMOSプロセスを採用することで、CMOSの低外部負荷駆動能力を克服した。ここでは、その実現に当たって採用した技術について述べる。

鳥居周一* Shûichi Torii
上遠野臣司** Shinji Kadono
久保木茂雄*** Shigeo Kuboki

1 緒言

近年の電子機器はLSIの採用によって、安価で小形にもかかわらず高速で多機能、高信頼度の製品が実現されるようになってきている。電子機器を実現する半導体の中でも、メモリ、マイクロプロセッサなどは大規模で標準的な機能をもつという性格から、最もLSI化の進んでいる部品である。しかし、電子機器を構成する半導体はメモリやマイクロプロセッサのほかに論理ゲートが必要である。特に独自の電子機器を開発するためには、この傾向は強くなる。これらの論理ゲートとして従来TTL(Transistor Transistor Logic)やCMOS(Complementary Metal Oxide Semiconductor)などの標準ロジックが使われることが多かったが、近年の半導体技術及びLSI設計自動化技術の進歩によって、カスタム(特別仕様)LSI化されることが多くなってきている。

カスタムLSIの中でもゲートアレイは、数百から数千の未配線のままのゲートを配列したチップをあらかじめ大量に作っておき、カスタム化するとき個々の回路結線仕様に基づき配線だけを施すことにより、LSIを実現する、いわばイメージオーダーの製品である。したがって、ゲートアレイは短期間で安価にカスタムLSIの開発ができるという特長をもっている。

現在までに国内外の多くの半導体メーカーで様々なゲートアレイが製品化されている¹⁾。大別するとバイポーラ形とCMOS形がある。バイポーラ形はゲート遅延が0.3～1 nsのECL(Emitter Coupled Logic)形と1～4 nsのTTL形のものが主流である。消費電力はゲート当たり0.5～5 mW程度と大きく、集積度では3,000ゲート未満と比較的小さい。これに対してCMOS形では、チップの入出力バッファを除いた内部ゲートの遅延は2～4 nsとTTL形とほぼ同一レベルにある。消費電力は動作周波数に大きく依存するが、10MHzではゲート当たり0.1mW程度とTTL形より1オーダー程度小さい。また集積度に関しても、1万ゲートを超える製品も現われている。CMOS形がTTL形に比べて不利な点は、外部負荷に対する駆動能力が劣るという点だけである。したがって、今後は1 ns以下の高速動作を必要とするシステムではECL形が、1 ns以上の中速動作で十分なシステムではCMOS形が主流ゲートアレイとなると予想される。

本稿ではCMOS技術をベースに、更に使いやすさを追求して開発した2種類の複合形ゲートアレイについて述べる。一つは

CMOS形であるが、フリーサイズのメモリを内蔵可能なゲートアレイで、他の一つはCMOS形の弱点である外部負荷の低駆動能力を改善するため、入出力バッファ部にバイポーラ素子を採用したBi-CMOS(Bipolar-CMOS)形のゲートアレイである。

2 複合形ゲートアレイの開発目標

現在の電子機器は、メインフレームのような特別の分野を除けば、標準TTLの動作速度で十分な用途が大半である。この程度の動作速度では一部の例外を除き、より高集積で低消費電力のCMOSゲートアレイが最適である。例外とは、先にも述べたように、ゲートアレイ化したときチップの入出力部

表1 HD61MM及びHD27シリーズの仕様概要 HD61MMでは、最大512ビットのフリーサイズRAMの搭載が可能である。一方、HD27シリーズでは、入出力バッファのスピードが大幅に改善されている。

項 目	形 式	CMOS	Bi-CMOS			
		HD61MM	HD27K	HD27L	HD27P	HD27Q
ゲート数	入力	—	18	30	40	50
	内部	2,496	200	528	966	1,530
	出力	—	18	30	40	50
	RAM	512ビットMax.	—	—	—	—
ゲートディレイ ns typ. (標準負荷)	入力	9	5			
	内部	3.5	4			
	出力	40	8			
入出力レベル		1 TTL	LS-TTL			
消費電力(mW Max.)		500	400	450	480	500
パッケージ	DILP	40*, 64	16, 20, 28, 42	28, 42, 64	28, 42, 64	28, 42, 64
	FPP	100*	—	60*, 80*	60*, 80*, 100*	60*, 80*, 100*
	DILC	28*, 40*	—	—	—	—
	PGA	120	—	—	—	—

注：略語説明ほか
CMOS(Complementary Metal Oxide Semiconductor)
Bi-CMOS(Bipolar-CMOS)
TTL(Transistor Transistor Logic)
LS-TTL(Low power Schottky-TTL)
DILP(Dual In Line Plastic)
FPP(Flat Plastic Package)
DILC(Dual In Line Ceramic)
PGA(Pin Grid Array) * (開発中を示す。)

* 日立製作所武蔵工場 ** 日立製作所高崎工場 *** 日立製作所日立研究所

分でもTTL相当の負荷駆動能力が必要なときである。したがって、システムの分割を工夫してチップの入出力部分に高速性能が必要とならないようにできれば、CMOSゲートアレイが最適の選択となる。

今回開発したHD61MMの主要目標は、こうしたCMOSゲートアレイでより効率的な使い方が可能な製品を提供することにある。具体的には、集積度が向上するに従ってメモリを内蔵化したいというユーザーの要望にこたえることである。この場合、メモリ容量及び構成はカスタムLSIという性格から任意に選択できるということが望ましく、かつメモリを使用しない場合でもチップ面積上のロスがないということが望ましい。当然のことながらメモリは通常のフリップフロップを配列して作ることもできるが、今回開発する製品ではフリップフロップを使用した場合よりメモリの占有チップ面積は小さくならなければならない。

次にもう一つの新製品であるHD27シリーズの主要目標について述べる。システムを分割してゲートアレイ化する場合、どのように分割してもチップの入出力部分にCMOSゲートアレイでは対応できないような高速性が要求される場合がある。この場合は、TTLゲートアレイを使うか、あるいは高速部分は不本意ながらゲートアレイ化を断念して標準TTLで置き換えるかのどちらかを選択する必要がある。前者の場合は消費電力が大きいこと、更には500～1,000ゲート以上の高集積になると、パッケージの許容損失の制約からプラスチック封止が不可能となるため、ゲート当たりの単価が割高になるという欠点をもつ。これを回避するためHD27シリーズでは、内部ゲートはCMOS素子、入出力バッファ部はバイポーラ素子としたBi-CMOSプロセスを採用する。これによりCMOSのもつ低消費電力、高集積という利点と、バイポーラ素子のもつ高い外部負荷駆動能力という利点を併せもつことが可能になる。また、Bi-CMOSプロセスではエピタキシャルウェーハ

を使用するため、CMOSデバイス特有のラッチアップ現象という異常動作の心配もない。更に、プロセスの複雑さによってチップコストはTTL形より割高になるが、低消費電力であるため高集積度品でもプラスチック封止が可能となり、完成品ではゲート当たり単価はTTL形よりも安価になる。

表1にHD61MMとHD27シリーズの仕様概要を示す。

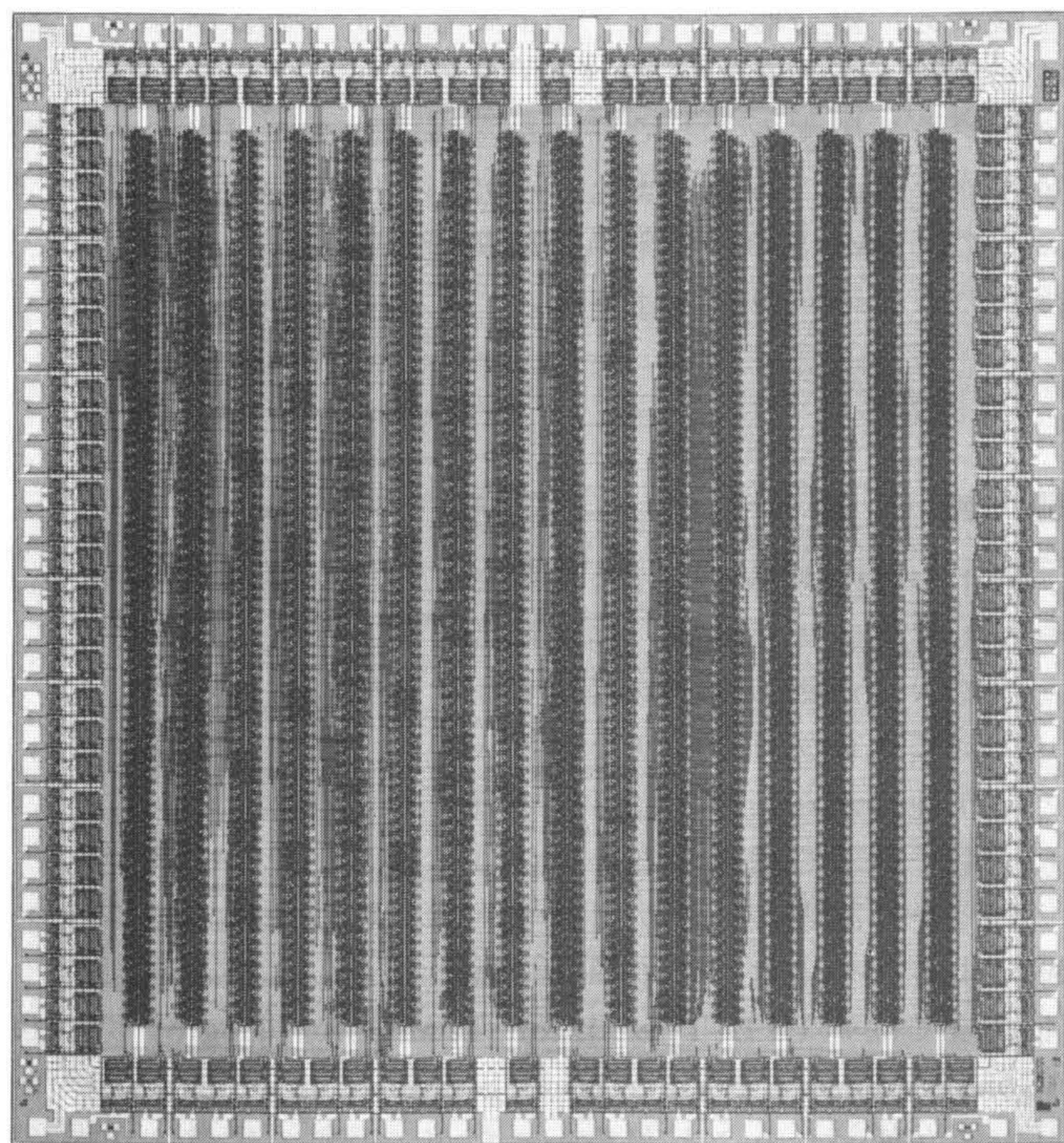
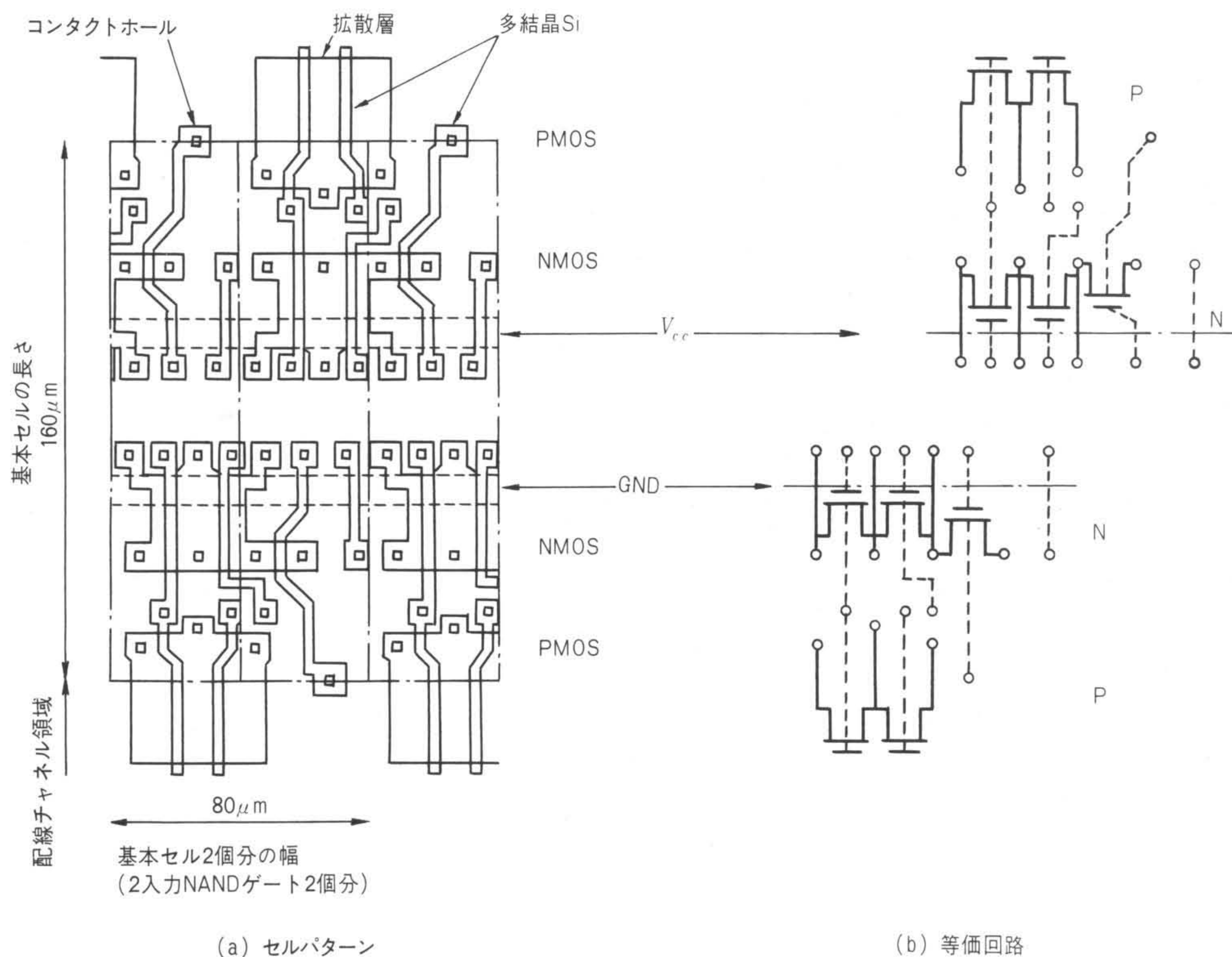


図1 HD61MMのチップ写真 7.48×8.00mm²のチップに、2,496ゲートが実装されている。チップ右側の比較的規則的な配線パターン部分が、16×16ビットのデュアルポートRAMである。



注：略語説明

PMOS(PチャネルMOS), NMOS(NチャネルMOS), GND(Ground)

図2 HD61MMの基本セルパターン 図(a)の下段中央の小形のNMOSがRAMを構成するポイントである。また、配線チャネル領域にはみ出しているPMOSの上は2層のAl配線が自由に配置できる。

3 HD61MM

HD61MMは2,500ゲートのCMOSゲートアレイであるが、CMOSとしての標準的な仕様に加えてフリーサイズのスタティックRAM(Random Access Memory)を搭載できる点が特徴である。図1は256ビットのデュアルポートRAM(後述)を搭載した例のチップ写真である。

本製品のメモリ仕様の特長は、

- (1) 語長は2～16ビットの偶数語長、語数は1～32語の最大512ビットの範囲で選択可能である。
- (2) シングルポートRAMとデュアルポートRAMの2タイプのメモリ仕様を選択可能である(デュアルポートRAMとは、同時に2箇所の番地をアクセスできるRAMを言う)。
- (3) メモリ容量に比例して必要なだけゲートを使用する。1ビット当たりの使用ゲート数は、アドレスデコーダなどの付随する回路も含め2～3ゲートである。

以上の目標を達成するために、内部ゲートの基本セルのレイアウトパターンに独自の工夫を凝らした。以下では、その詳細とRAMの設計例について述べる。

3.1 基本セルパターン

図2にHD61MMの基本セルのレイアウトパターンを示す。同図中の一点鎖線で囲まれた部分が繰返しの最少パターンで、4ペアのPMOS(PチャンネルMOS)、NMOS(NチャンネルMOS)と2個の小形のNMOSから成る。4ペアのPMOS、NMOSで2個の2入力NANDを構成することができる。2個の小形のNMOSはメモリセルを作る場合に重要な役割を果たす(後述)。

図3はメモリセルの1ビット分の回路構成を示す。同図(a)はシングルポートRAM用で1.5ゲート分の基本セルで構成可能である。同図(b)はデュアルポートRAM用で、2ペアの独立したアドレス線とデータ線をもつが、2ゲート相当の基本セルで構成可能である。

いずれの場合も工夫のポイントはアドレス線に接続されるNMOSにある。フレキシブルなRAMで、かつ自動配置配線を行なうためデータ線に接続される浮遊容量は個々のカスタムLSI化のたびに大幅に変わることが予想される。仮に、データ線の浮遊容量が非常に大きくなった場合を考える。ある番地をREADする直前のデータ線の電位がREADすべきメモリセル内の電位が逆極性の状態でアドレス線に接続される

NMOSがターンオンすると、NMOSのオン抵抗が小さい場合メモリセルの内容が誤って反転することがある。こうした誤動作を避けるためには、NMOSのオン抵抗をあるレベルより高くしておく必要がある。これが小さなNMOSの存在する理由である。

図2のセルパターンにはもう一つの工夫がしてある。それはセルの上下端に配置してあるPMOSの約 $\frac{1}{3}$ が配線領域にはみ出している点である。これにより、メモリ用の小形NMOSを内蔵化しているにもかかわらず、従来のゲートアレイに比べセル面積が約70%に減少させることができた。

3.2 メモリの設計例

図4(a)に2ビット×4ワードのシングルポートRAMの構成を示す。2×4個のメモリセルの外側にアドレスデコーダ、アドレスの制御部及びメモリ入出力回路部が付加されている。実際の論理設計の段階では、RAMの外部スペックとして同図の左端の信号とメモリ外部の接続記述だけを計算機に入力すれば、RAM内部の付随回路は自動的に計算機で生成される。

図4(b)は典型的なRAMの動作タイミングを示す。アドレスディスエーブル時($\overline{AE}=1$)に、データ線のプリチャージ($\overline{PC}=0$)を行ない、同時にアドレスを変更する。READサイクルではアドレスエーブル($\overline{AE}=0$)として後typ.約60ns後にRAMの出力がバリッドになる。この出力データは $\overline{AE}$ の立上

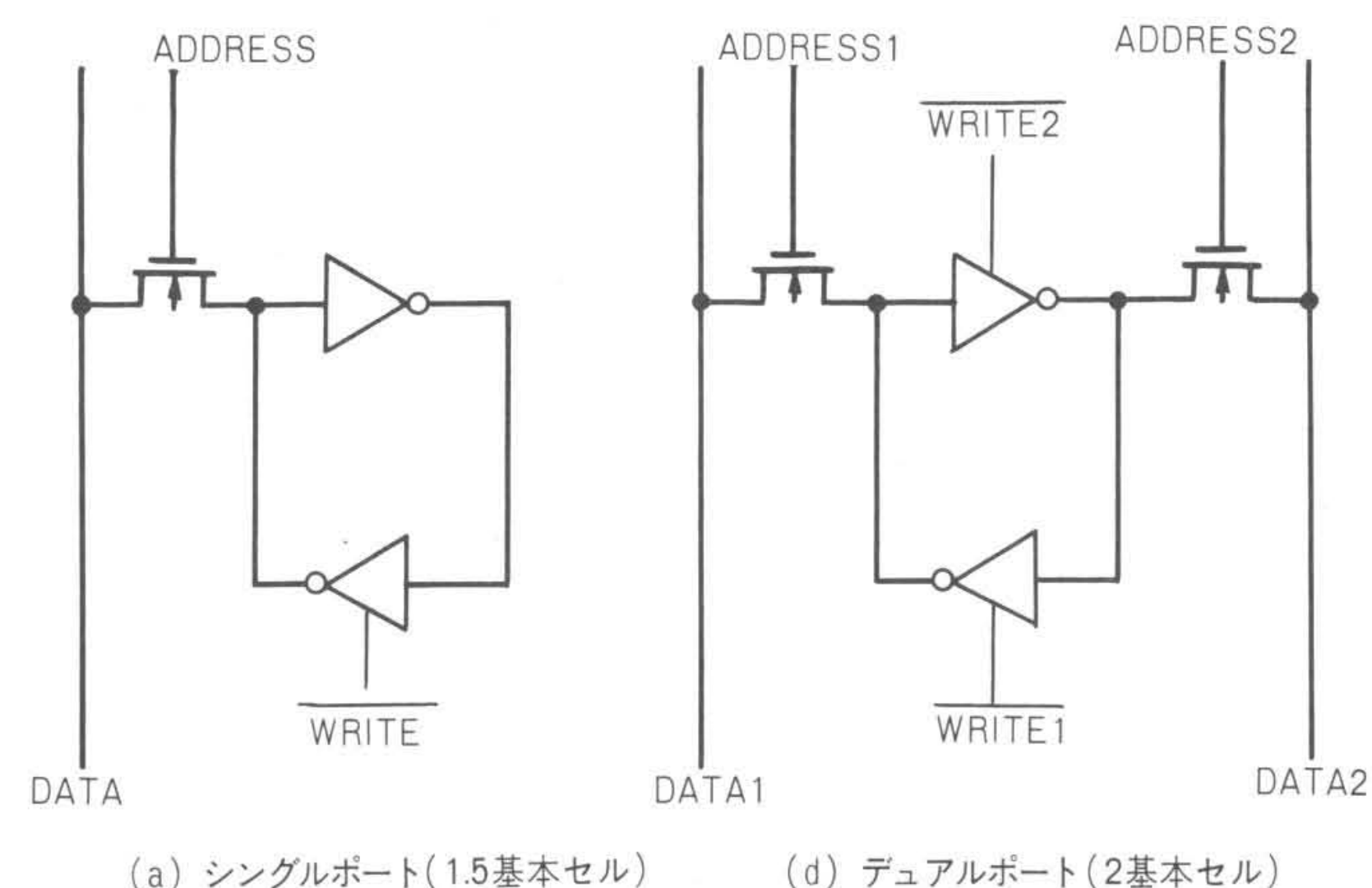


図3 HD61MMメモリセルの等価回路 ユーザーは用途に応じてシングルポート、デュアルポート2タイプのRAMを使用できる。

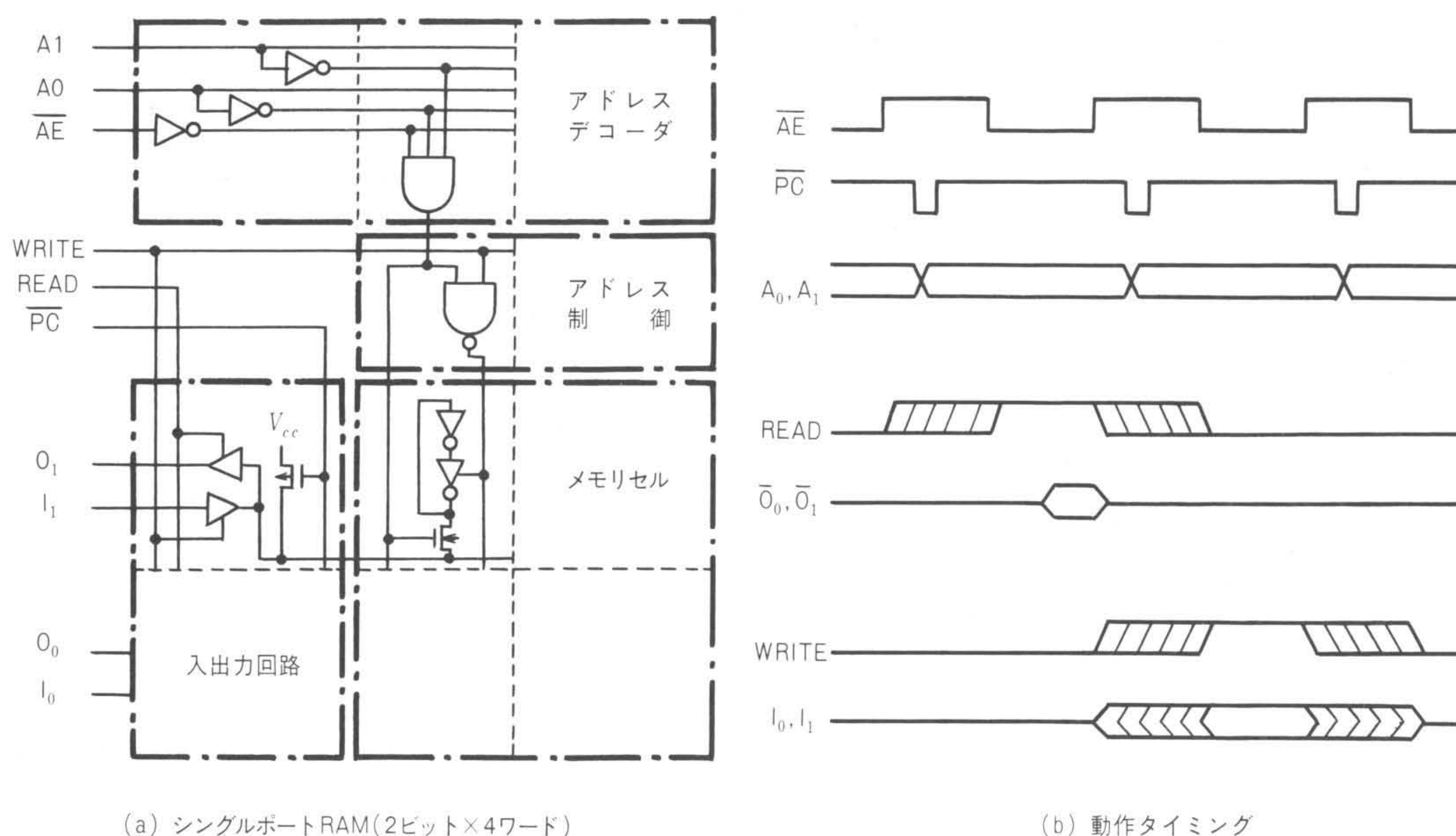


図4 HD61MMのRAMの構成例と動作タイミング メモリセル以外のRAMに必要な付随回路はDA(Design Automation)システムで自動的に生成される。

リエッジで読み取ることができる。WRITEサイクルでは $\overline{AE}=0$ の間、WRITE=1として、かつ入力データを同じ時間バリッドにしておけばよい。また $\overline{AE}$ 信号から $\overline{PC}$ 信号を発生するマクロセルも用意されている。更にRAMの外部でデータ入力と出力をコモンにすること、WRITE=READとすることなど種々の変形を作ることにも可能である。

表2にRAMを実装するために必要となるゲート数の計算式を示す。例として、16ビット×32ワードのシングルポートRAMを説明する。メモリセルとして $1.5 \times 16 \times 32 = 768$ ゲート、付属回路として $6 \times 32 + 3 \times 16 + 70 = 310$ ゲートが必要となる。したがって、計1,078ゲートが512ビットのRAMを作るために必要となる。ビット当たりのゲート数は2.1ゲートである。 $2,500 - 1,078 \approx 1,400$ ゲートがランダムロジックとしてまだ使用できる。

表2 HD6IMMのRAM実装に必要なゲート数(b(ビット)×w(ワード)のRAM) 例えは、16ビット×32ワードのシングルポートRAMは、総計1,078ゲート、すなわち1ビット当たり約2.1ゲートで構成できる。RAMに必要なゲートを除いた残り約1,400ゲートは、従来のゲートアレイ同様ランダムロジックとして利用できる。

		シングルポート	デュアルポート
計算式	メモリ部	$1.5 \cdot b \cdot w$	$2 \cdot b \cdot w$
	デコーダ	$6 \cdot w$	$8 \cdot w$
	I/O回路	$3 \cdot b$	$7.5 \cdot b$
	その他	70	70
例	16×32	1,078	1,470
	16×16	598	830
	8×16	382	514

4 HD27シリーズ

HD27シリーズには、200～1,600ゲートの4タイプがある。図5に1,600ゲートのチップ写真を示す。これらの特長をまとめると、

- (1) 入出力バッファを含め74LS(Low power Shottoky)-TTLと完全コンパチブルで、すべてのLS-TTLで構成された

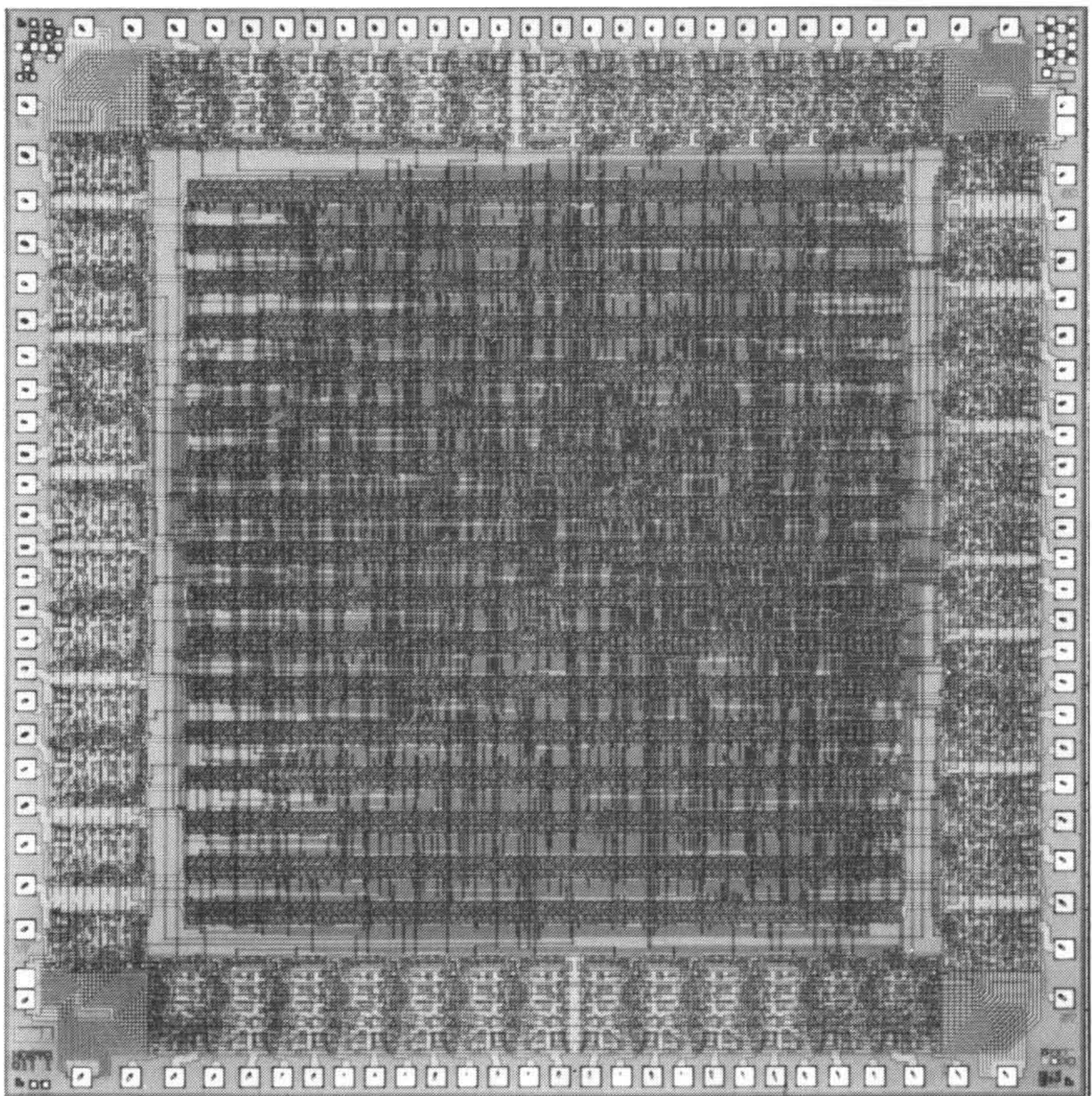


図5 HD27Qのチップ写真 内部ゲートをCMOS回路で、チップ周辺の入出力バッファを、バイポーラ素子を主体とした回路で構成する。

- (2) 内部ゲートはCMOS素子を採用したため、1,600ゲートの高集積度品でも消費電力は500mW以下に抑えることができ、プラスチック封止が可能である。

これらの特長はBi-CMOSプロセスを採用して初めて可能になったのであるが、実現に当たっては入出力バッファのLS-TTLレベルと内部ゲートのCMOSレベルとのレベル変換を、性能の劣化を伴わずに行なう回路上の工夫も必要であった。以下にこれについて述べる。

4.1 入力バッファ

入力バッファの設計に際して、従来のLS-TTL回路との差異は、

- (1) 出力の論理しきい値電圧 V_{thL} をCMOSレベルの約2.5Vにすること。
- (2) 入力バッファが駆動する次段の内部CMOS回路で貫通電流を流さないようにするため、入力バッファの出力ハイレベルを V_{cc} から見てPMOSのしきい値電圧 V_{thp} 以上にドロップさせないこと。

以上の2点を考慮して設計したHD27シリーズの出力バッファの回路図を図6に、出力波形を従来のLS-TTLの波形と併せて図7に示す。図6の回路の特徴は、出力段の上側のNPNトランジスタのベースをCMOS回路とPMOS M1を通して駆動することにより、出力ハイ電圧 V_{OH} を4.3V以上にするとともに V_{th} を $\approx 2.5V$ にしたことである。すなわち、フェイズスプリッタトランジスタQ2がオフする場合、コレクタ電位が V_{cc} 電位($\approx 5V$)になることを利用し、CMOSプリドライバによりM1を十分にオンさせることにより、立上り特性を改善したことである。このため、図8に示すように標準負荷状態($\approx 1pF$)で回路遅れ5nsを実現できた。

4.2 出力バッファ

- (1) 出力バッファを駆動する内部CMOS回路はDC負荷が負荷となると回路遅れが大きくなるため、見掛け上の出力バッファの回路遅れが大きくなる。このため出力バッファは入力DC電流をできるだけ小さくすること。
- (2) 入力の論理しきい値電圧 V_{thL} をCMOSの $V_{thL}(\approx 2.5V)$ に合わせること。

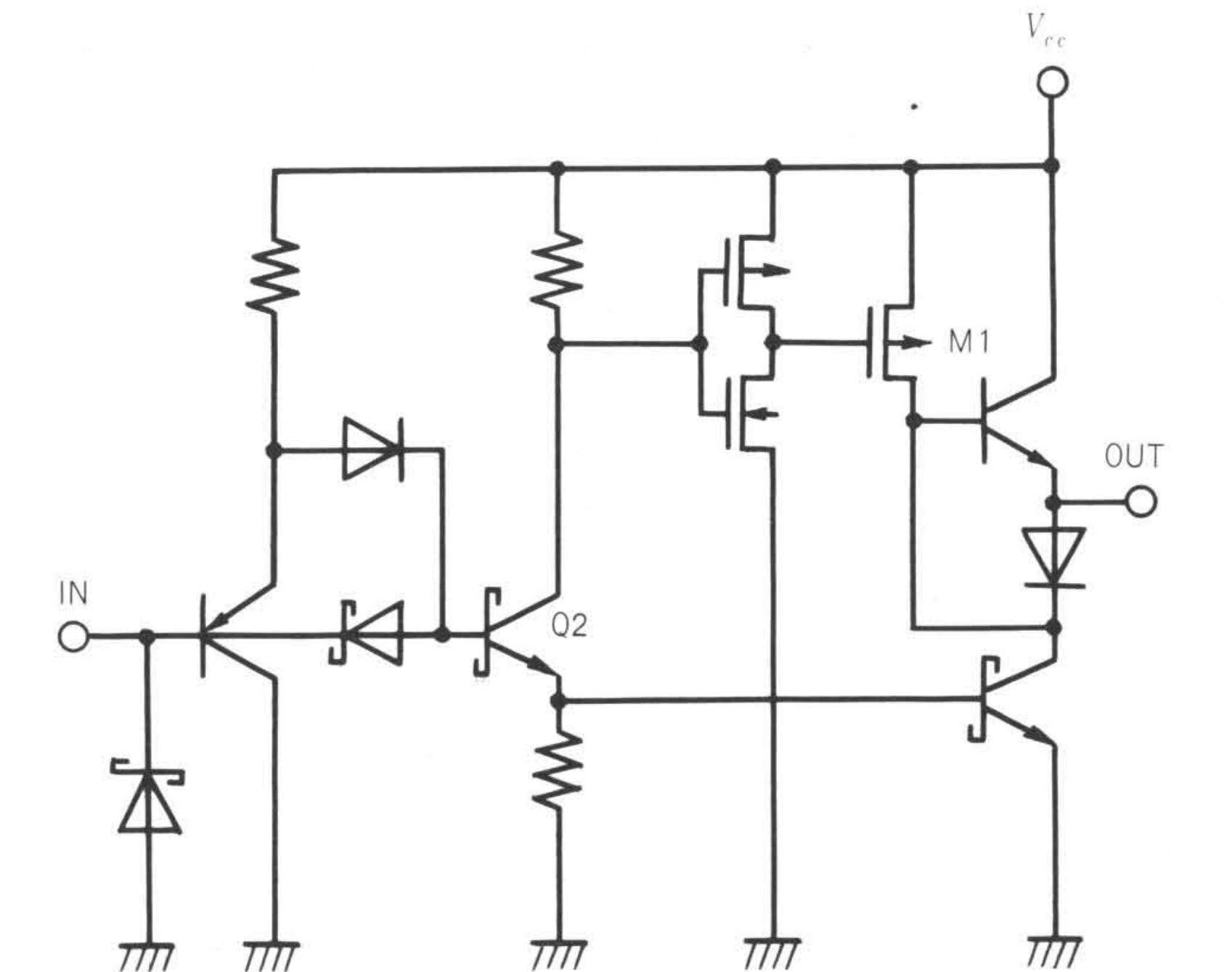


図6 HD27シリーズの入力バッファ回路 CMOS回路+PMOS M1を用いて出力段のNPNトランジスタのベースを駆動することにより、出力レベルをCMOSの入力レベルに合わせている。

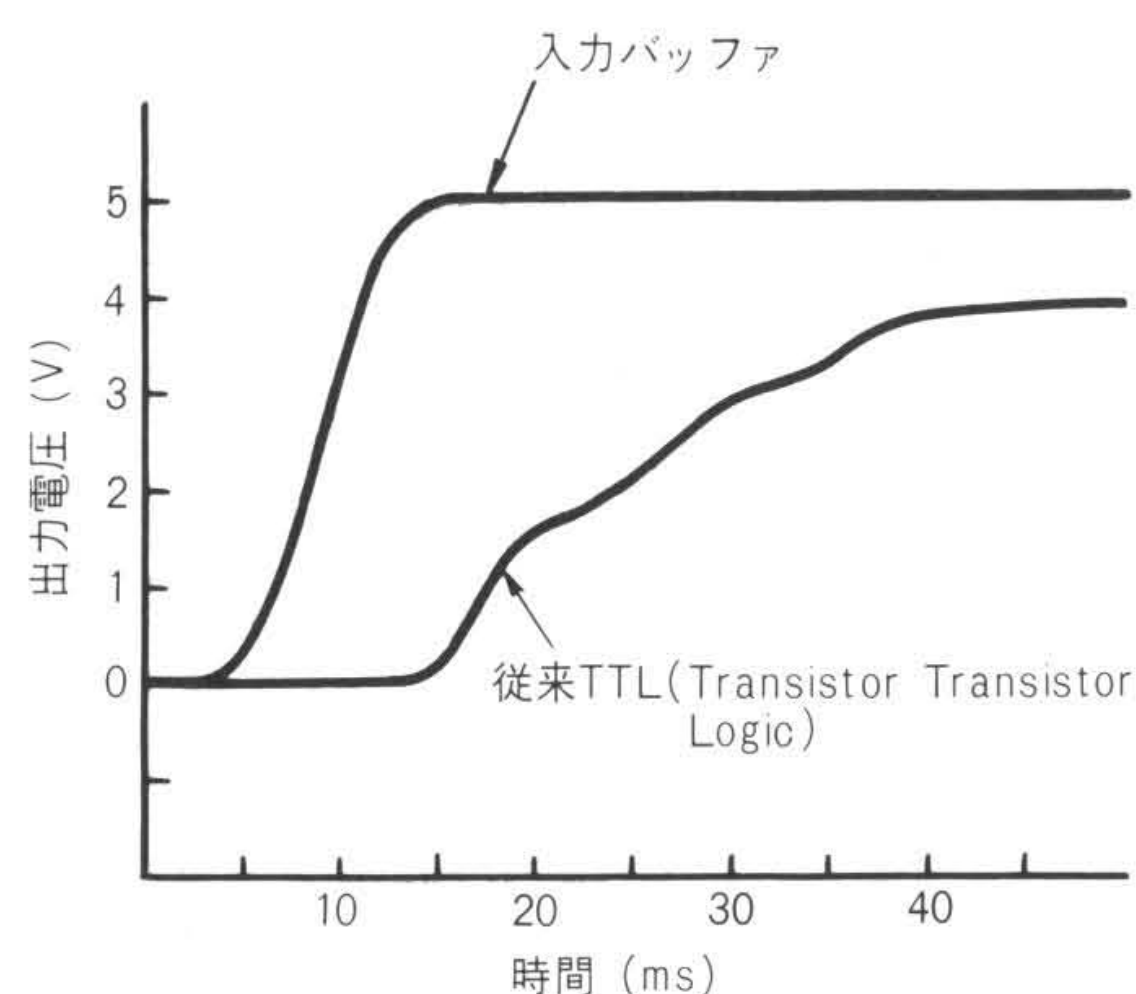


図7 HD27シリーズの入力バッファの出力波形 従来TTLバッファに比べて高速化されているだけでなく、最終的な出力ハイレベルがほぼ V_{cc} に達している。これは次段のCMOSゲートの消費電力を下げる重要な効果をもつ。

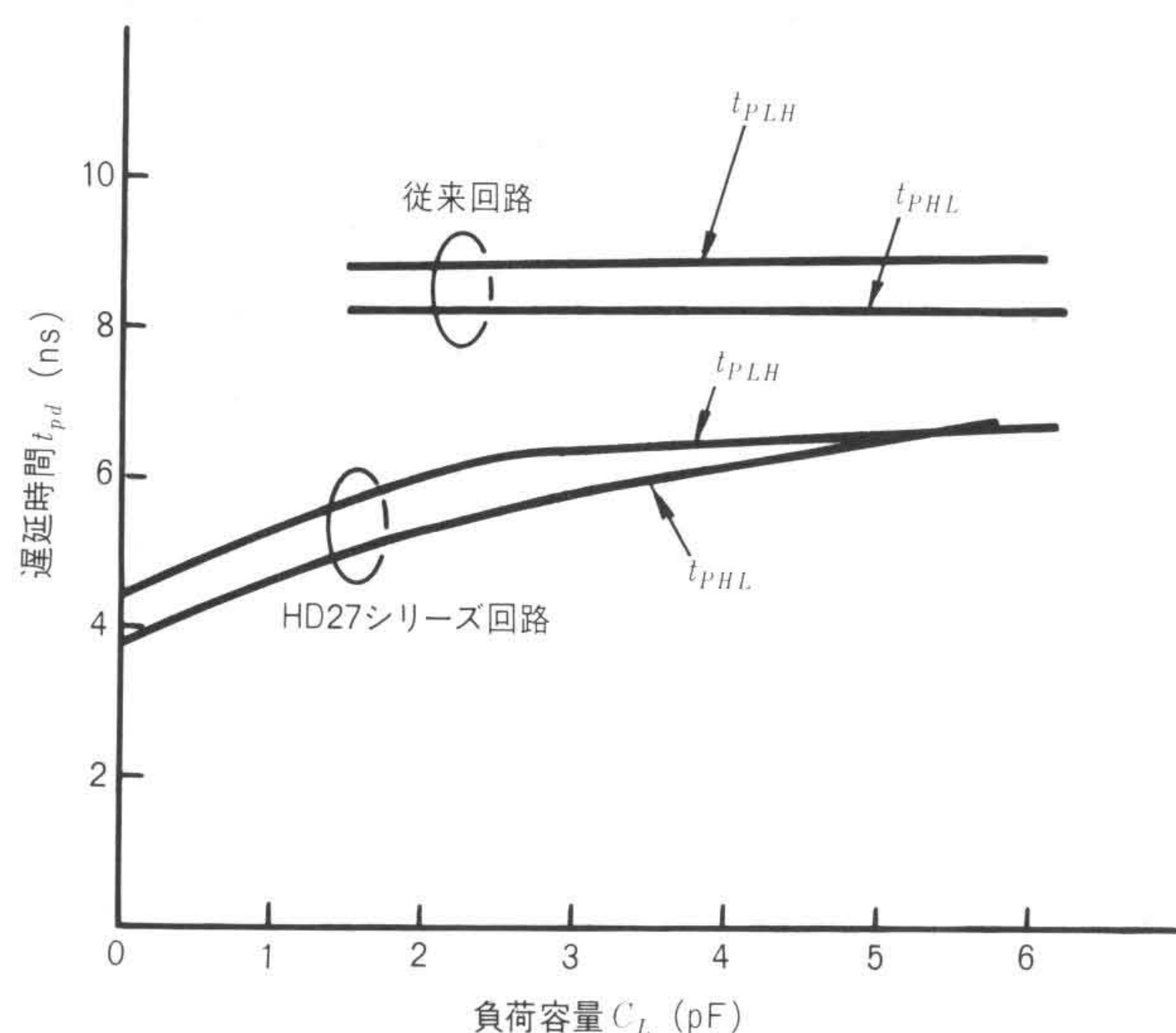


図8 HD27シリーズの入力バッファの遅延時間 今回開発した入力バッファでは、従来のLS-TTL回路に比べ、最も平均的な容量 $C_L=1.5\text{pF}$ では t_{pd} が約70%程度に高速化されている。

の2点に留意して設計を行なった。設計したHD27シリーズの出力バッファを図9に、回路遅れを従来のLS-TTLの回路の場合と比較して図10に示す。図9で、入力段のNMOS M2は入力DC電流をほとんど“0”にするためのものであり、ダイオードD1は入力の V_{th} をCMOSの V_{th} に合わせるためのレベルシフトを行なうためのものである。この結果、図10に示すように、(1) 入力段にNMOSを用いたことにより、従来のLS-TTL回路を用いたときに比べ、回路遅れを18nsから11nsに低減することができた。

(2) 更に、レベルシフトダイオードD1により V_{th} しきい値調整を行ない、出力バッファの回路遅延を3ns速くすることができ、回路遅延8ns($C_L=15\text{pF}$)を実現できた。

また入力段にNMOSを用いたことにより、出力バッファとして論理回路を構成することも可能にした。

5 結 言

CMOS技術をベースに、複合形ゲートアレイとして2タイプの新製品について述べた。一つは、デバイス的にはCMOSそのものであるが、基本セルパターンの工夫によってメモリ容量、メモリ構成が全くフレキシブルで、かつメモリの使用の有無によって全くロスのないゲートアレイを開発した。も

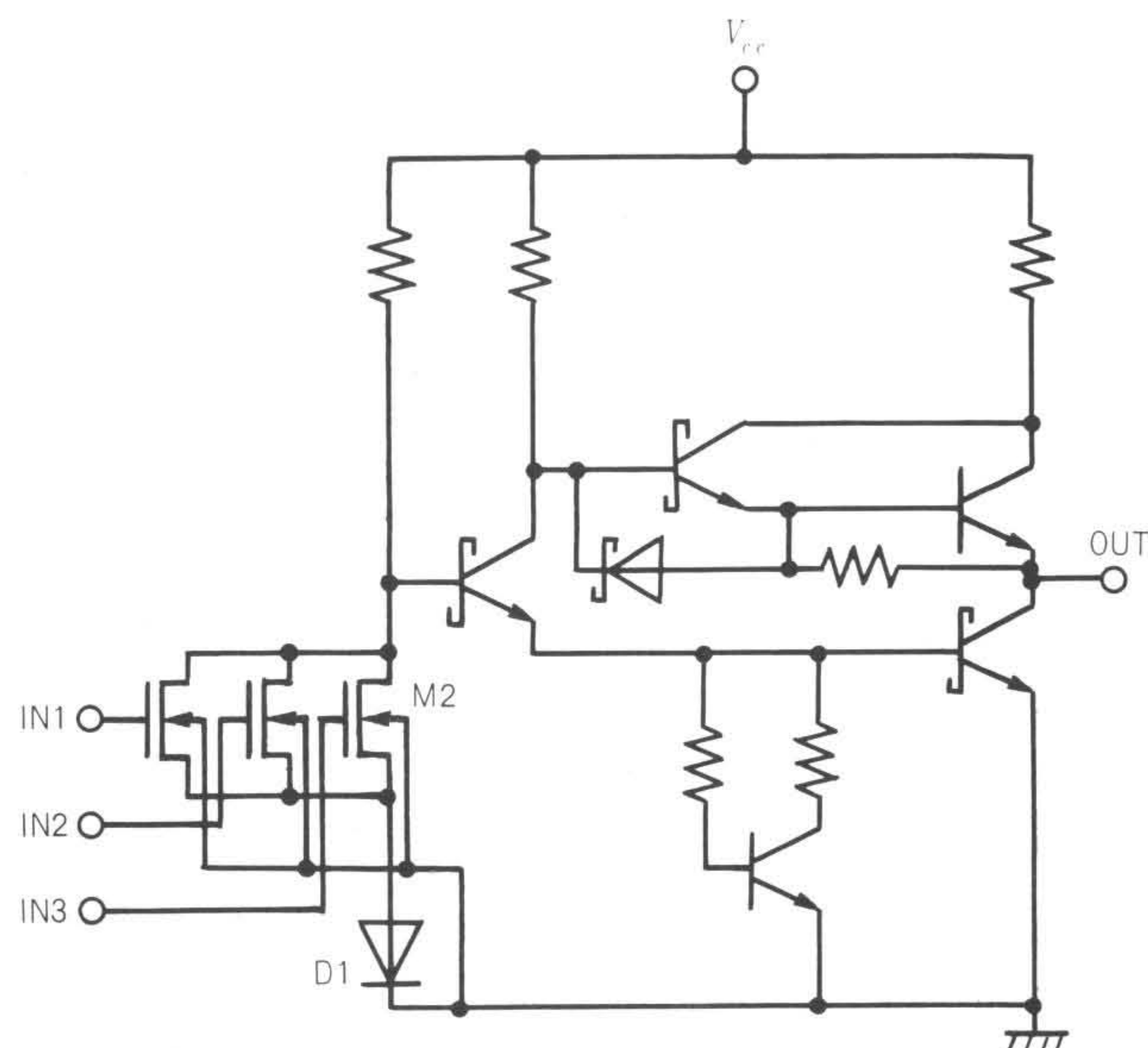
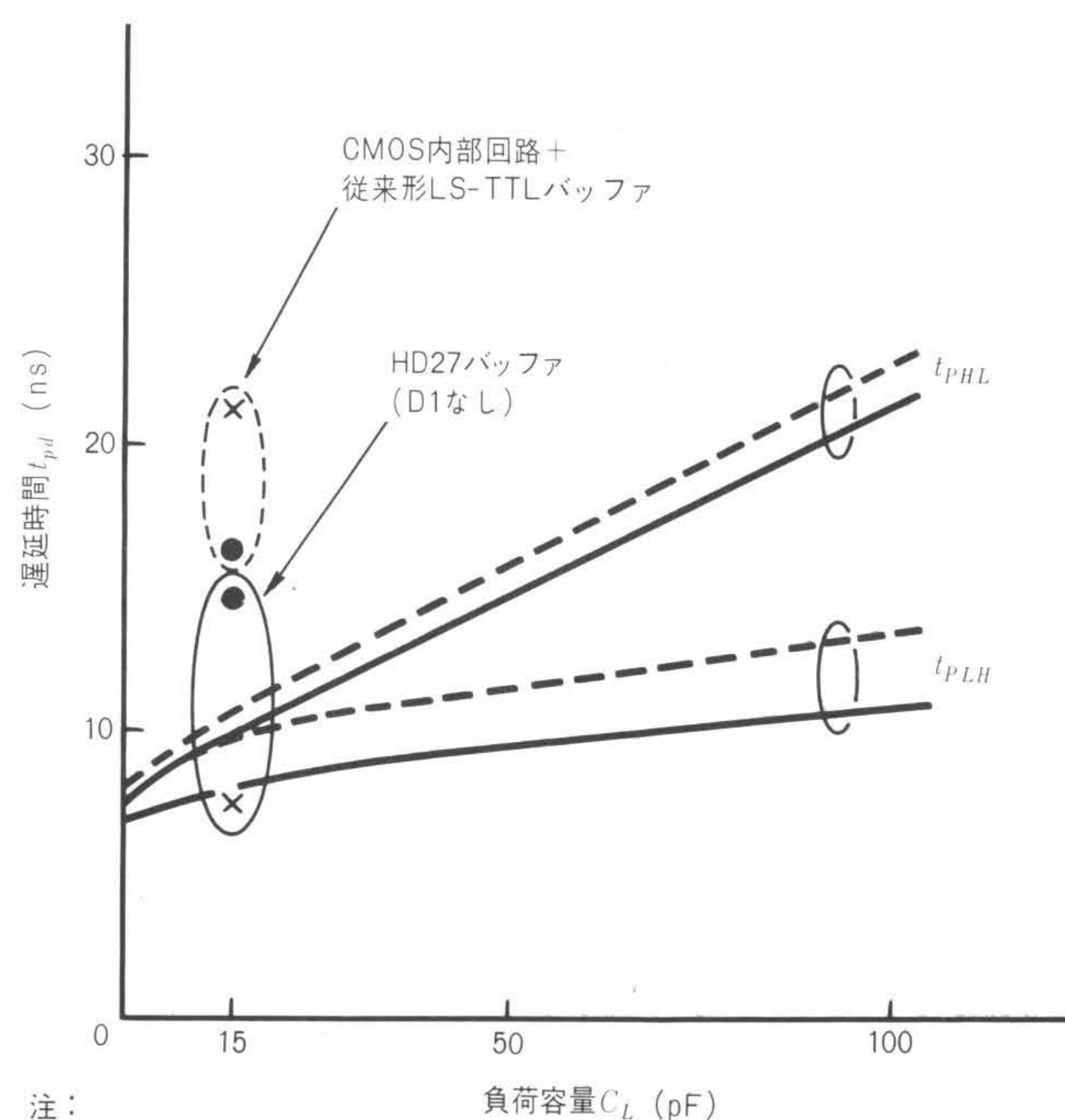


図9 HD27シリーズの出力バッファ回路 入力部にNMOS M2とダイオードD1を用いることにより、入力DC電流の低減と、入力レベルをCMOS出力レベルに合わせるためのレベルシフトを行なっている。



注：
 × t_{PLH}
 ● t_{PHL}
 --- CMOS内部回路+出力バッファ
 — 出力バッファのみ

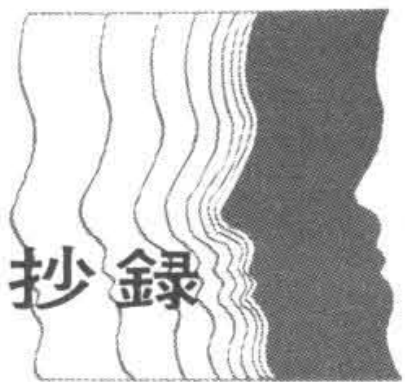
図10 HD27シリーズの出力バッファの遅延時間 従来回路に比べて今回開発した出力バッファは、約2倍の高速化が達成できた。

う一つは、Bi-CMOSプロセスの実用化によって、CMOSの弱点である外部負荷駆動能力を大幅に向上させた製品の開発を行なった。

ゲートアレイの複合化はまだ始まったばかりである。今後ともユーザーのニーズを的確に反映して、より使いやすいゲートアレイを開発してゆく考えである。

参考文献

- 1) 市場が急成長し始めたゲートアレイ：日経エレクトロニクス、No.311, p.111(1983.2-28)



ITEテストチャートを用いたテレビジョンシステムの評価(II)

——ゾーンプレートチャートによる評価——

株式会社東芝 吉田興夫・ソニー株式会社 田川 進・日立製作所・阿知葉征彦
テレビジョン学会誌 38-3, 249-257 (昭59-3)

デジタル信号処理技術やメモリ素子などの発展により、テレビジョン信号を画像本来の2次元信号として扱う2次元画像信号処理技術が撮像、伝送や表示などに応用されるようになった。2次元信号処理を伴うテレビジョンシステムの評価には、従来の評価用テストチャートや信号では不十分である。空間的な周波数掃引信号であるゾーンプレートをテスト信号として利用することが英国のBBCから提案され注目を集めた。本論文では、ゾーンプレートの原理、使用法や評価法について述べる。

ゾーンプレートは同心円状に直線的に変化する解像度パターンであり、テレビジョンシステムの2次元周波数特性が簡単に評価できるチャートである。ゾーンプレートチャートでは、中心から半径とともに直線的に空間周波数が増加する。パターンの中心から n 番目の環の半径を r_n 、中心環の半径を r_0 とすると、次式が成り立つ。

$$x^2 + y^2 = r_n^2 = nr_0^2$$

これから、 n 番目の環での空間周波数 f_n は、

$$f_n = r_n / r_0^2 \dots\dots\dots(1)$$

となり、座標 x, y での水平、垂直方向の周波数成分 f_x, f_y はそれぞれ、

$$f_x = x / r_0^2, f_y = y / r_0^2 \dots\dots\dots(2)$$

となる。(2)式から、ゾーンプレートは水平又は垂直の周波数成分が座標に比例して直線的に変化した2次元掃引信号である。

撮像デバイスの2次元周波数応答は、このゾーンプレートチャートを撮像することにより、画像としてあるいは波形モニタ上に直視できる。単管式カラーカメラでは色フィルタの空間配置により、搬送周波数を中心とした同心円状のモアレが生じ、これを観察、測定することにより空間的な解像度特性が評価できる。

伝送や表示系の特性を評価するには、撮像系のひずみを含まないゾーンプレート信号が得られれば好都合である。ゾーンプレー

ト信号をデジタルテレビジョン信号として作成しビデオ試験信号として発生させるゾーンプレート信号発生器が開発されている。これにより、モニタの空間解像度、走査の直線性、ペーシングの有無などが直接評価できる。カラーモニタに表示した場合、色副搬送波の空間周波数に対応した位置を中心として着色した同心円状のモアレが現われる。くし形フィルタを使っていない場合には縦じま部分も色信号とみなされ、いわゆるクロスカラーが観察される。

伝送系の応用例としては、サブナイキスト標準化の特性評価に便利である。すなわち、サブナイキスト標準化周波数、2次元伝送帯域、プレフィルタやポストフィルタの空間周波数特性がモニタの画面上に直視できる。

以上述べたように、ゾーンプレートにより各種テレビジョン機器の空間的特性が画像として直視でき、特に標準化系の特性解析に有効である。

マイクロコンピュータ用オペレーティングシステムの現状と動向

日立製作所 加藤肇彦・筒井茂義・他1名
情報処理 25-3, 232-243 (昭59-3)

マイクロコンピュータの出現当時は、これのOS(オペレーティングシステム)の必要性は認識されていなかったが、やがて割込み機能を備えたマイクロコンピュータが出現するに及び、OSの思想が導き出された。

マイクロコンピュータ用OSはその発生によって、リアルタイムモニタ、デバッグ用OS、汎用OSの3種に分類される。リアルタイムモニタは機器制御用のOSであり、制御対象機器や外部環境からの処理要求に対して高速に応答する必要があるため、ROM(Read Only Memory: 読出し専用メモリ)に常駐させることが多い。

第2の系統であるデバッグ用OSはシステム開発支援装置の上で稼動し、エミュレータ(模擬回路)とプローブ(検出端子)を管理し、プロトタイプハードウェアとソフトウェアをデバッグする。

第3の系統はMS-DOS(米国マイクロソフト社の商標)やCP/M(米国デジタルリ

サーチ社の登録商標)に代表される汎用OSであり、これはパーソナルコンピュータの上で稼動し、その特徴はファイル処理機能にある。ソフトウェアを階層化して各層の機能を明確化することにより、標準化と互換性維持をねらっている。いちばんハードウェアに近い層をBIOS(基本入出力部)と呼び、周辺素子の構成やメモリアドレスの差異を吸収している。OSの本体はフレキシブルディスクや各種入出力装置をBIOS経由でファイルと同様に処理することができる。

マイクロコンピュータには、特にOSの構成を目的としたアーキテクチャ上の工夫がなされており、各種の割込み機能及びこれに伴うレジスタ内容のスタック(先入れ後出し)領域への退避回復機能は、マイクロコンピュータに特有のものである。

OSサポート用命令としてはソフトウェア割込みや割込み復帰などのモード切替え用の諸命令、スタック操作命令、競合回避・

同期用命令のほかに、リセット命令や停止・割込み待ち命令がある。

OSサポート用周辺素子として、割込み制御素子、メモリ管理素子、FIFO(先入れ先出し)バッファ素子、プログラマブルタイマ素子があり、OS開発の容易化と機能・性能の向上に役立つ。

OSの理論と技法には、競合回避・同期理論、そしてキュー(待ち行列)、スタック、リスト(連鎖)の3種のデータ構造がある。OS記述用高水準言語としては、PL/M系、C、Adaなどが使用されている。

以上のような経緯から各種OSが開発され利用されているが、今後は理論面の進歩とその応用、少数系統への集約化、高機能化と操作の容易化が予想され、一方、OSコードや周辺素子の集積化からCPU素子アーキテクチャへのOS機能の取込みといった、シリコン化への動向がますます顕著になる。

今後日本がこの分野でリーダーとなるためには、独自の設計哲学をもつ必要がある。