

高速 CMOS ロジック

High Speed CMOS Logic

情報化社会を支える OA 機器の信号処理は、ほとんどディジタル方式であるため、そのシステムを支えるディジタル IC, LSI を、いかにその特徴を生かして使うかによって機器の性能は決まる。近年、標準ロジック IC として LS-TTL と同等の高速性と、CMOS 本来の特徴である超低消費電力特性を合わせもつ高速 CMOS ロジック IC が注目を集めている。

本論文では、OA 機器の省エネルギー化を推進する高速 CMOS ロジックについて、顧客でのシステム論理設計の容易性に重点をおいた IC 設計面での特長点、標準規格の動向、基本的な性能、開発品ラインアップを示した。また実装技術の一つとして、LS-TTL とインタフェースする場合の反射波形解析を行ない、布線長による雑音余裕度を示した。

児島伸一* Shin'ichi Kojima

荒井勇二* Yûji Arai

神谷幸也* Yukiya Kamiya

早野正次** Masaji Hayano

1 緒 言

マイクロコンピュータ周辺をはじめとする中・高速ディジタル信号処理用として、現在 OA (Office Automation) 機器に最も広く使われている論理素子は、LS-TTL (Low Power Schottky Transistor Transistor Logic) であるが、高速 CMOS (Complementary Metal Oxide Semiconductor) ロジックはその低消費電力 (1mW/ゲート) の有利さを強みとして、品ぞろえの充実に伴い、将来は LS-TTL に匹敵する市場が見込まれる。本論文ではこの高速 CMOS ロジックについて、回路及びデバイス設計での基本的設計思想と、特性及び規格について述べ、最後に LS-TTL とのインタフェース技術について述べる。

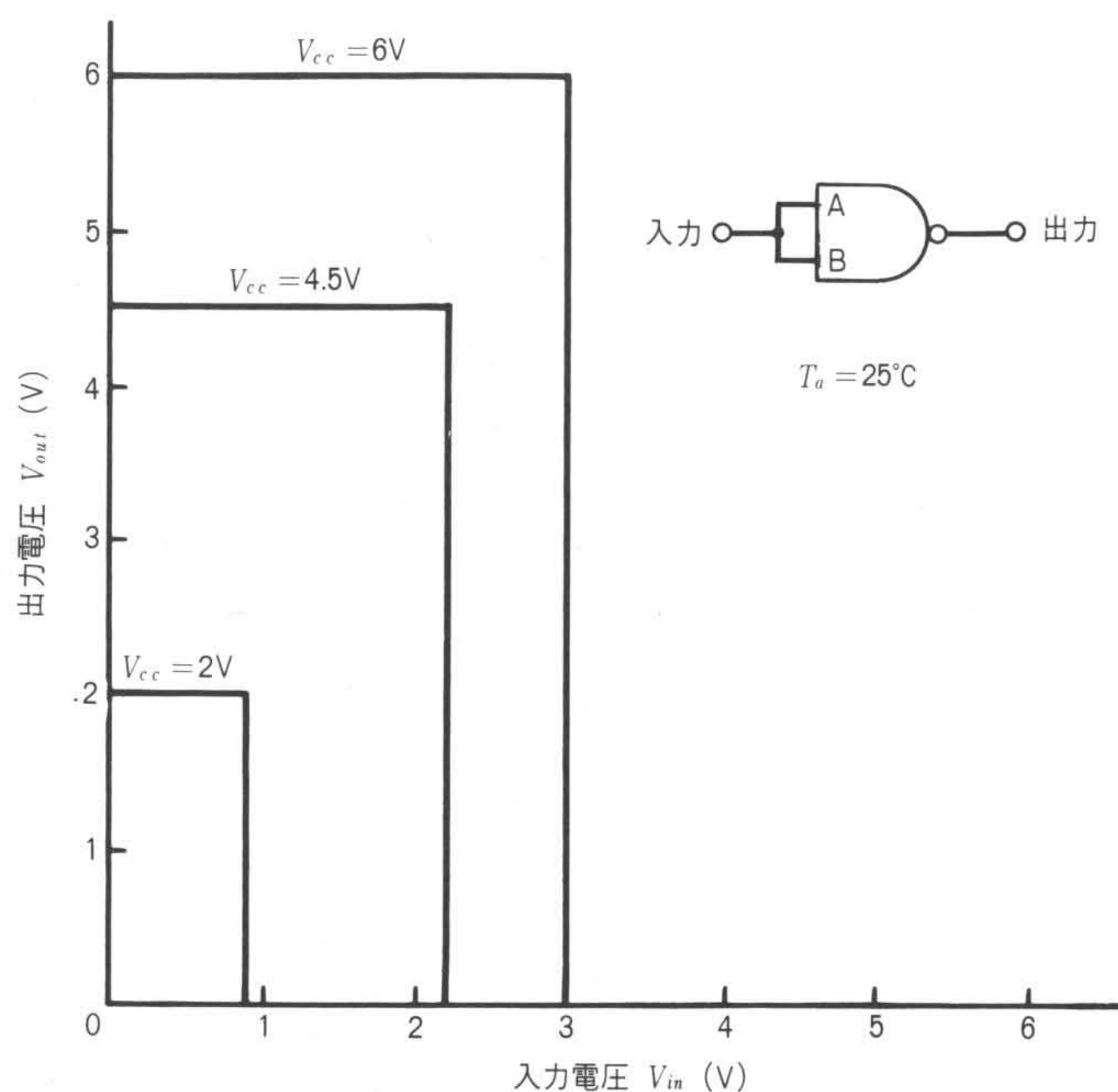


図1 入出力特性 2入力 NAND ゲート HD74HC00 の入出力特性を示す。ロジック V_{TH} を $\frac{1}{2} V_{cc}$ に設計しており、雑音余裕度の拡大に寄与している。

2 基本ロジックの設計

2.1 回路設計

高速 CMOS ロジックの基本的な特性の目標設定と回路設計に際しては、顧客でのシステム設計の容易性に重点をおき、次の点をシリーズ全ロジック共通の特長としている。

- (1) 雑音余裕度を、“H”レベルと“L”レベルで同一とし、かつ最大とするために、図1に示すようにロジック V_{TH} (Threshold Voltage) を $\frac{1}{2} V_{cc}$ (電源電圧) とした。
- (2) システムのタイミング設計を容易にするために、出力立上り伝搬遅延時間 t_{PLH} と出力立下り伝搬遅延時間 t_{PHL} が、図2に示すようにほぼ同一になるようにした。ただし、 t_{PLH} と t_{PHL} のバランスをとることで、高速性を犠牲にしないように各ロジックごとに回路シミュレーションを十分行ない、内部素子の最適寸法を決定した。
- (3) データ、アドレス、クロックなどの各入力の最小パルス幅 t_w 、セットアップ時間 t_{su} 、ホールド時間 t_h の規格及び特性に関して、高速 CMOS ロジックシリーズの IC 間で共通化

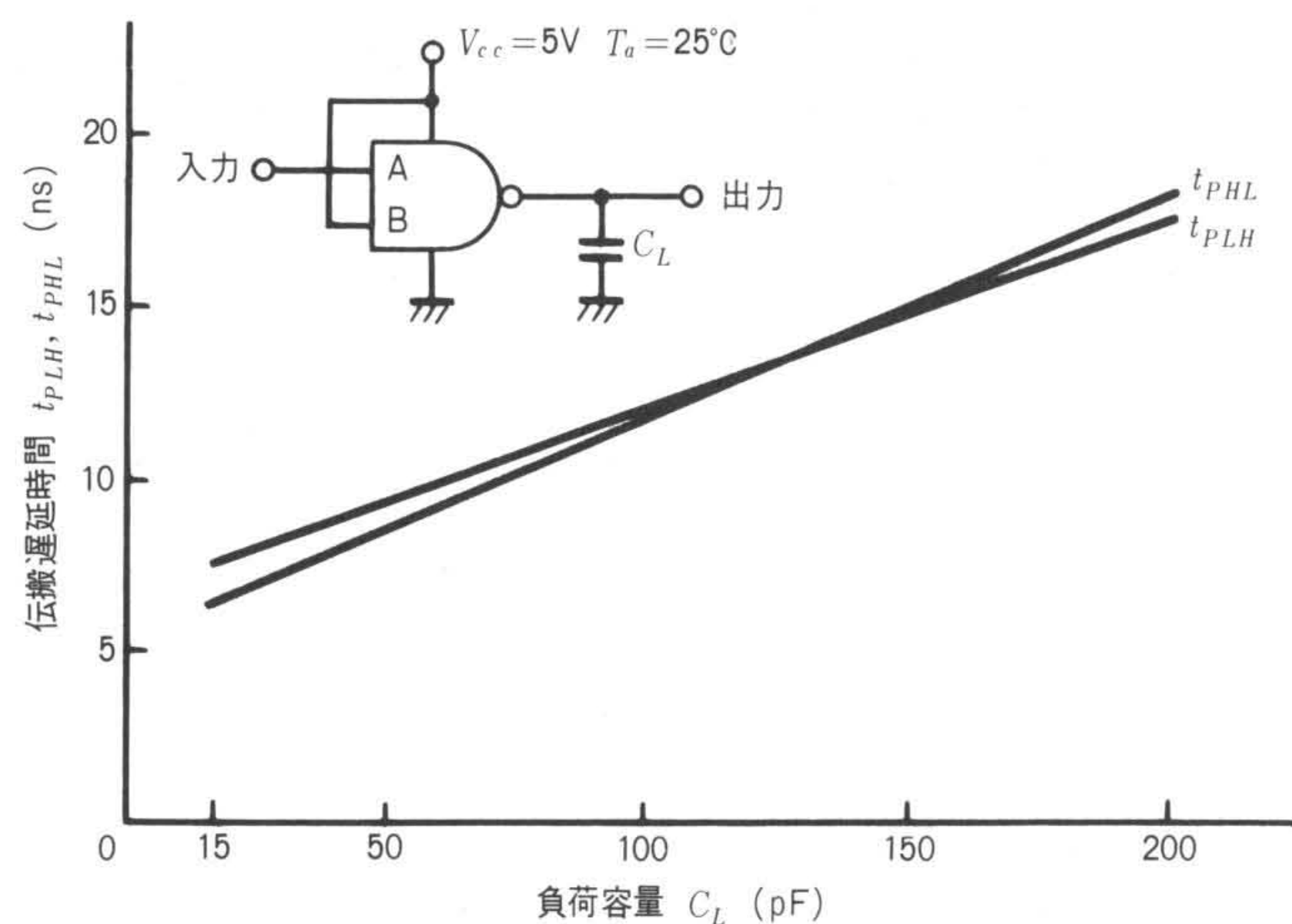


図2 伝搬遅延時間の負荷容量特性 2入力 NAND ゲート HD74HC00 の出力立上り伝搬遅延時間 t_{PLH} と出力立下り伝搬遅延時間 t_{PHL} はバランスがとれており、システムのタイミング設計を容易にしている。

* 日立製作所高崎工場

** 日立マイクロコンピュータエンジニアリング株式会社高崎事業所

を図り、システムのタイミング設計を容易にした。

(4) “H”レベル出力電流 I_{OH} 特性と、“L”レベル出力電流 I_{OL} 特性は、図3に示すように対称性をもたせた。この結果、ファンアウト数が“H”レベルと“L”レベルで同一になり、比較的大きな負荷容量を接続した場合でも t_{PLH} と t_{PHL} のバランスが大きいくずれなくなった。また、ファミリの各ICの出力部分のレイアウトを、スタンダード出力とバスドライバ出力に分けて共通化し、各ICの出力特性の均一化を図った。

実際の回路設計では、MOSモデル¹⁾を用いた回路シミュレーションが必要不可欠である。CMOS回路のスイッチングスピードは、内部MOSのトランジスタサイズ(ゲート幅 W)と密接な関係があり、高速CMOSロジックの回路設計では、このサイズ決定が大きなウェイトを占める。一例として、インバータを5段直列に接続したモデル回路のシミュレーション結果を図4に示す。出力段インバータを構成するMOSトランジスタのサイズは、出力電流特性上の制約から一定とし、内部インバータA、B、C、Dのサイズと比を、一定のまま変化させたときの入力から出力までのスイッチングスピードを評価した。このモデル解析により、高速CMOSロジックで最も重要な特性の一つであるスイッチングスピードは、素子サイズの増加とともに向上するが、ある点で飽和しその後は各段のゲート容量の増加に伴い、再び遅くなってゆくことが分かる。特性とチップサイズを考慮して、素子サイズの最適設計を行なうことが必要である。

2.2 デバイス設計

高速CMOSロジックのデバイス設計に際し、日立製作所で既に16kビットSRAM(Static Random Access Memory)、8ビットマイクロコンピュータなどで市場実績があり、標準プロセスとなっている $3\mu\text{m}$ SiゲートCMOS LOCOS(Local Oxidation of Silicon)プロセスを採用した。標準ロジックとしての使用条件を考慮に入れて、CMOSで特に問題となる静電破壊とラッチアップ耐量²⁾は実用上問題のないレベルまで十分大きくする必要がある。

まず静電破壊対策については、高速性を得るために従来のAlゲートCMOSロジックよりも薄いゲート酸化膜をもち、より微細化されたパターンで構成するため、特に入力端子から

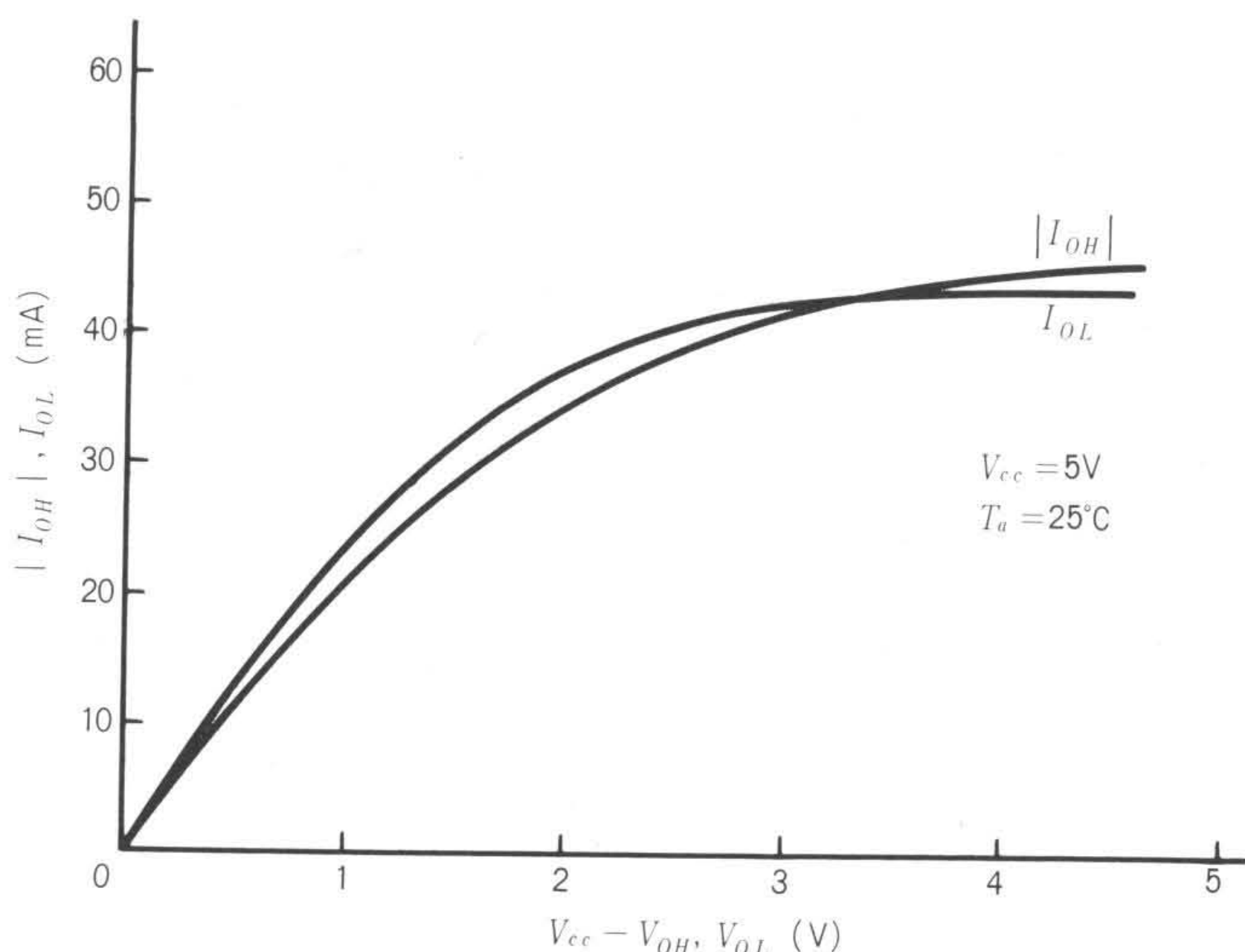


図3 出力電流電圧特性 高速CMOS(Complementary Metal Oxide Semiconductor)ロジックの出力“H”レベル時の電流電圧特性 $[|I_{OH}| - (V_{cc} - V_{OH})]$ と“L”レベル時の電流電圧特性 $(I_{OL} - V_{OL})$ を示す。 I_{OH} と I_{OL} のバランスが良くシステム設計を容易にしている。

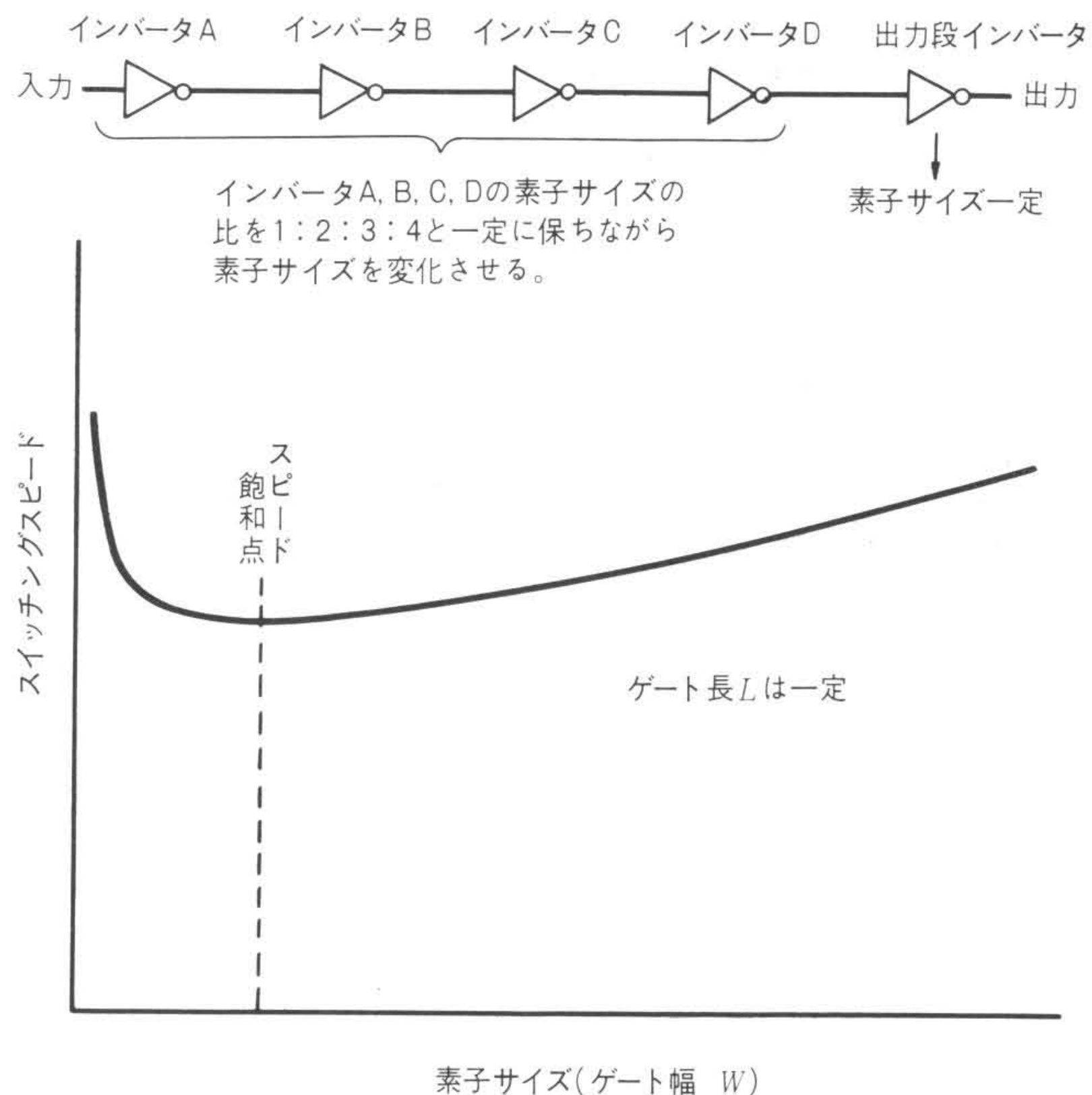


図4 素子サイズとスイッチングスピード特性 高速CMOSロジックでは、このモデル回路のシミュレーションに見るように、ゲート幅を大きくするとスピードは向上するが、ある点で飽和し、その後は逆に遅くなる。チップサイズを考慮に入れた最適設計が必要である。

入る静電気に対しゲートを保護する入力保護回路が必要となる。AlゲートCMOSロジックでは、図5(a)に示すように、入力保護抵抗に拡散抵抗を使っているためサージによる入力過電流が直接電源へ抜けてしまい、保護ダイオードの破壊を招くことがあった。これに対し、高速CMOSロジックでは同図(b)に示すように、入力保護抵抗としてポリシリコンを用いることにより、入力過電圧に対して電流制限素子の役目をもたせている。このポリシリコン抵抗とダイオードとの併用による入力保護回路の構成により、AlゲートCMOSロジックと同等以上の静電破壊耐量を得ている。

次に、ラッチアップ対策について述べる。CMOS回路では通常動作以外はPMOS(PチャネルMOS)、NMOS(NチャネルMOS)のどちらか一方が必ずOFF状態にあるため、 $V_{cc} \sim \text{GND}$ 間に電流はほとんど流れない。しかし、最大定格を超えるような外部ノイズが入力端子、出力端子のどちらかに加わった場合、 $V_{cc} \sim \text{GND}$ 間に大電流が流れ、電源を切る以外止めることはできない。このような現象をラッチアップ現象と呼んでいる。これはCMOS構造上からくる寄生PNPと寄生NPNトランジスタによるサイリスタ現象である。

ラッチアップ現象を防ぐパターン上の対策としては、(1)PMOSとNMOSの距離を離す。(2)寄生サイリスタを形成するPNPトランジスタとNPNトランジスタ間の電氣的経路を遮断する。(3)各MOSトランジスタを絶縁物で分離して寄生サイリスタの形成を防止する。などがあるが、高速CMOSロジックICでは上記(2)を採用した。これによりAlゲートCMOSロジックと同等以上のラッチアップ耐量を得ている。

3 高速CMOSロジックの特性

3.1 LS-TTLとの特性比較

高速CMOSロジックはLS-TTLの低消費電力版として携帯形パーソナルコンピュータなど、消費電力が問題となるOA機器から使用されている。ここでは、高速CMOSロジックの

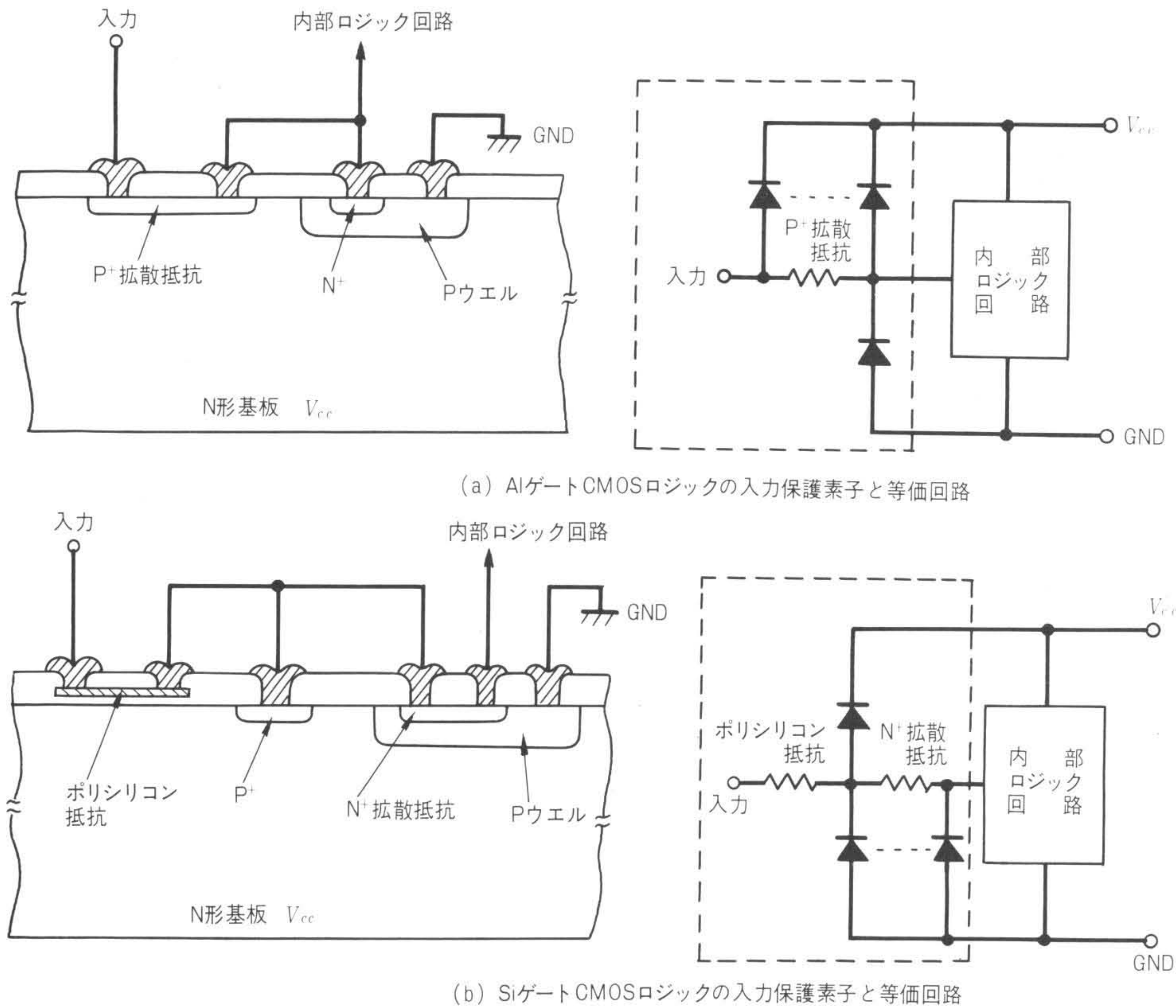


図5 CMOSロジックの入力保護回路
(a)は入力保護抵抗にP⁺拡散層を使用している。
(b)は高速CMOSロジックで用いている方法である。
入力保護抵抗にポリシリコン抵抗を使用して、入力過電圧に対して電流制限素子の役目をもたせている。

特性が、LS-TTLに比べてどういう位置づけにあるかを示す。高速CMOSロジックは、LS-TTLと同等のスイッチングスピードと駆動能力をもつと同時に、以下に述べるようなCMOS本来の特長をもつ。

(1) 広動作電源電圧範囲

高速CMOSロジックの動作保証電源電圧は、2～6VとLS-TTLの4.75～5.25Vに比べて8倍広い。

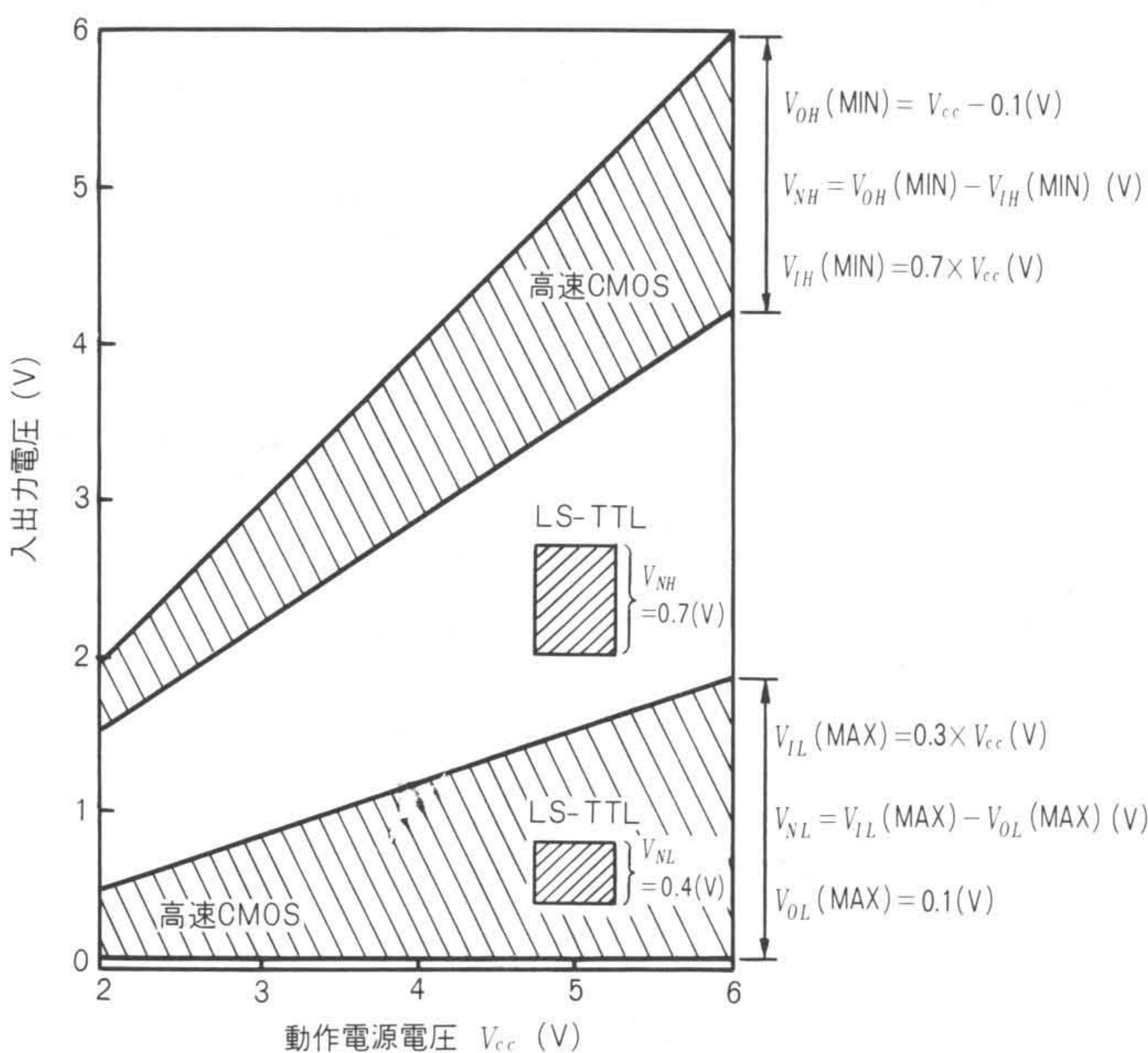


図6 高速CMOSとLS-TTLの雑音余裕度 動作電源電圧が高速CMOSは2～6Vと広く、雑音余裕度も“H”レベル(V_{NH})、“L”レベル(V_{NL})ともLS-TTLに比べて大きいことを示している。

(2) 高雑音余裕度

図6に示すように、雑音余裕度が“H”レベル、“L”レベルとも1.4VとLS-TTLの0.7V、0.4Vに比べ2倍以上大きい。

(3) 低消費電力

消費電力は静的消費電力と動的消費電力から成り、静的消費電力はIC内のPN接合のリーク電流によるもので、数ナノアンペア(typ.)と極めて小さい。動的消費電力は、IC内部容量及び負荷容量の充放電電流と遷移状態時に流れる貫通電流から成り、動作周波数に比例する。動作周波数と消費電力の関係の一例を図7に示す。動作周波数が約10MHz以下では、高速CMOSロジックの低消費電力性が生かせることが分かる。

3.2 JEDEC規格

高速CMOSロジックの特性規格に関しては、アメリカ合衆国での標準規格審議機関であるJEDEC (Joint of Electron Device Engineering Council)で、規格の標準化が図られている。直流特性及び交流特性は、電源電圧2V、4.5V、6Vの3点で規定しており、また周囲温度は25℃と-40～85℃で規定している。これは標準ロジックとして、OA機器をはじめ広範囲な用途に対応できるように規格設定されたものである。高速CMOSロジックHD74HCシリーズの規格設定に際しては、このJEDEC規格を満足すると同時に更に以下の点で特長をもたせている。

- (1) “L”レベル入力電圧 V_{IL} をJEDEC規格の0.9V ($V_{cc} = 4.5V$ 時)に対し1.35Vとし、“L”レベル雑音余裕度を大きくすることにより顧客での実装を更に容易にしている。
- (2) 3 μm Siゲートプロセスの量産技術の進歩と市場要求を考慮した結果、静的消費電流 I_{cc} をJEDEC規格の $\frac{1}{2}$ とした。

表1に直流特性でのJEDEC規格とHD74HCシリーズの規格を示す。また、表2に高速CMOSロジックICの各代表品

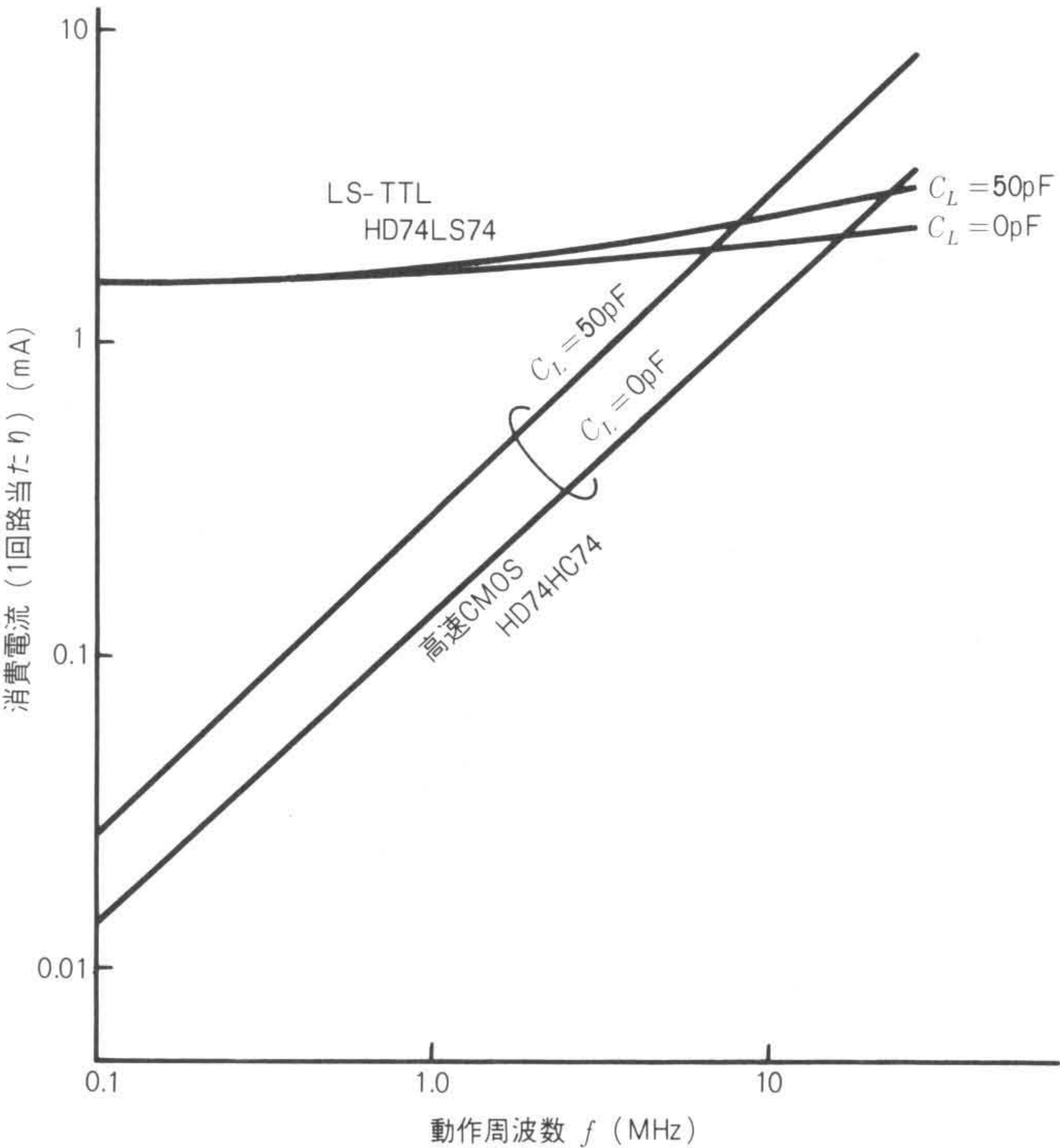


図7 動作周波数と消費電流 Dフリップフロップの機能をもつ高速CMOSとLS-TTLの動作周波数と消費電流の関係を示す。低周波数領域で高速CMOSは、LS-TTLに比べて消費電流がはるかに少ないことが分かる。

種の交流特性について、JEDEC規格と対比して示した。すべての規格がJEDEC規格内で設定されていることが分かる。このように、JEDEC規格に準拠して順次開発した高速CMOSロジックHD74HCシリーズの製品ラインアップを表3に示す。

4 実装技術

今後論理システム設計は、今まで述べてきた特長によりLS-TTL主体のシステム設計から徐々に高速CMOSロジック主体のシステム設計へと移行してゆくものと考えられるが、ここでは高速CMOSロジックとLS-TTLが混在使用されているシステムのインタフェース特性について解析する。システム設計の際には、入力信号及び出力信号レベルの雑音余裕の検討のほかに、下記に述べる各種雑音に対する検討が重要となる。(1)入力信号雑音、(2)電源ライン雑音、(3)接地線雑音、(4)伝送線反射雑音、(5)クロストーク、(6)スパイク電流雑音 LS-TTLから高速CMOSロジックへの置換は、基本回路構成の違い、トラジション(過渡)時間の違いから特に(4)の伝送線反射雑音³⁾に注意を払う必要がある。反射は、伝送線遅延時間が信号パルスの過渡時間に等しいか、又はそれより大きいときに発生する。反射は信号遅延、リンギング、オーバシュートを増加させ、雑音余裕度を少なくする。図8で示す+V_{p2}、-V_{p2}が受端ICの雑音余裕度を超えると、ICは誤動作する危険性を生ずる。一般に高速ディジタルシステムの非線形インピーダンスによる伝送信号解析には、Bergeron線図が用いられる。図9は実際に図8の伝送モデルを解析した結果を示し

表1 直流特性規格 JEDEC規格(a)とHD74HCシリーズ規格(b)を示す。HD74HCシリーズは、V_{IL}(MAX)、I_{cc}(MAX)などJEDEC規格よりも高い水準に設定されている。

(a) JEDEC標準規格

項目	記号	測定条件	単位	V _{CC}	T _a = 25℃			T _a = -40 ~ +85℃	
					MIN	TYP	MAX	MIN	MAX
高レベル入力電圧	V _{IH}	—	V	2.0	1.5	—	—	1.5	—
				4.5	3.15	—	—	3.15	—
				6.0	4.2	—	—	4.2	—
低レベル入力電圧	V _{IL}	—	V	2.0	—	—	0.3	—	0.3
				4.5	—	—	0.9	—	0.9
				6.0	—	—	1.2	—	1.2
高レベル出力電圧	V _{OH}	V _{in} = V _{IH} or V _{IL}	I _{OH} = 20μA	V	2.0	1.9	—	1.9	—
				V	4.5	4.4	—	4.4	—
		I _{OH} = -4mA or I _{OH} = -5.2mA	—	V	6.0	5.9	—	5.9	—
				V	4.5	3.86	—	3.76	—
				V	6.0	5.36	—	5.26	—
				V	6.0	5.36	—	5.26	—
低レベル出力電圧	V _{OL}	V _{in} = V _{IH} or V _{IL}	I _{OL} = 20μA	V	2.0	—	—	0.1	—
				V	4.5	—	—	0.1	—
		I _{OL} = 4mA or I _{OL} = 5.2mA	—	V	6.0	—	—	0.1	—
				V	4.5	—	—	0.32	—
				V	6.0	—	—	0.32	—
				V	6.0	—	—	0.32	—
3ステート出力オフリーク電流	I _{OZ}	V _{in} = V _{IH} or V _{IL} V _{out} = V _{CC} or GND	μA	6.0	—	—	±0.5	—	±5.0
入力電流	I _{in}	V _{in} = V _{IH} or V _{IL}	μA	6.0	—	—	±0.1	—	±1.0
静的消費電流	I _{cc}	V _{in} = V _{CC} or GND	GATE	μA	6.0	—	—	2.0	—
		FF	—	μA	6.0	—	—	4.0	—
			—	μA	6.0	—	—	8.0	—

注：略語説明 JEDEC(Joint of Electron Device Engineering Council)

(b) HD74HCシリーズ規格

項目	記号	測定条件	単位	V _{CC}	T _a = 25℃			T _a = -40 ~ ±85℃	
					MIN	TYP	MAX	MIN	MAX
高レベル入力電圧	V _{IH}	—	V	2.0	1.5	—	—	1.5	—
				4.5	3.15	—	—	3.15	—
				6.0	4.2	—	—	4.2	—
低レベル入力電圧	V _{IL}	—	V	2.0	—	—	0.5	—	0.5
				4.5	—	—	1.35	—	1.35
				6.0	—	—	1.8	—	1.8
高レベル出力電圧	V _{OH}	V _{in} = V _{IH} or V _{IL}	I _{OH} = -20μA	V	2.0	1.9	—	1.9	—
				V	4.5	4.4	—	4.4	—
		I _{OH} = -4mA or I _{OH} = -5.2mA	—	V	6.0	5.9	—	5.9	—
				V	4.5	4.18	—	4.13	—
				V	6.0	5.68	—	5.63	—
				V	6.0	5.68	—	5.63	—
低レベル出力電圧	V _{OL}	V _{in} = V _{IH} or V _{IL}	I _{OL} = 20μA	V	2.0	—	—	0.1	—
				V	4.5	—	—	0.1	—
		I _{OL} = 4mA or I _{OL} = 5.2mA	—	V	6.0	—	—	0.1	—
				V	4.5	—	—	0.32	—
				V	6.0	—	—	0.32	—
				V	6.0	—	—	0.32	—
3ステート出力オフリーク電流	I _{OZ}	V _{in} = V _{IH} or V _{IL} V _{out} = V _{CC} or GND	μA	6.0	—	—	±0.5	—	±5.0
入力電流	I _{in}	V _{in} = V _{CC} or GND	μA	6.0	—	—	±0.1	—	±1.0
静的消費電流	I _{cc}	V _{in} = V _{CC} or GND	GATE	μA	6.0	—	—	1.0	—
		FF	—	μA	6.0	—	—	2.0	—
			—	μA	6.0	—	—	4.0	—

表 2 交流特性規格 各主要機能(代表品種)の交流規格値について、HD(HD74HCシリーズ規格値)と、JEDEC(JEDEC標準規格値)を比較して示す。

記 号	項 目	NANDゲート		デコーダ		バッファ		Dフリップフロップ		ラ ッ チ	
		HD	JEDEC	HD	JEDEC	HD	JEDEC	HD	JEDEC	HD	JEDEC
f_{max}	最大クロック周波数 (MIN)	—	—	—	—	—	—	30	25	—	—
t_{PHL}/t_{PLH}	伝搬遅延時間 (クロック→Q)(MAX)	18	20	35/30	45	18	25	29	39	30	35
t_{su}	セットアップ時間 (データ)(MIN)	—	—	—	—	—	—	20	20	20	20
t_h	ホールド時間 (データ)(MIN)	—	—	—	—	—	—	5	5	10	10
t_w	パルス幅 (クロッククリア)(MIN)	—	—	—	—	—	—	16	16	16	16
t_{ZL}/t_{ZH}	出力イネーブル時間 (MAX)	—	—	—	—	30	30	—	—	30	30
t_{LZ}/t_{HZ}	出力ディスエーブル時間 (MAX)	—	—	—	—	30	30	—	—	30	30

注：代表品種名 NANDゲート(HC00)、デコーダ(HC138)、バッファ(HC240)、Dフリップフロップ(HC273)、ラッチ(HC373)
単位 f_{max} はMHz、他はns

表 3 高速CMOSロジック(HD74HCシリーズ)機能別一覧表
高速CMOSロジックのラインアップ状況を機能別に示す。HCTはTTL論理入力レベルの品種で、各品名のHC又はHCTの前の“HD74”は省略してある。

機能(FUNCTION)		品 名
GATE	NAND	HC00, HC01, HC10, HC20, HC30
	NOR	HC02, HC27
	AND	HC08, HC09, HC11, HC21
	OR	HC32
	INVERTER	HC04
	MULTIFUNCTION	HC51, HC86, HC266, HC386
	SCHMITT TRIGGER付	HC14, HC132
BUFFER	3-STATE	HC125, HC126, HC240, HC241, HC244, HC365, HC366, HC367, HC368, HC540*, HC541*
	HCT	HCT125*, HCT240, HCT241, HCT244
	BIDIRECTIONAL	HC242, HC243, HC245, HC640*, HC643*
	HCT	HCT242, HCT243, HCT245, HCT640*, HCT643*
FLIP-FLOP	J-K FLIP-FLOP	HC73, HC76, HC78, HC107, HC108, HC109*, HC112, HC113, HC114
	D FLIP-FLOP	HC74, HC174, HC175, HC273, HC377*
	3-STATE	HC374, HC534, HC564*, HC574*, HC646*, HC648*
	HCT	HCT374, HCT534, HCT564*, HCT648*, HC75, HC77, HC259*, HC375
LATCH	3-STATE	HC373, HC533, HC563*, HC573*
	HCT	HCT373, HCT533, HCT563*
DECODER		HC42, HC137*, HC138, HC139, HC154*, HC155
	HCT	HCT138
ENCODER		HC147*, HC148*
REGISTER		HC91, HC95, HC164, HC165*, HC166, HC173*, HC194, HC195, HC299
COUNTER	BINARY	HC93*, HC161, HC163*, HC193, HC393
	DECADE	HC160, HC162*, HC192, HC390, HC490
	DIVIDER	HC4020, HC4024, HC4040, HC4060
MULTI PLEXER	ANALOG	HC4051*, HC4052*, HC4053*, HC4066*
	DIGITAL	HC151, HC152, HC153, HC157, HC158, HC251*, HC253, HC257, HC258, HC298, HC354*, HC356*
OTHERS	COMPARATOR	HC85*, HC688*
	HCT	HCT688*
	ADDER	HC83, HC283
	MULTIVIBRATOR	HC123*, HC221*, HC4538*
PARITY GENERATOR		HC280

注：*（開発中を示す。）

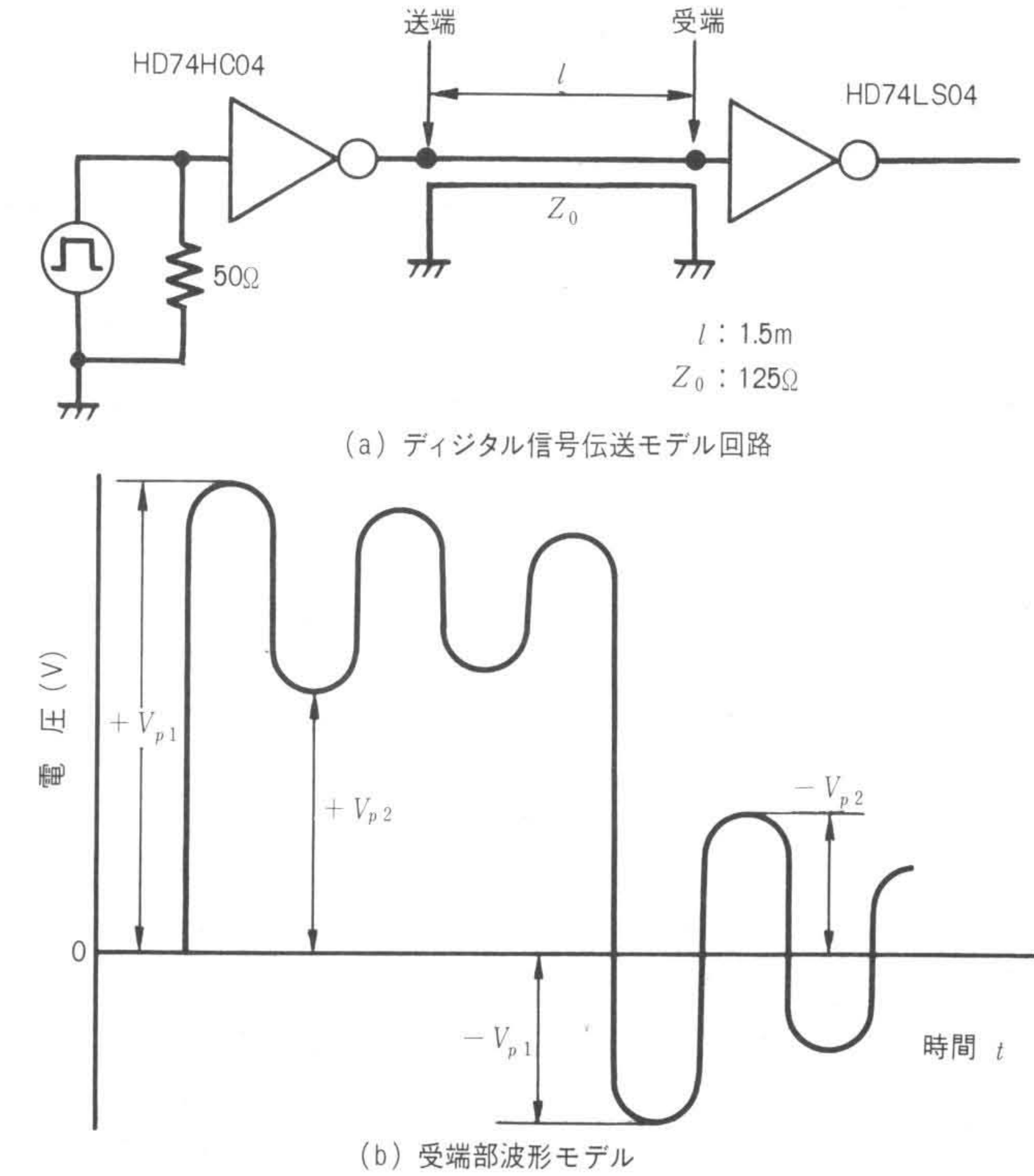


図 8 デジタル信号伝送 高速CMOSロジックHD74HC04(インバータ)を送端側に、LS-TTL HD74LS04(インバータ)を受端側とした場合の解析用のモデル回路と、受端側で発生するオーバシュート、アンダシュートの波形モデルを示す。

たものである。解析条件としては通常のシステム基板の $Z_0 = 125\Omega$ を使い、配線長は最悪条件の $l = 1.5m$ として行なった。送端側のHD74HC04の出力インピーダンスは、出力が“H”レベルのとき $I_{OH} - V_{OH}$ 特性のカーブとなり、そのときの受端側のHD74LS04の受端インピーダンスは $I_{IH} - V_{IH}$ 特性となる。一方、HC04の出力レベルが“L”レベルのとき、出力インピーダンスは $I_{OL} - V_{OL}$ 特性カーブとなり、受端インピーダンスは $I_F - V_F$ 特性カーブとなる。これらの入出力インピーダンスに対して Z_0 (伝送線路の特性インピーダンス) の傾きで負荷線を描くことにより伝送信号反射解析を行なうことができる。

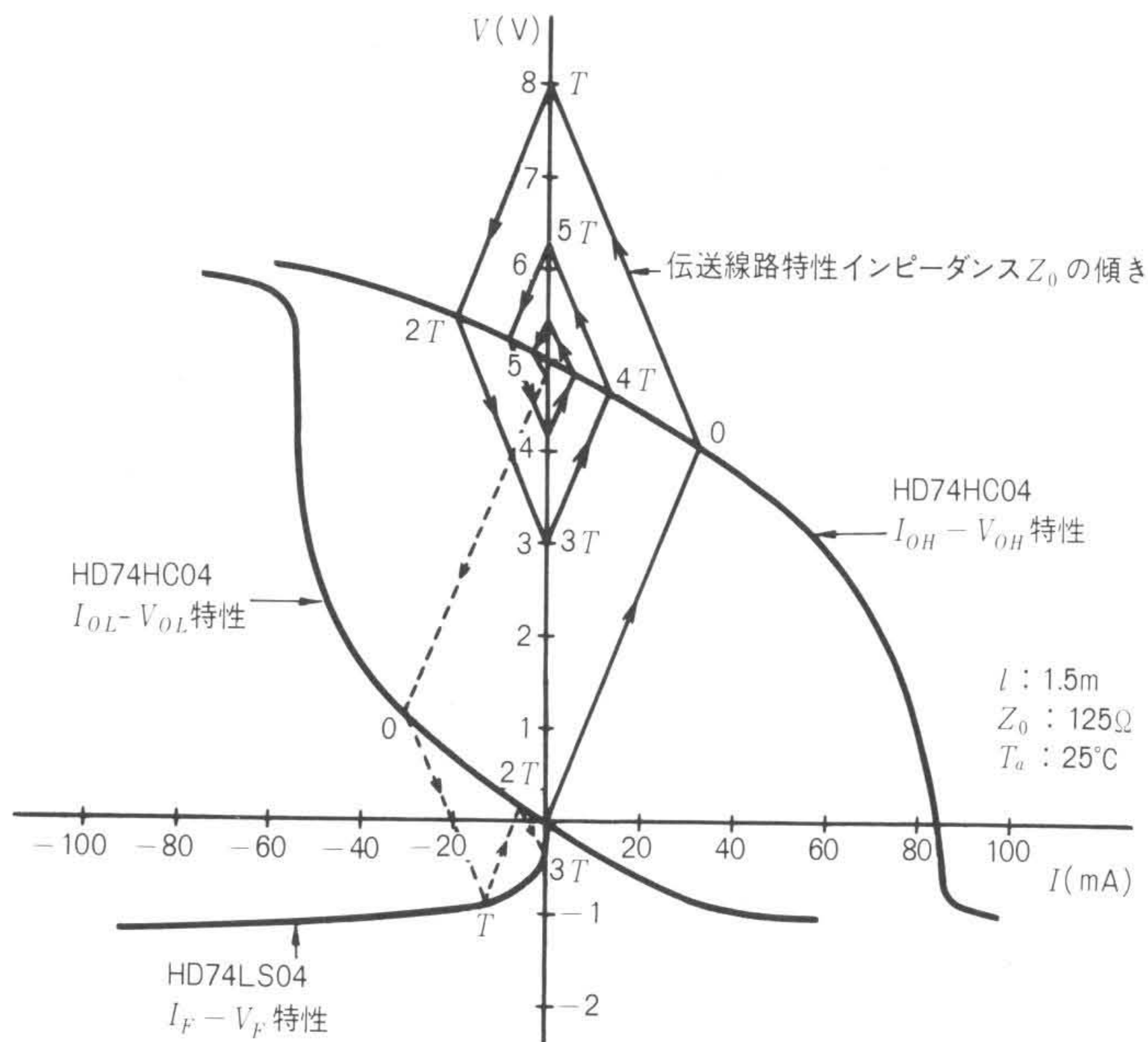


図9 伝送モデルのBergeron線図による解析 電流対電圧の図表に、送端IC、受端ICの出力インピーダンス、入力インピーダンス特性を描き、伝送線路の特性インピーダンス Z_0 の傾きで負荷線を描く。 T (信号が送端から受端に達する時間)の奇数倍の交点が受端部波形の電流、電圧である。

グラフ内の各交点部の座標は、偶数点が線路送端の $2T$ (T は信号が送端から受端まで達するのに必要な時間)ごとの電圧・電流を示し、奇数点は線路受端の電圧・電流を示す。図10は解析結果と実測値を併記したものである。高速CMOSロジックは出力インピーダンスが小さく設計されているが、受端がLS-TTLの場合は出力アンダシュートがLS-TTLの入力保護ダイオードにクランプされるため、後続する反射波は小さくなっている。図11は図8(a)の布線長 l (ここでは $Z_0=125\Omega$ の通常システム基板)による“H”レベルの雑音余裕度を示す。布線長が長くなるほど雑音余裕度が少なくなり、システムの信頼性が下がることになる。波形反射によるリングング対策としては、クロストークを十分考慮してIC相互接続ラインの最短化を図り、高密度実装を行なう必要がある。

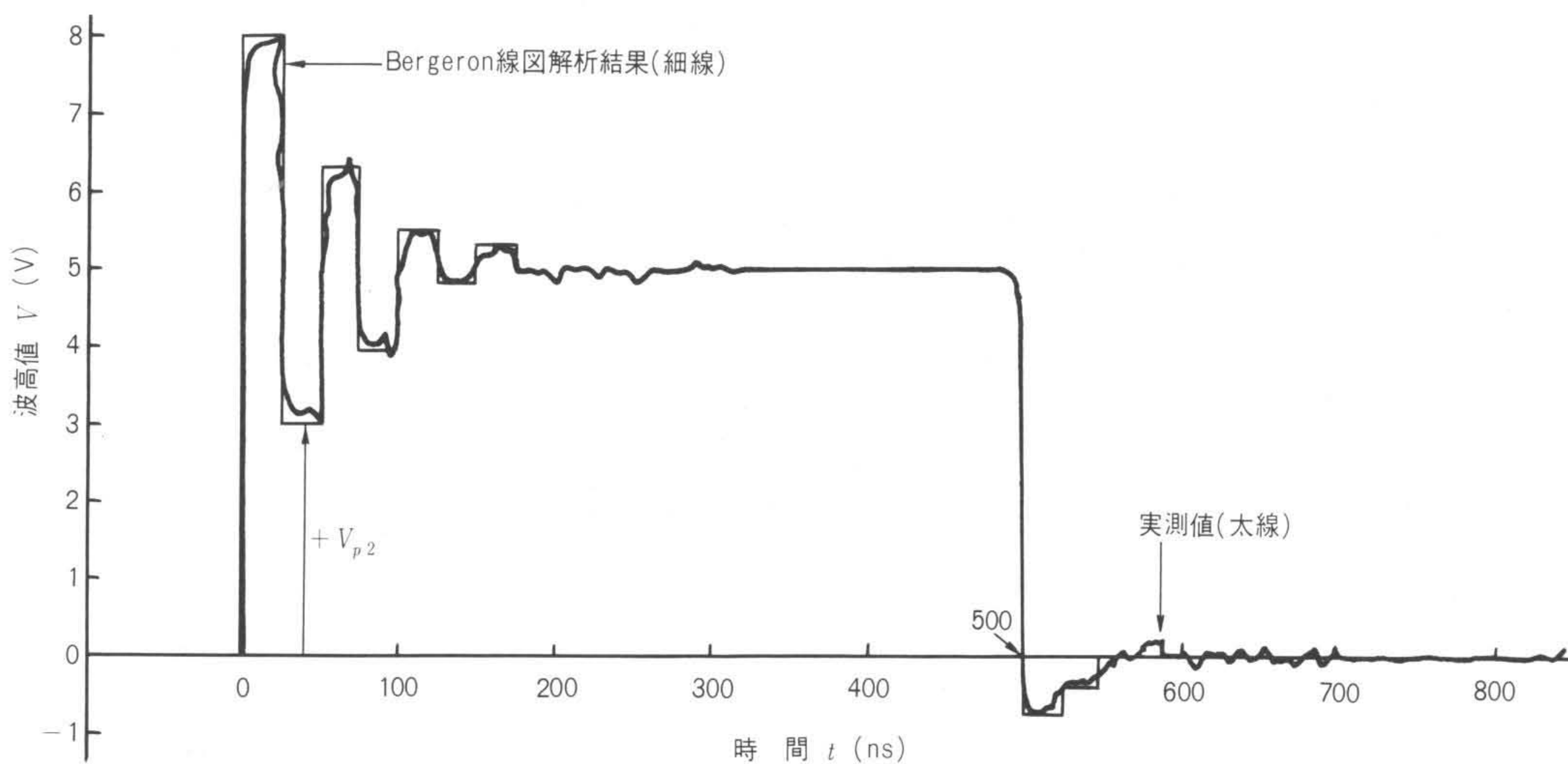


図10 受端部波形の解析結果と実測値 実測値とBergeron線図による解析結果はよく一致し、波形解析には有効であることが分かる。 $+V_{p2}$ が受端ICの $V_{IH}(\text{MIN})$ 以下になると誤動作の原因となる。

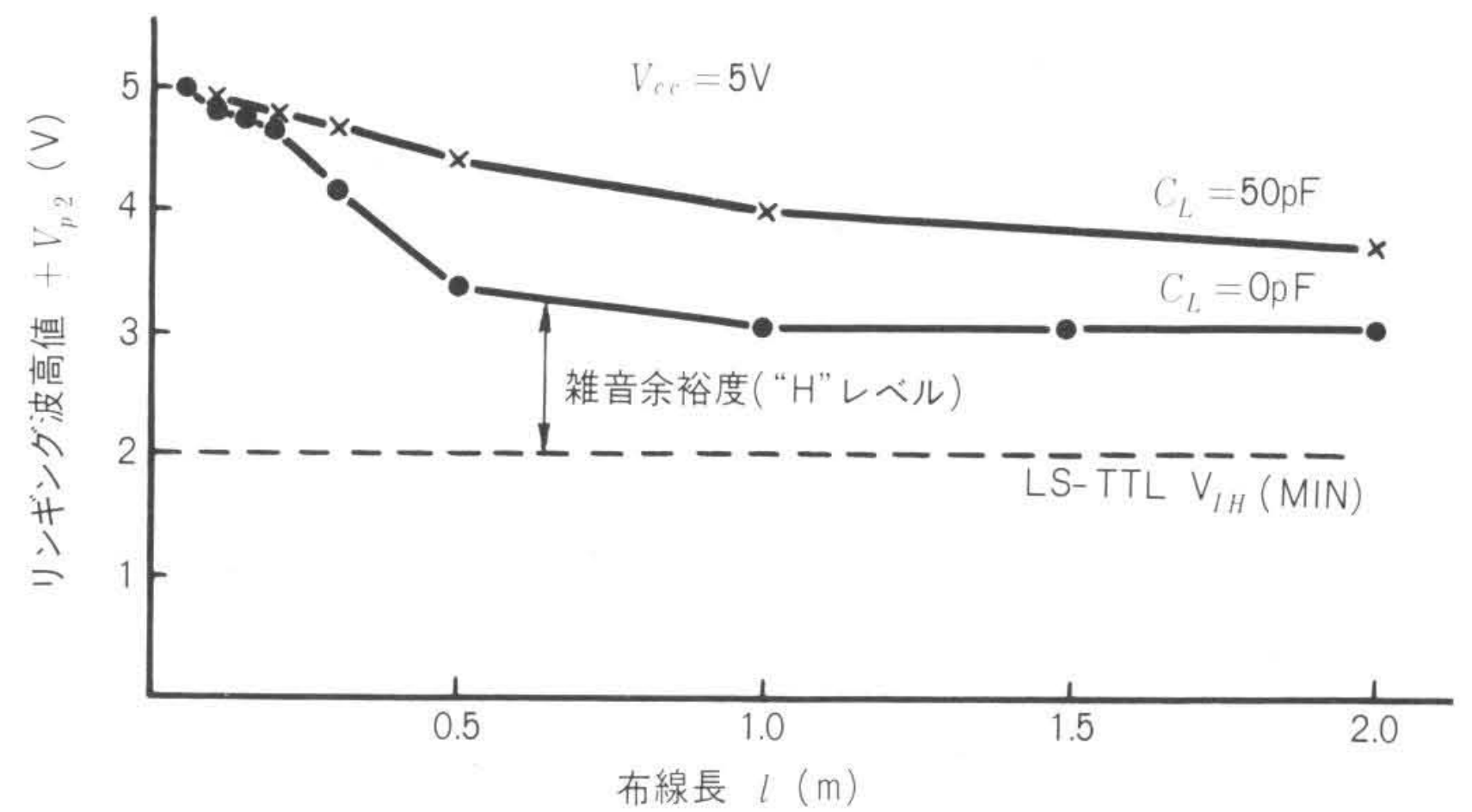


図11 布線長による受端部リングング波高値 布線長 l の増大に伴い、雑音余裕度($+V_{p2}-V_{IH}$)が減少することが分かる。 C_L は受端側のファンアウトによる模擬容量を示す。

5 結 言

以上、高速CMOSロジックICについて、回路及びデバイス設計面で配慮した点、基本的性能と標準規格、開発品の製品ラインアップ、実装技術の一つとしてLS-TTLとのインタフェース技術について述べた。標準デジタルICの主役となる特徴をもった高速CMOSロジックは、今後OA機器を中心に幅広く使用され、また応用分野が開拓されていくものと考えられる。また機器の高速化、低消費電力化の傾向は今後も続くと考えられ、近い将来ALS-TTL (Advanced Low Power Shottky Transistor Transistor Logic) 並みのスピードをもつ高速CMOSロジックの出現も期待される。

参考文献

- 1) M. H. White, et al. : High-Accuracy MOS Models for Computer-Aided Design, 1980 IEEE Transactions On Electron Devices, Vol. ED-27, No. 5 899~906 (May. 1980)
- 2) 京増, 外 : CMOS IC のラッチアップ現象の解析, 電子通信学会論文誌, Vol. J61-C No. 2, 106~113 (昭53-2)
- 3) D. R. J. White. : EMI Control in the Design of Printed Circuit Boards, EMC Technology, Vol. 1, No. 1, 74~83 (Jan. 1982)