

LOCOS CMOS IC

コンプリメンタリMOS IC(以下、CMOSと言う。)は、消費電力が小さいことを特徴とするが、素子分離のために大きな面積を必要としていた。

従来のCMOS(図1)では厚い酸化膜を形成した後、選択的に寄生チャンネル防止用のチャンネルストップを形成していたため、チャンネルストップ形成用のマスク余裕をとらねばならず、高集積

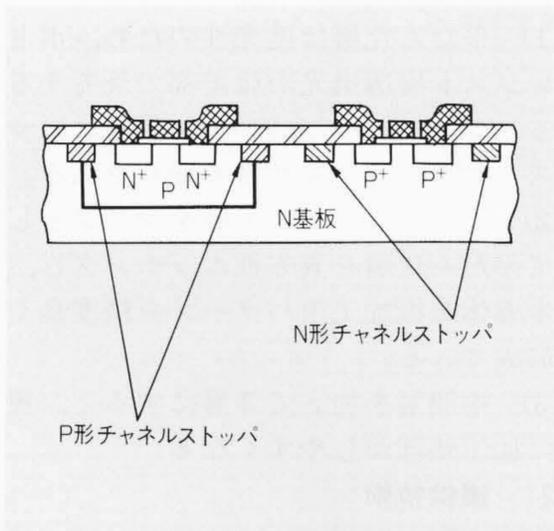


図1 従来のCMOS

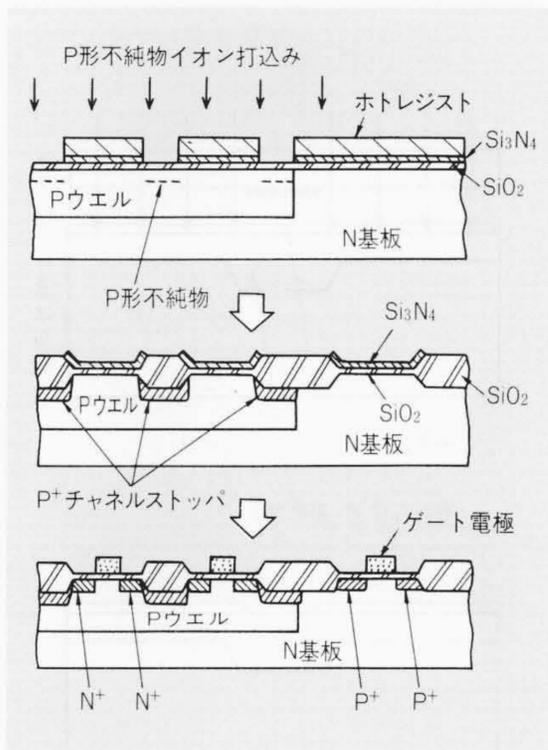


図2 新しく開発したCMOS

化の妨げとなっていた。

日立製作所はCMOSの高集積化を目指して、自己整合プロセスを利用した素子分離技術(図2)を開発した。

1. 特長・効果

- (1) チャンネルストップ形成のための不純物イオン打込みを行なう際のマスクと、選択酸化の際のマスク(窒化シリコン膜)を共用するため、チャンネルストップ領域と選択酸化部を整合させることができ、素子分離領域を小さくすることができる。
- (2) 一つのウェル領域内に多数のMOSトランジスタを形成できるため、ウェル電圧供給配線のレイアウトが容易となり、コンタクトの数も少なくなるため集積度が向上する。
- (3) チャンネルストップを形成すべき領域にイオン打込みされた不純物を活性化させるための熱処理工程は、選択酸化の工程と同一工程で行なうことができる。

2. 提供技術

- 関連特許の実施許諾
- 特開昭52-143782号 (USP Re 31,079)

高速アドレスバッファ回路

アドレスバッファ回路は、メモリ装置でアクセス時に最初に動作する回路であり、高速化が望まれている。

従来のアドレスバッファ回路(図1)は1段のフリップフロップ(以下、F/Fと言う。)と、F/Fの二つの出力各々に接続された出力回路により構成され、F/Fが相補信号A、 \bar{A} を作り、その信号を二つの出力回路が別々に増幅していた。この回路では、入力信号Aiが印加されてからF/Fの出力がA、 \bar{A} に落ち着くまで長い時間を必要とし、メモリのアクセスタイム短縮の障害となっ

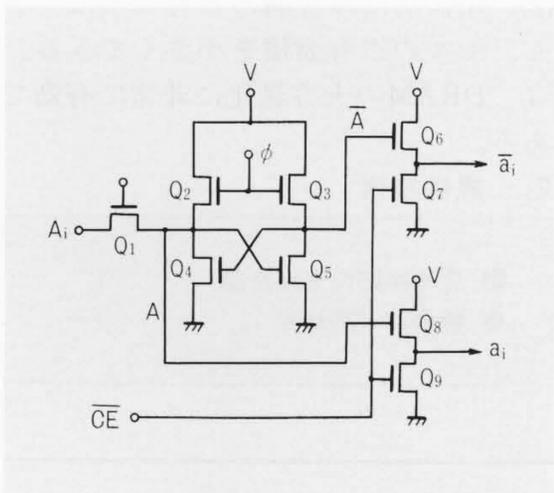


図1 従来のアドレスバッファ回路例

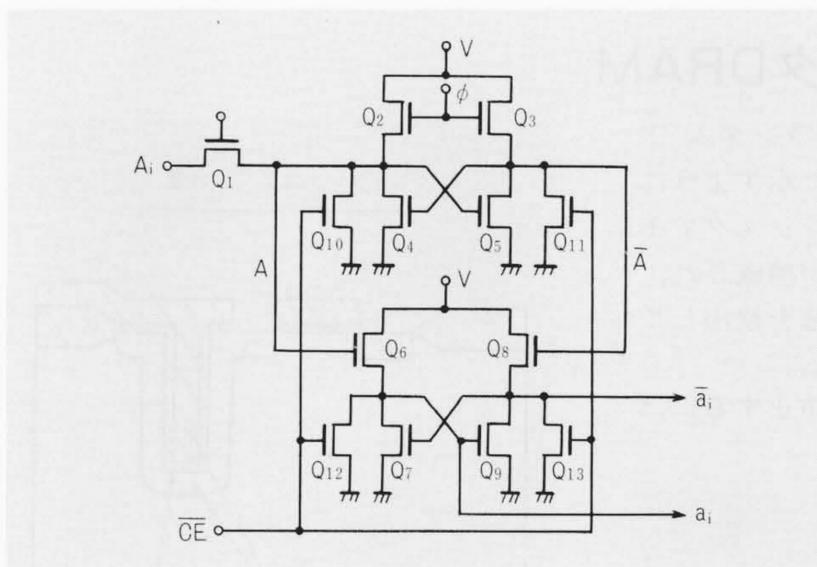


図2 本発明によるアドレスバッファ回路例

ていた。また、“L”レベルを受ける側の出力回路の出力がフローティング状態となり、雑音に弱かった。

日立製作所は、相補信号A、 \bar{A} を受ける出力回路にもF/Fを用い、一方が“1”に、他方が“0”に傾きかけた初段F/Fの出力信号を次段のF/Fが受けて、その傾きを助長する回路(図2)を開発した。

1. 特長・効果

- (1) 2段F/F構成のため動作速度が速い。

- (2) “0”を出力する出力端子は必ず接地電位となり、フローティング状態におかれることはなく、雑音に強い。
- (3) 次段F/Fを構成するQ6とQ7、Q8とQ9は同時に導通状態となることがないため、直流電流は流れず、消費電力が少ない。

2. 提供技術

- 関連特許の実施許諾
- 特許第1232368号

多層ホトレジスト加工

IC, LSIの製造ではガラス基板上のマスクパターンを、半導体基板上のホトレジスト層へホトリソグラフィ技術により転写して各種加工を行なっているが、高集積化に伴い加工寸法も微細化し、マスクパターンを精度良く転写したホトレジスト層を形成することが困難になってきた。

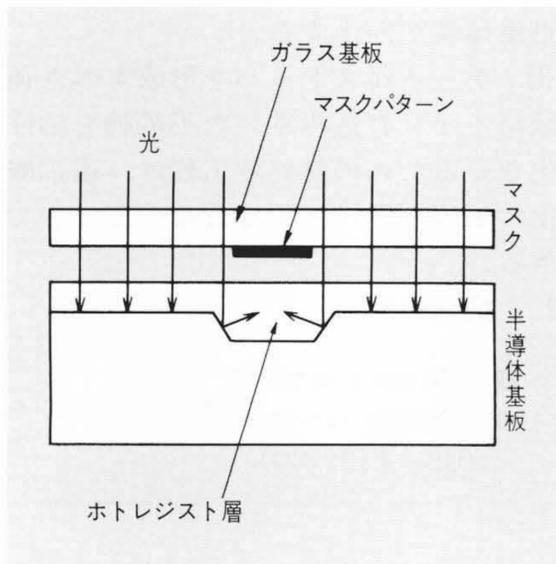


図1 従来の1層レジスト法

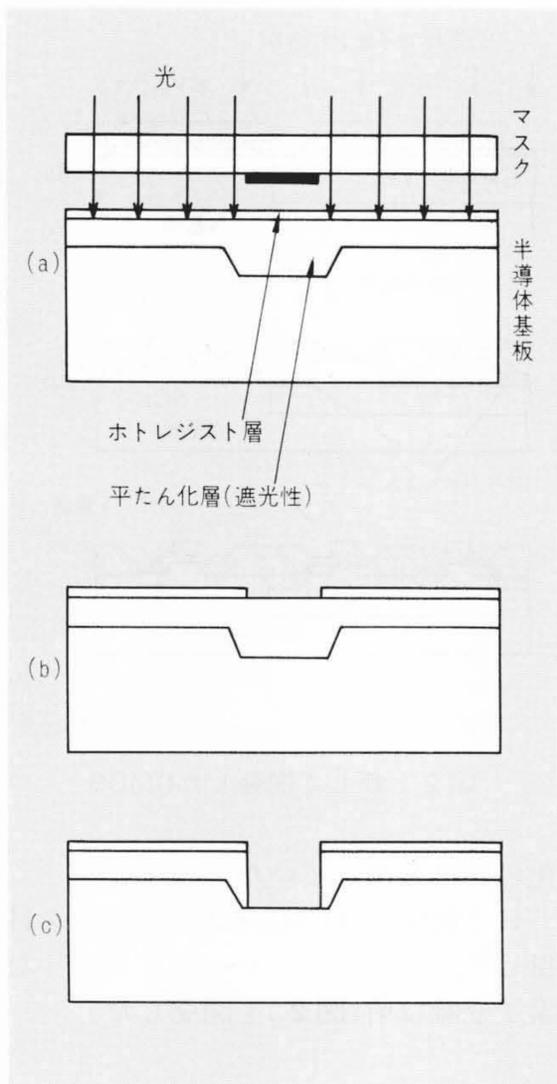


図2 本発明の多層レジスト法

すなわち、図1に示すようにホトレジスト層を透過した光が、半導体基板表面にある段差部で反射し、マスクパターン下にも回り込むため、転写されたパターンは切れが悪く、寸法もマスクパターンと一致しない問題があった。この発明は、図2に示すように平坦化層、ホトレジスト層の2層を用いてこの問題を解決したものである。

1. 特長・効果

- (1) 平坦化層は遮光性のため、ホトレジスト層透過光が段差部で反射することはなくなり、ホトレジスト層にはマスクパターンが精度良く転写される。
- (2) このホトレジスト層をマスクとして平坦化層を異方性エッチングし、半導体基板加工用パターンを精度良く形成できる。
- (3) 中間層を加えて3層にすると、更に加工処理がしやすくなる。

2. 提供技術

- 関連特許の実施許諾
- 特公58-51412号

溝形キャパシタDRAM

DRAM(ダイナミック形ランダム アクセス メモリ)は、図1に示すように1個の容量と1個のトランジスタで1ビットの記憶素子(セル)が構成され、容量に蓄積された電荷状態を検出して“0”、“1”判定をしている。

このセルでの誤検出を防止するには

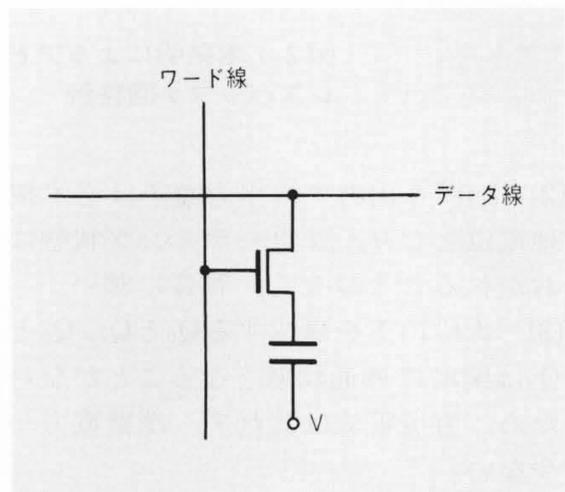


図1 DRAMのセル回路

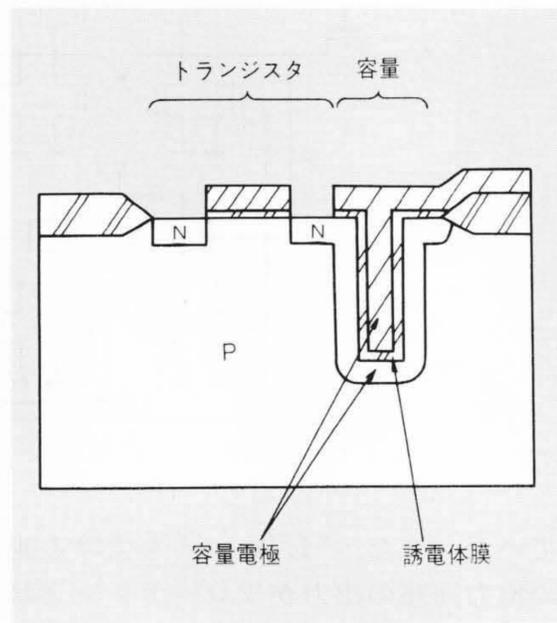


図2 溝形容量DRAMのセル構造

容量を大きくし、信号量を大きくする必要があるが、1Mビット、4Mビットのセルを一つの半導体チップの中に集積するためには、一つのセルの占有

面積は非常に小さく、従来の構造ではDRAMの大容量化は難しい状況にあった。

この発明は図2に示すように、溝形容容量を用いてこの問題を解決したものである。

1. 特長・効果

- (1) 半導体基板に溝を形成し、ここに容量を作っているため、容量電極の表面積が大きくなり、大きな蓄積容量を形成できる。
- (2) 平面的にみた溝の占有面積は小さく、セルの占有面積を小さくできる。
- (3) DRAMの大容量化に非常に有効である。

2. 提供技術

- 関連特許の実施許諾
- 特公58-12739号

日立高機能プログラマブルコントローラ “HIDIC-S10/2”

最近のFA(ファクトリーオートメーション)動向である分散制御及び高機能化ニーズに適合する高機能プログラマブルコントローラHIDIC-S10/2を開発した(図1)。

1. 主な特長

(1) 本格分散形演算装置

- (a) 最大16台×15台のCPU(中央処理装置)間リンケージ機能により、中規模から大規模分散システムまで自在に構築できる。
- (b) 上位計算機(HIDIC V90シリーズ)とハイアーキ構成が可能である。
- (c) リモートI/O(入出力)方式でI/Oユニットの分散設置が可能である(最大768点)。
- (d) 外部機器リンケージによりロボットなどに生産指令を与えることができる。
- (e) CPU間PSE(プログラミングツール)リンクにより、1台のPSEで最大10台のCPUを保守できる。
- (f) 演算ファンクション、汎用言語(C言語)を用い、プログラムのモジュール構造化により、高度なプログラムも容易に分かりやすく作成する

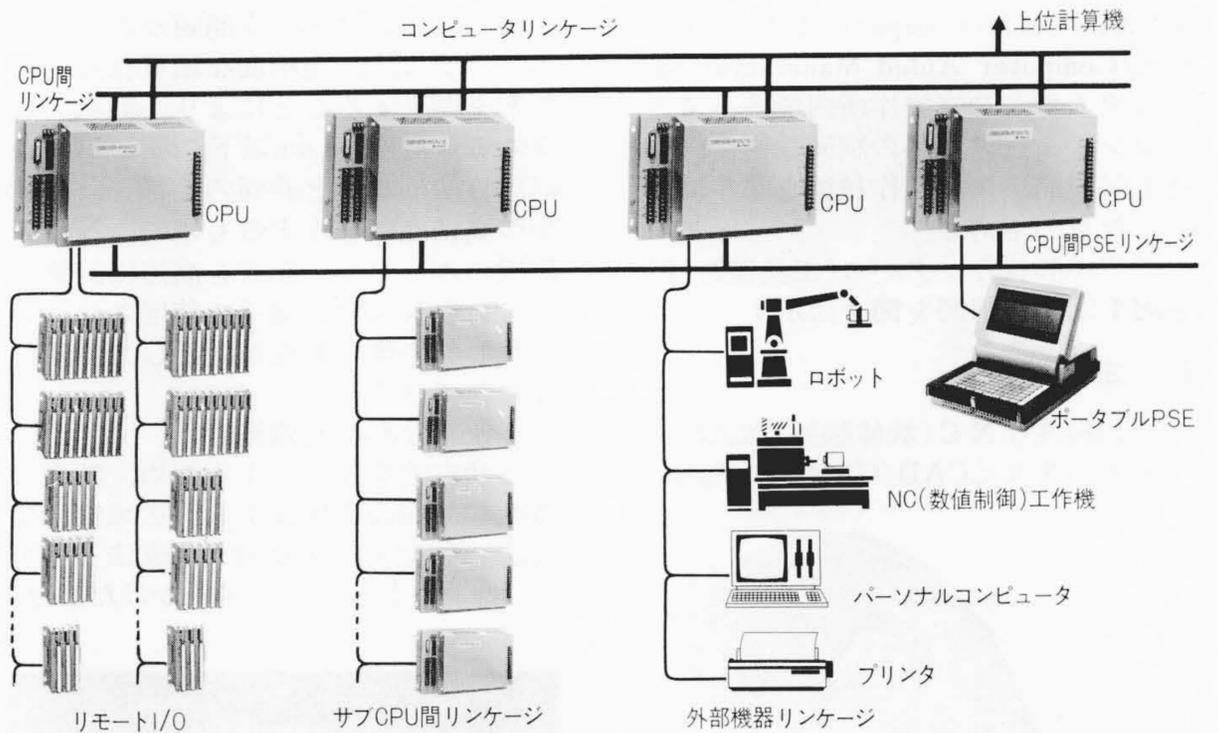


図1 HIDIC-S10/2システム構成図

- ことができる。
- (g) 姉妹機種として、中小規模向けのHIDIC-S10/3がある。
- (2) 操作性に優れた対話形のポータブルプログラミングツール
 - (a) 大形液晶ディスプレイを採用し、持ち運びの容易なトランクタイプで

ある。
(b) プログラミングはもとより、クロスリファレンス表示、エラーコメント表示、各種モニタ機能をもっている。
(日立製作所 機電事業本部)

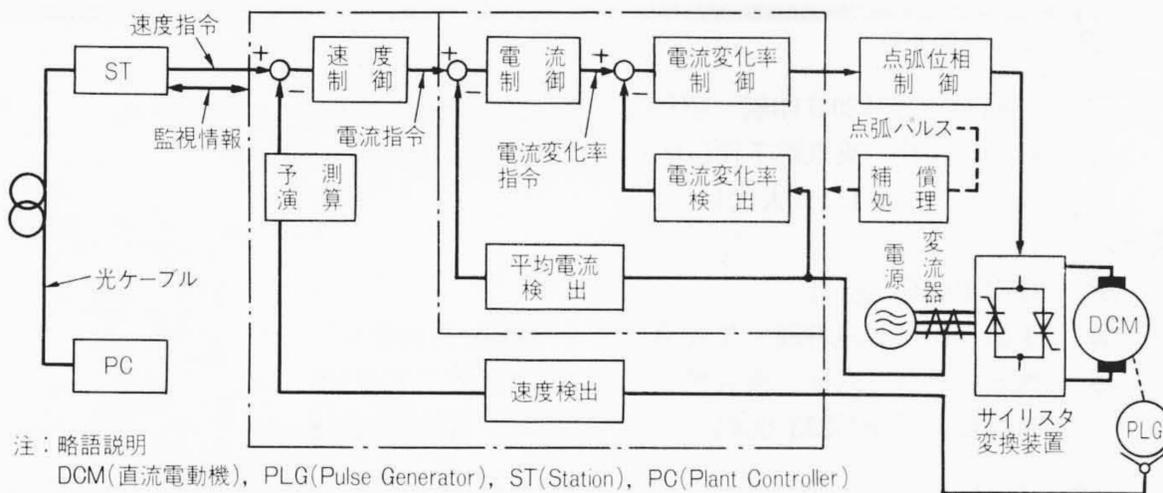
全デジタル速度制御装置 “D.HILECTOL”

昭和56年10月、世界に先駆けて直流電動機的全デジタル速度制御装置D.HILECTOLを実用化して以来、既に300セット以上が稼働している。今回、パワーエレクトロニクスの最新技術を取り入れ、高性能化及びインタフェースミニマム化を図った。

1. 主な特長

(1) 高性能16ビットマイクロプロセッ

- サの採用による処理速度の1.5倍化
- (2) サンプリングむだ時間を減少させる新電流制御方式、及び予測速度演算の採用により、高応答化、高精度化が実現し、この結果、プラントの操業効率及び製品品質の大幅向上が可能である。
- (3) 上位PC(Plant Controller)とのシリアル伝送装置には、光ケーブルによるマルチドロップ方式を採用し、耐ノイズ性の大幅向上及び工事費の削減を



注：略語説明
DCM(直流電動機), PLG(Pulse Generator), ST(Station), PC(Plant Controller)

図1 制御ブロック図



図2 D.HILECTOLの外観

実現した。
(4) 故障診断機能及び上位PCへの監視情報の拡充を図った。
図1に制御ブロック図を、図2にD.HILECTOLの外観を示す。
(日立製作所 機電事業本部)

製品紹介

3次元金型CAD/CAM “HIMOLD/3D”

HIMOLD/3Dは、複雑な3次元の自由曲面を扱える本格的な3次元金型専用CAD/CAM(Computer Aided Design/Computer Aided Manufacturing)システムで、日立製作所内で培ってきたコンピュータ利用の制御技術や、家庭電気製品用金型製作技術を基本に開発したものである。

モデル形状カットパス(工具径路)例を図1に、切削例を図2に示す。

1. 主な特長

(1) 高精度なNC(数値制御)加工機能
従来の3次元CAD/CAMシステムは、

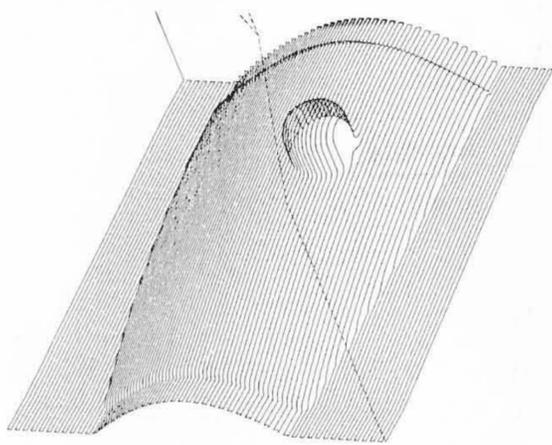


図1 モデル形状カットパス例

データ保持精度、演算精度の面で作成される形状精度が低く、実際のNC加工に適さない、という問題があった。本システムは、高精度な相貫線計算法などを開発することにより、形状データの演算誤差を1μm以下に抑えている。同計算法は曲面と曲面の交線を、高速かつ高精度に算出するもので、NC工作機のカットパスなどを高速に計算する、などシステム随所で使用され、3次元形状処理の基礎技術として位置付けられている。

(2) 豊富な形状定義機能

形状定義を容易にするため、数本の特徴線で曲面を生成する「広域曲面補間法」のほか、「部分曲面生成法」、「可変フィレット(へりに丸みをかけた部分)

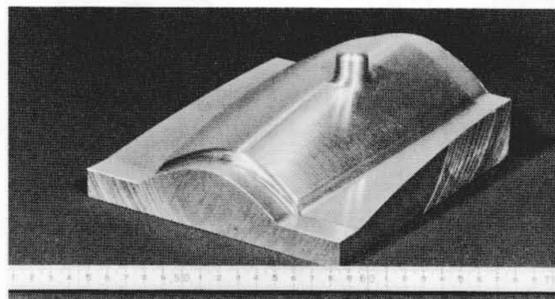


図2 モデル形状切削例

表1 主な仕様(基本構成)

項目	仕様
処理装置	32ビットスーパーミニコンピュータ HIDIC V90
主記憶容量	4Mバイト
磁気ディスク装置	70Mバイト
コンソールディスプレイ	12inモノクローム、プリンタ付き
グラフィックディスプレイ	カラー: 19in 1,280×1,024 モノクローム: 19in 4,096×3,120
NC作成装置	フロッピーディスクほか
ソフトウェア	3次元CAD/CAMソフトウェア

生成法」などを採用した。

(3) 豊富なCAM機能

NC用機能として、単面加工、一体加工、粗加工などの加工方法が指定できるとともに、切削条件の設定、カット送り速度の制御、カットと形状との干渉の自動回避などの機能をもっている。

(4) 効率的な製図機能

3次元CADで入力した形状データから、断面図作成、三面図展開ができ、寸法の自動記入などにより製作図面作成の効率向上も可能である。

2. 主な仕様

主な仕様を表1に示す。

(日立製作所 機電事業本部)

日立評論 Vol. 67 No. 9 予定目次

■特集 FAシステムとその画像処理技術

- 鈴鹿富士ゼロックス株式会社向け統合分散FAシステム
- 大阪ガス株式会社姫路製造所向けLNG受入れ基地運転管理システム
- エレベーター意匠構造品生産工場のファクトリーオートメーション
- FA機器の技術動向
- 最近のFA用コントローラ
- FAセル制御統一言語FA-BASIC
- 知識工学基本技術のFAへの応用
- F & F自動倉庫システム
- 酸化・拡散装置内のウェーハ温度分布解析システム
- CO₂レーザ加工機
- 電磁超音波計測装置“MAGCAST”
- 日立における画像処理技術
- 汎用画像認識解析装置HIDIC-IP
- 位置・形状計測に向けた小形画像処理装置HISEC-SP
- 電子部品検査向きの小形画像処理装置SBIP
- 画像処理装置を使ったUO鋼管タブ板自動切断システム
- 画像処理技術を応用した目薬検査システム
- 非破壊検査技術の開発とその応用

日立 Vol. 47 No. 8 目次

- グラフィック本四連絡橋 大鳴門橋・児島～坂出ルート
- ルポ 三鷹INSモデル実験始まる
- 明日を開く技術<59> 植物工場
- HINTコーナー カラーテレビ
- 技術史の旅<105> 温泉と発電
- 続・美術館めぐり<68> 早雲美術館

企画委員

- 委員長 武田康嗣
- 委員 三浦武雄
- 委員 藤江邦男
- 委員 清野知士
- 委員 村上啓一
- 委員 塚本和孝
- 委員 佐室有志
- 委員 臼井忠男
- 委員 倉木正晴
- 幹事 伊藤俊彦
- 幹事 三村紀久雄

評論委員

- 委員長 武田康嗣
- 委員 加藤寧光
- 委員 小野光彦
- 委員 庄佳彦
- 委員 福地文夫
- 委員 飯島幸雄
- 委員 阿部正之
- 委員 竹川正之
- 委員 今井溥孝
- 委員 鈴木敏興
- 委員 鯉三夫
- 委員 三倉正晴
- 委員 伊藤俊彦
- 幹事 三村紀久雄

日立評論 第67巻第8号

- 発行日 昭和60年8月20日印刷 昭和60年8月25日発行
- 発行所 日立評論社 東京都千代田区神田駿河台四丁目6番地 ☎101
- 電話(03)258-1111(大代)
- 編集兼発行人 倉木正晴
- 印刷所 日立印刷株式会社
- 定価 1部500円(送料別)年間購読料 6,700円(送料含む)
- 取次店 株式会社オーム社 東京都千代田区神田錦町三丁目1番
- ☎101 電話(03)233-0641(代) 振替口座 東京6-20018

© 1985 Hitachi Hyoronsha, Printed in Japan (禁無断転載)