

Hi-CMOS技術の展開

Evolution of Hi-CMOS Technology

VLSIを支える基本技術はNMOSからCMOSに変わりつつある。日立製作所でも、高速・高集積化に適したHi-CMOS技術の開発を行ってきた。本稿では5 μ m CMOSから出発し、Hi-CMOS I (3 μ m)、Hi-CMOS II (2 μ m)、Hi-CMOS III (1.3 μ m)と発展してきた日立製作所のCMOS技術を、(1) 高抵抗ポリSi技術とスケールダウンによる高集積密度化、(2) ウェル、ソース・ドレイン形成プロセスなどの改良による製造プロセスの高精度化と簡素化、(3) SRAMなどのメモリを中心とした技術開発とマイクロプロセッサなどへのスムーズな展開、について説明する。また、ホットキャリアによる素子劣化対策などの高信頼度化技術についても触れる。

目黒 怜* Satoshi Meguro
小森和宏* Kazuhiro Komori
小佐保信* Yasunobu Kosa

1 緒 言

1970年代に主流であったNMOS(N-Channel Metal Oxide Semiconductor)技術は80年代のVLSI時代ではCMOS(Complementary Metal Oxide Semiconductor)技術に置き換えられようとしている¹⁾。

すなわち、NMOSでの消費電力の大きい点が限界に近づき、CMOSの欠点であった複雑な製造プロセス、低い集積密度が改善されてきたからである。

日立製作所は約10年前からVLSI時代に備えてポテンシャルの高いCMOSデバイスプロセスの改良を重ねてきた。5 μ m CMOS技術から、高速・高集積に適したHi-CMOS(High performance CMOS)技術へと発展させ、現在は第3世代目のHi-CMOS III(1.3 μ m CMOS)の展開期である。この間SRAM(Static Random Access Memory)への適用をベースとして、ROM(Read Only Memory)、マイクロプロセッサへと適用を進め、最近ではEPROM(Erasable and Programmable ROM)、更にEPROMを内蔵するZTAT(Zero Turn Around Time)マイクロプロセッサへと技術展開を進めてきた。メモリで技術を習熟させてからロジックへの適用を進めることにより、スムーズな技術展開もできている。

本稿では、従来のCMOSにどのような改良を加えてきたかを中心に、Hi-CMOS技術の推移と特徴について述べる。

2 Hi-CMOSデバイス

表1にNMOS技術、従来CMOS技術と比較してHi-CMOSの位置付けを示す。NMOSは高速・高密度化に適し製造プロセスが簡単であるが、消費電力が大きい。消費電力が大きいことは素子温度の上昇につながり、VLSI化に伴って限界に近づきつつある。CMOSは低電力を特徴とするが低密度であり、プロセスも複雑である。Hi-CMOS技術はCMOSの低電力の特徴を生かしたままNMOS並みの高速・高密度と簡単な製造プロセスを実現しようとしたものである。まずSRAMの場合について説明し、次にEPROMについて述べる。

2.1 Hi-CMOS SRAM

フルCMOS SRAMでは図1に示すように4個のNMOSトランジスタと2個のPMOS(P-Metal Oxide Semiconductor)トランジスタでメモリセルを形成する。セルの雑音余裕度が大きく、待機時電流も小さくできるが、メモリセル面積が大

表1 NMOS, CMOS, Hi-CMOSの比較 NMOS技術とCMOS技術を組み合わせて、両者の長所を生かすのがHi-CMOSのねらいである。

	長 所	短 所
NMOS	高 速 高密度 簡単なプロセス	消費電力大
CMOS	低電力 雑音余裕度大	複雑なプロセス 低密度
	Hi-CMOS	

注：略語説明 NMOS(N-Channel Metal Oxide Semiconductor)
CMOS(Complementary Metal Oxide Semiconductor)
Hi-CMOS(High performance Complementary Metal Oxide Semiconductor)

きくなってしまう。Pウェル上のNMOSとN基板上のPMOSとの間に大きな距離をとらないと素子アイソレーションができず、またPNPNサイリスタ構造ができてしまうため、耐ラッチアップ強度も小さくなってしまう。NMOSとPMOSの結線が必要なためセル内配線も複雑となる。

Hi-CMOS²⁾の場合は上述の2個のPMOSを酸化膜上の高抵抗ポリSi配線に置き換える。4個のNMOSだけで書き込み・読み出しの基本動作ができ、ポリSi高抵抗を通しての微小給電で接合リークを補償することにより記憶保持ができる。ポリSi高抵抗はNMOSの上に重ねて形成できるので、アイソレーション領域を含めたPMOS領域が不要となる。また、PMOSがないのでセル内結線が単純になり、従来CMOSメモリセルの約 $\frac{1}{3}$ と大幅なセル面積縮小が可能となる。高抵抗を $10^{11} \sim 10^{12} \Omega$ とすることにより、待機時電流を μ Aレベルに保ち、周辺CMOS回路により動作時の低電力化もできる。低電力なので低コストプラスチックパッケージに収納可能である。浅いPウェル上にメモリセルを形成するので α 線によるソフトエラーに強く、周辺回路からのノイズ電流からもメモリセルの記憶が守られる。

NMOS技術との比較を高速4kビットSRAMを例に表2に

* 日立製作所武蔵工場

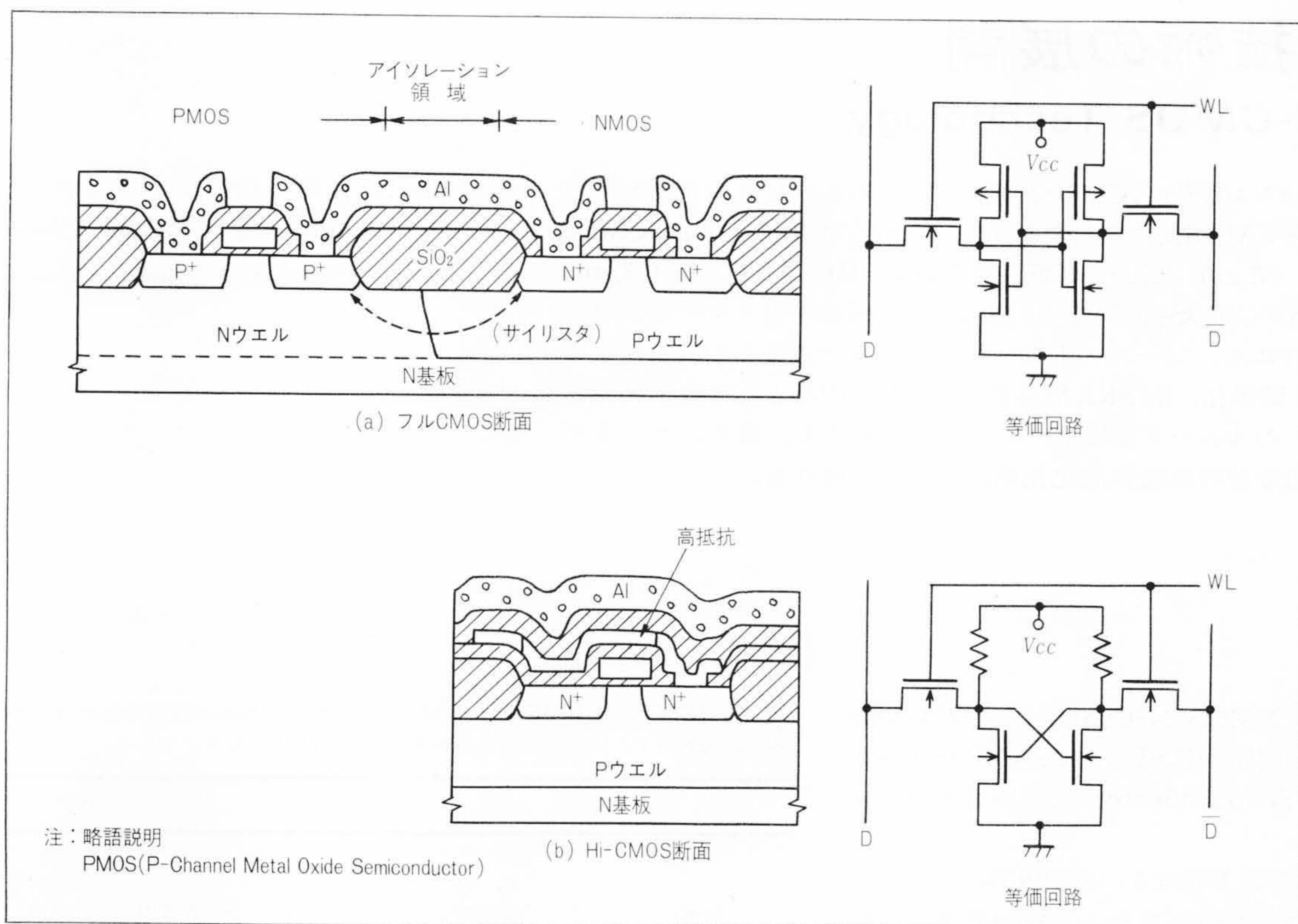


図1 フルCMOS, Hi-CMOS SRAMメモリセルの比較 フルCMOSの場合のPMOSを、2層目ポリSiで形成する高抵抗に換えることにより、面積は大幅に縮小できる。

示す。同等の集積密度・アクセス時間が得られており、動作時電力は $\frac{1}{4}$ 、待機時電力は4けた減少できており、Hi-CMOS技術の優位性は明らかである。

表2 NMOSとHi-CMOSの比較 商品化された4kビット高速SRAMの例であり、Hi-CMOSで格段に低電力化できることを示す。

項 目	NMOS	Hi-CMOS (6147H)
集 積 度	4kビット×1	4kビット×1
チップ面積	13.8mm ²	8.9mm ²
アクセス時間	35/45ns	35/45ns
動作時電力	600mW	150mW
待機時電力	90mW	0.005mW

2.2 Hi-CMOS EPROM³⁾

EPROMの場合は、メモリセルがフローティングゲートをもつNMOSトランジスタ1個で構成されるため、集積密度はNMOS技術の場合と変わらず、周辺CMOS回路化で低電力が達成できる。断面構造を図2に示す。メモリセルはP形基板上に、PMOSはNウェル上に形成する。これはP基板を使ったほうがメモリセル高電圧書き込み時の基板電流のシンクに有利であり、ドレーン容量を小さくしやすいため高速読み出しにも有利となるからである。

高電圧書き込み時のCMOS周辺回路ラッチアップ対策として、新たにポリSiPMOS素子を開発し書き込み回路に用いた。この構造と素子特性を図3に示す。Nウェル、Al配線をゲート電極として、64kビットEPROMの場合は21V、256kビットEPROMの場合は12.5Vでスイッチング動作ができる。ポリSiPMOSは、酸化膜上に形成するのでラッチアップの心配がなく、読み出し回路系はポリSiPMOS書き込み回路と独立に最

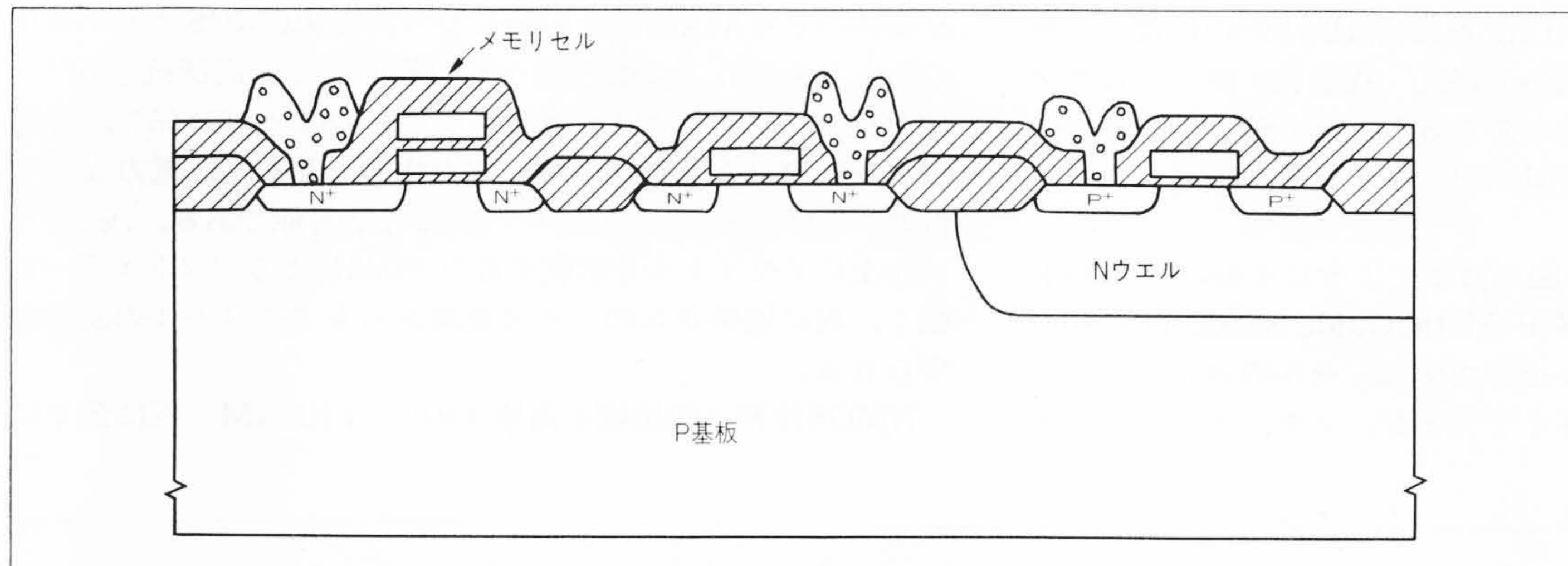


図2 Hi-CMOS EPROM構造 EPROMでは高電圧書き込みによる基板電流の副作用を避けるため、P基板を用いる。

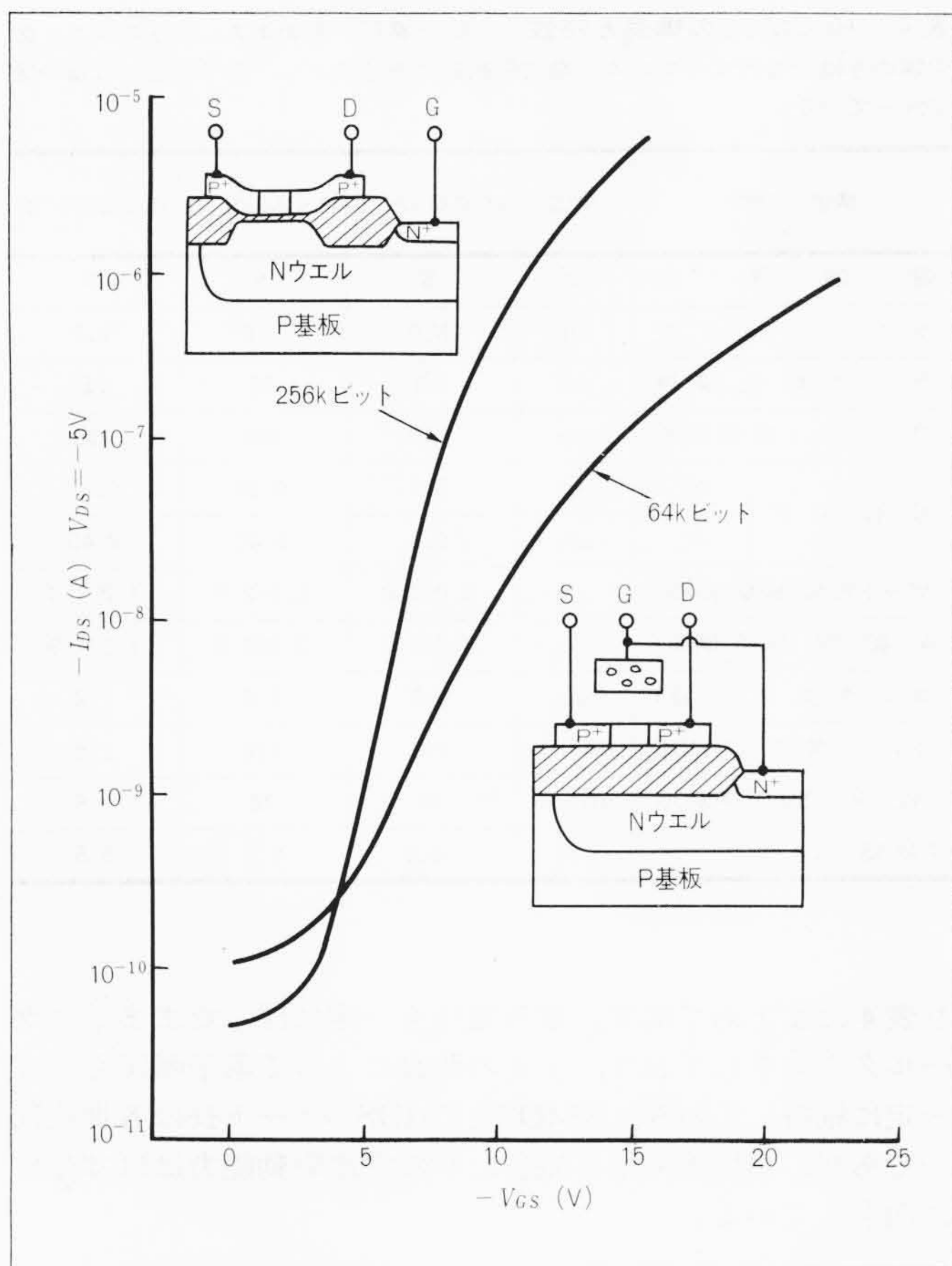


図3 ポリSiPMOSの構造と特性 EPROM書き込み回路には酸化膜上のポリSiPMOSを用いてラッチアップを防止する。

適設計できるようになる。

ポリSiPMOS特性の制御、及びNウエルの形成技術がNMOS技術と異なる点であるが、これらはSRAM技術と共通である。

3 Hi-CMOSプロセス

図4にHi-CMOS加工寸法の推移を基本プロセスが完成した時期(横軸)を示す。3年ごとに $\frac{2}{3}$ にスケールダウン(比例縮小)を行ない、4倍の高集積化を実現してきた。

Hi-CMOSの原形となった5 μ mCMOSの断面を図5に示す。低濃度n形(100)方位のSi基板表面に、全面イオン打込みによるNウエルと重ねてPウエルを形成する。LOCOS(Local Oxidation of Silicon)プロセス導入により平坦なフィールド酸化膜を形成するとともに、NMOS部(Pウエル上)では寄生チャネル防止のためP形のチャネルストッパをイオン打込みで形成する。ゲート電極はポリSiであり、ソース・ドレイン層をCVD(Chemical Vapor Deposition)酸化膜をマスクに熱拡散で形成すると、PMOSのゲートはP形ポリSi、NMOSのゲートはN形ポリSiとなる。パターン形成はネガ形ホトレジストを用い密着露光、ウェット等方性エッチングで行なう。

5 μ mCMOSに続く、Hi-CMOS I, II, III(それぞれ3 μ m, 2 μ m, 1.3 μ mCMOS)のプロセス改良をまとめて表3に示す^{4),5)}。Nウエル・Pウエルを独立に制御できるようにセルフアライン(自己整合)方式に改良し、NMOS部のフィールドイオン打込みもセルフアライン化したので、CMOS固有の複雑なウエル・アイソレーションが大幅に簡素化された。この方式ではEPROMの場合のNウエル・P基板構造も同一プロセスで

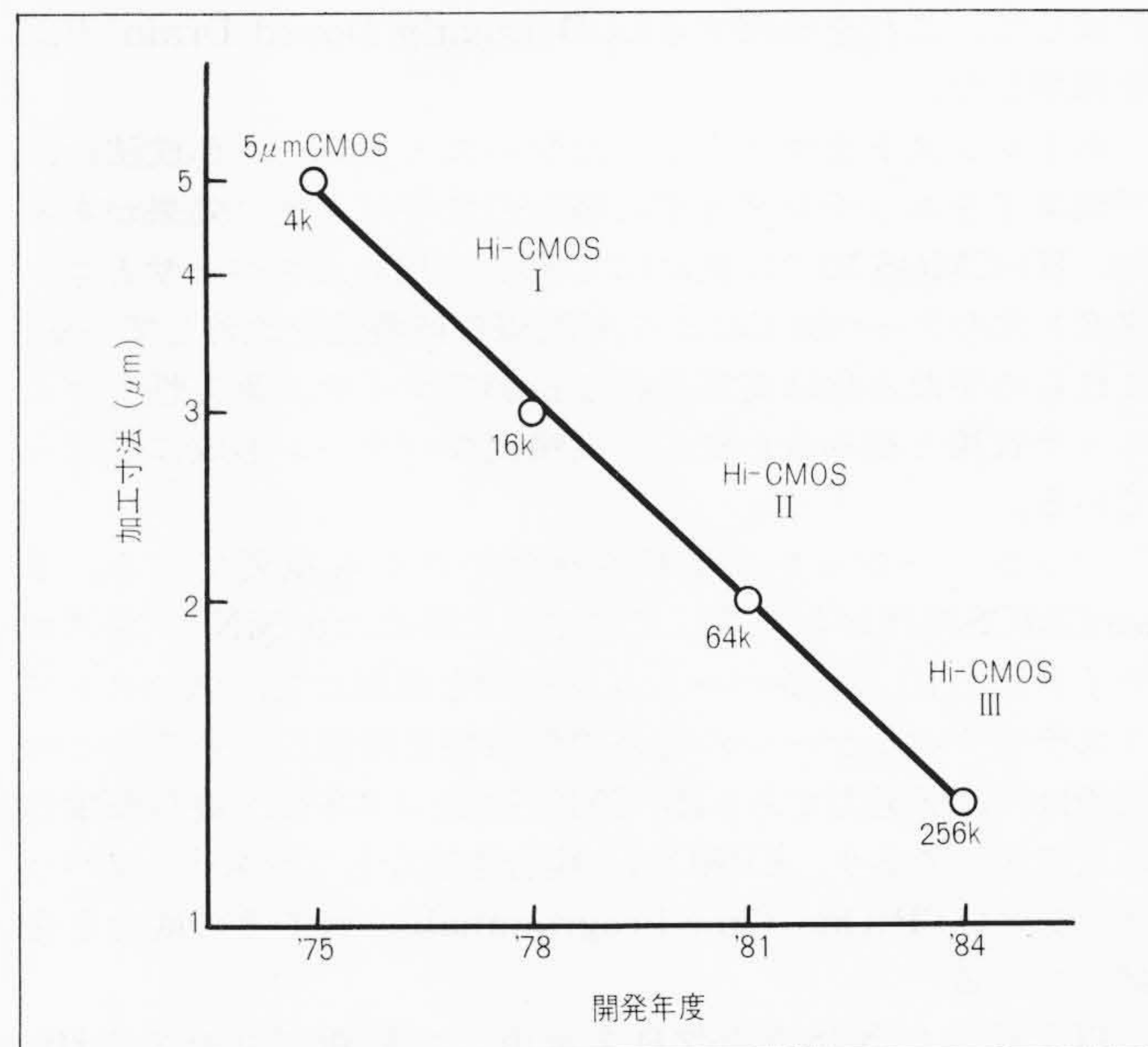


図4 加工寸法の推移とSRAM集積度 3年ごとに寸法を $\frac{2}{3}$ に縮小して、4倍の高集積化を実現している。

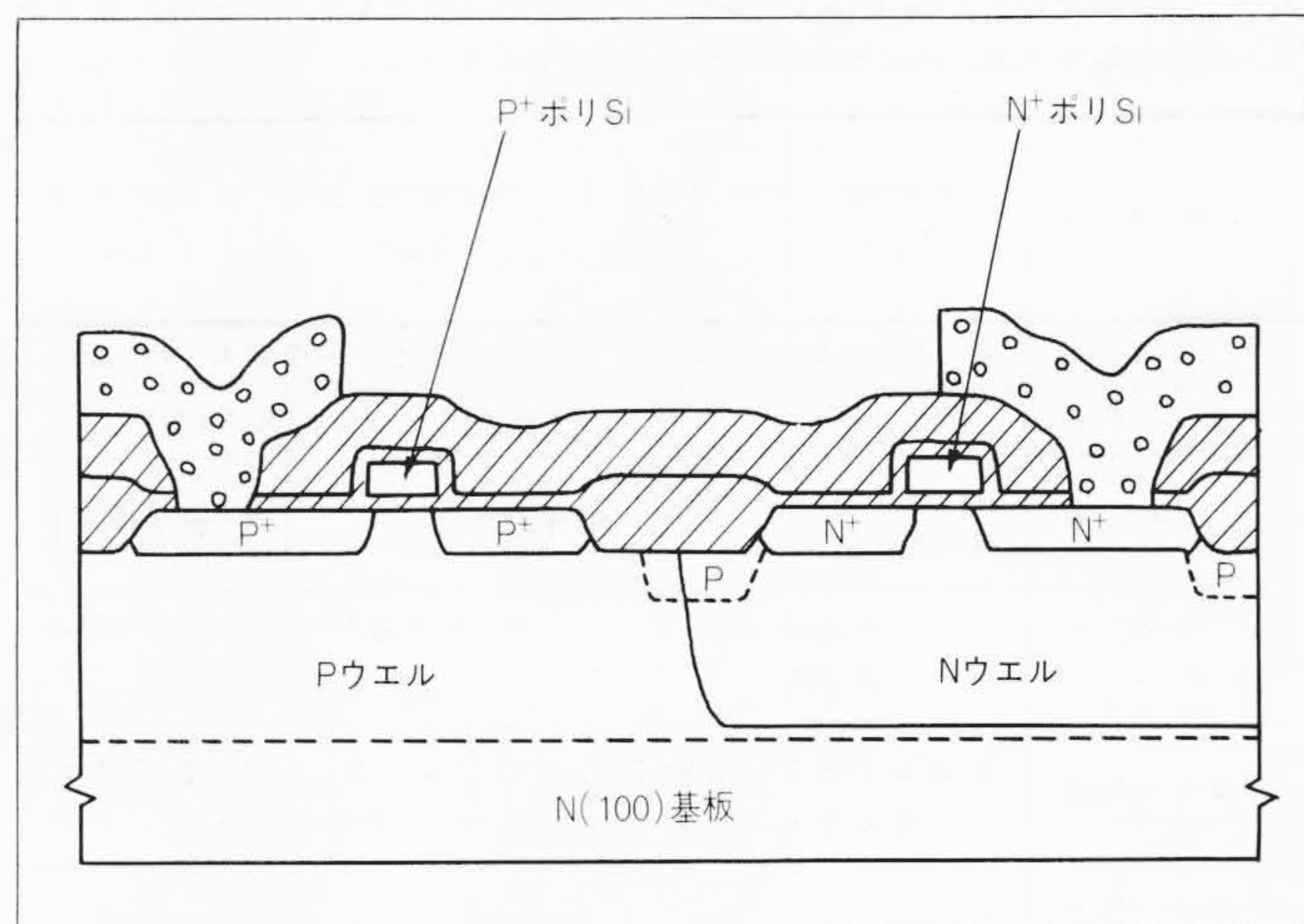


図5 5 μ m CMOSの断面 PウエルとNウエル、LOCOS、P/N Siゲートとネガレジスト、ウェットプロセスが特徴である。

形成できる利点もある。ゲート電極はPMOSとNMOS両方をN形ポリSiとして直結できるように改良し、更にHi-CMOS IIIではポリサイド構造を採用してゲート電極配線を低抵抗化した。この低抵抗化は特にメモリで高速化の効果が大きい。

ソース・ドレインの形成はホトレジストをマスクとして、P⁺層、N⁺層を高濃度イオン打込みで形成する方式に改良した。CVD酸化膜マスクの形成が不要となり、プロセスが簡単になると同時に、浅いソース・ドレイン層の形成が容易となり、ドレインのドーパント濃度プロファイル制御が可能となった。2 μ m以下のNMOSでは一定電圧で素子をスケールダウンしたことにより、ドレイン部が5V動作でも高電界となり、ホットエレクトロン、ホットホールが発生してゲート酸化膜中に飛び込み、長時間動作後に素子特性を劣化させる。この対策としてドレイン部にN⁺層を作りドレイン部電界集中を緩和する必要がある。Hi-CMOS IIでは、リンとヒ素の拡散係数の差を利用するDD(Double diffused Drain)方式、Hi-CMOS IIIでは更に制御性を改善して、ゲート電極にサイドウォールを

