

VLSI向き高精度論理シミュレーション技術

Accurate Logic Simulation Technique for VLSI Designs

VLSI設計で、DA技術は設計効率を大きく左右する重要なキーポイントであり、なかでも論理VLSIの設計検証で論理・故障シミュレータは必要不可欠である。

従来のゲートレベル論理シミュレータは、双方向トランスファゲートなどが自由に使えるMOS技術による論理回路の検証には不十分であった。そこでMOS回路の電気的動作を、基本的には“1”と“0”で表わされる論理の世界で、できるだけあるがままにモデル化し統一的な線形回路として取り扱い、論理シミュレーションの精度を向上する手法を考案した。

本手法は、日立製作所で開発したVLSI向き論理・故障シミュレータHASL-GTの中で実用化している。

江口一彦* Kazuhiko Eguchi
高橋 強* Tsuyoshi Takahashi
山城 治* Osamu Yamashiro
大野康宣* Yasunori Oono
吉田 孝** Takashi Yoshida

1 緒 言

プロセス技術の進展により、100万個を超えるトランジスタを1チップに搭載することが可能になりつつある。このようなVLSIを効率よく設計する技術は、半導体製品のキーテクノロジーとなりつつあり、ユーザー、メーカー両者にとって大きな関心事となっている。

集積度の向上は1.5～2倍/年であり、設計効率(設計トランジスタ数/人日)がこれに追従して向上しなければ、VLSIの設計マンパワーを確保することは困難になると見られている。

このような状況を打開するために、コンピュータによる設計支援、すなわちDA(Design Automation)あるいはCAD(Computer Aided Design)が脚光を浴びており、これらのない設計は不可能であるとの認識が一般化している。

ここでは、特にマイクロコンピュータ及びその周辺LSIなどに代表される論理VLSIの設計を支えるDA技術の概要について説明する。更にその中で、設計された論理を検証するツールとして重要な位置付けを占める論理・故障シミュレー

タに関し、VLSI回路を精度よくシミュレーションする技術について考察する。

2 VLSI設計を支えるDA技術

図1に論理VLSIの設計の流れと各々の工程を支援するDAツールを示す。ここに掲げた個々のDA技術そのものはそれほど目新しくはないが、大規模ゆえに設計手法そのものが階層的になり、ROM(Read Only Memory)、RAM(Random Access Memory)、PLA(Programmable Logic Array)といった規則論理を多用する方式へ移行しつつあり、DAツールも階層設計をサポートする柔軟性とシステム化が要求されている。

まず目標とするVLSIのシステム仕様が決まると、それを実現する論理設計が行なわれる。論理設計の成果は通常論理図の形で表わすが、最近は大形計算機に接続されたグラフィック端末、あるいはスタンドアロン形の高性能パーソナルコン

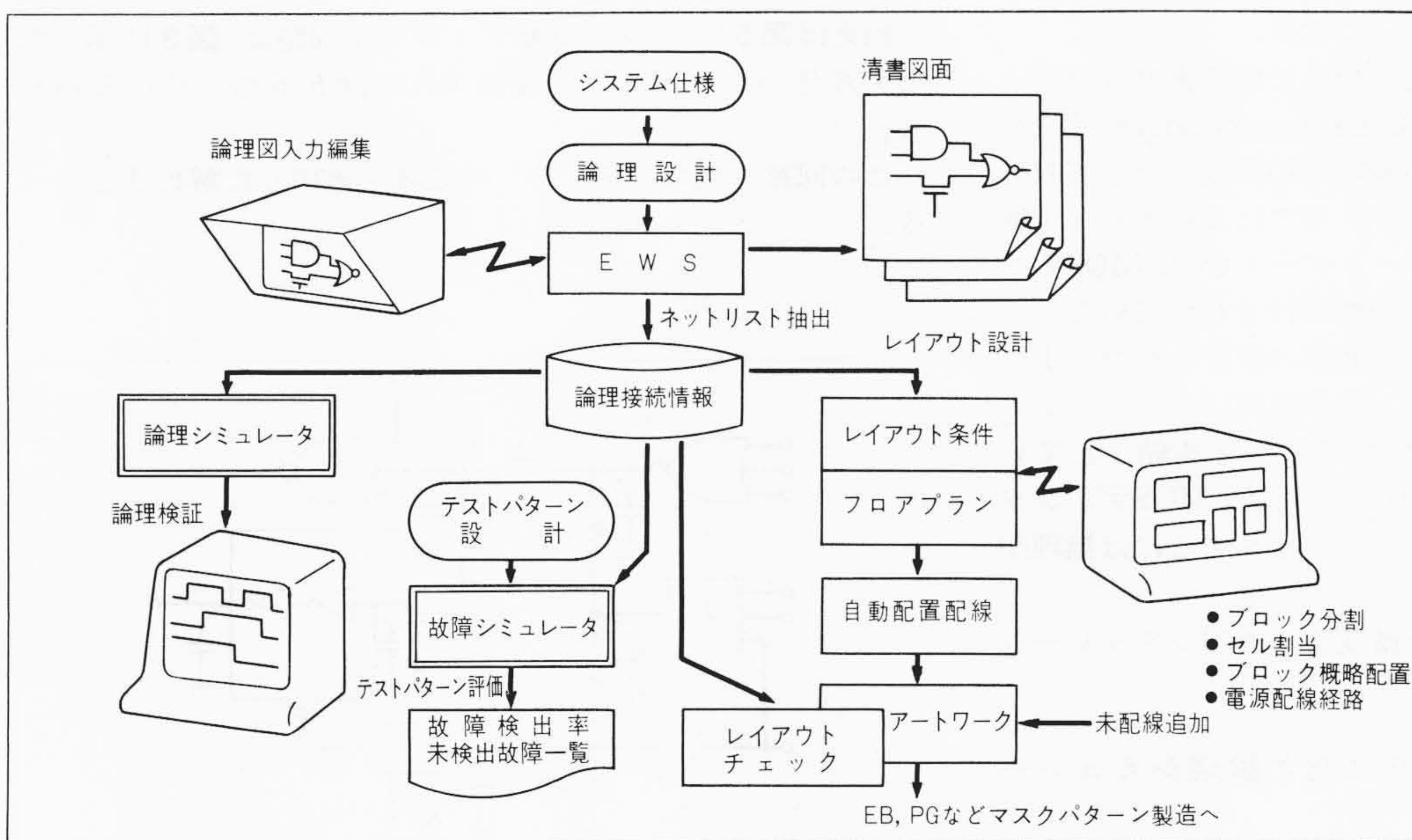


図1 論理VLSIの設計フローとDA EWSなどから入力された論理情報は、論理シミュレータで検証された後、レイアウトDAでセルの配置・配線の情報に加工され、LSI用マスクパターンが作られる。本論文では、VLSIに向けた論理シミュレーション技術について述べる。

* 日立製作所武蔵工場 ** 日立マイクロコンピュータエンジニアリング株式会社

コンピュータを使いたいいわゆるEWS(エンジニアリングワークステーション)を用いて、論理図面の情報を入力・編集することが広く行なわれ始めた。これらのシステムでは、プロッタなどの出力装置を用いて清書図面が容易に得られるばかりでなく、図面データから論理素子間の接続を抽出し、ネットリスト(論理の接続情報)を作り出すことが普通である。

こうして得られたネットリストは、論理シミュレータに直接入力することができ、シミュレーションによって論理設計が正しく行なわれているかどうかを検証する。この結果、論理に誤りがあれば論理図の修正後、再度シミュレータにより確認する。

レイアウト設計では、まず目的とする論理機能をシリコンのチップ上で実現するために必要な条件、例えばレイアウトを行ないやすいブロック単位に論理を再分割したり、論理上の素子(ゲートなど)に適切なセルを割り当てたりすることが行なわれる。

数万ゲート規模のVLSI設計を全面自動配置配線する技術が発表されているが、一方、基本となる論理ブロックの相対配置を設計者が与え、計算機によりチップの概略イメージとチップサイズを表示させて、大局的判断は人間が行なう、いわゆるフロアプランをしてから自動配置配線を行なう技術がチップエリアの有効利用の点で注目されてきた。ここで述べたレイアウト条件の指示入力、フロアプランは、マンマシンインタフェースを考慮して対話形で行なわれることが多い。

自動配置配線処理の終了後、未配線が出た場合は人手により追加修正をしてアートワーク処理を行なう。

最終的なマスクパターンが、デザインルールに違反していないか、あるいは当初の論理どおりに結線されているかどうかをレイアウトチェックプログラムにより検証する。そして正しいことが確認された後、EB装置用データなどマスク製造に必要なデータを製造部門に払い出す。

一方、製品の選別検査に用いるテストパターンは、人手により作成する場合が多い。故障シミュレータは、設計されたテストパターンのもつ故障検出率を評価し、またそのテストパターンでは、発見できない故障の一覧表を作成する。テスト設計者はこの結果をもとにして、未検出箇所を発見するためにテストパターンの追加・修正を行なう。

ところで、VLSIの世界では構造が簡単で集積密度が高く、消費電力の小さいMOS(Metal Oxide Semiconductor)技術が主流となっている。MOS特有の論理回路構成法として双方向トランスファゲート(MOSトランジスタによるスイッチ回路)、ワイヤード論理、トライステートゲートなど、MOSデバイスの特徴を生かした論理設計が一般に行なわれている。

論理シミュレータは、大規模論理回路の設計を行なう上で必要不可欠な検証ツールであるが、従来技術によるゲートレベル論理シミュレータはブール代数モデルを基礎としている。そのため、双方向トランスファゲートなどMOSデジタル回路特有の論理を正確にシミュレーションするには無理があった。

以下に、MOSデジタル回路を精度よく論理シミュレーションする手法について説明する。

3 MOSデジタル回路のモデル化と論理シミュレーション技術

一般にMOSデジタル回路では、本質的に双方向性をもつMOSトランジスタが、一般の論理ゲート(NAND, NORなど)及びROM, RAM, PLAなどの機能ブロックと混在して使

われている。図2にその一例を示す。

MOSトランジスタレベルの論理シミュレーションを高精度化する試みは、昭和54年ごろから活発になり、多数の報告がある^{1)~6)}。なかでもMIT(Massachusetts Institute of Technology)で開発されたMOSSIM⁴⁾はMOSトランジスタをスイッチとしてモデル化し、論理シミュレーションを実現したシミュレータとして広く知られている。MOSSIMは遅延計算としては個々の素子の遅れがすべて1ユニットタイムとなるいわゆるユニットディレイ方式を採用しているが、トランジスタレベルでの伝搬遅延時間計算を高精度化する試みも、LMOS II⁵⁾、RSIM⁶⁾などで行なわれている。

日立製作所はMOSディジタル回路の動作が本質的に負荷容量の充放電に基づいて、論理機能が実現されていることに着目し、論理(すなわち、基本的には“1”と“0”)の世界で、回路のふるまいをできるだけ「あるがままに」モデル化することを試みた^{7)~9)}。

3.1 MOSディジタル回路のモデル化

図2の回路で、NAND, NORなどのゲート及び図中 f で示したなんらかの論理機能をもつ論理素子は、信号が入力から出力へと一方向だけに流れ、出力側の負荷容量を充放電する能動素子である。MOSトランジスタと抵抗は、回路中の二つのノードを結び付ける双方向の受動素子であり、ノードは対基板容量を集中定数としてもつものとする。

MOSディジタル回路の構成要素のモデル化の一覧を図3に示す。

論理素子は内部抵抗をもつ電源と理想的な論理機能 f を組み合わせたモデルとして表現する。ROM, RAM, PLAなどの機能レベル素子も同様に取り扱う。MOSトランジスタはスイッチ付きの線形抵抗として表わし、こうすることによってレベルが異なる素子がすべて線形回路として表現でき、素子相互間の動作を矛盾なく解析できるようになる。

3.2 テブナンの定理の応用による解析法

テブナンの定理は、よく知られているように、対象とする回路が線形回路であればグラウンドに対してあるノードから見た回路は、電源と内部インピーダンスの直列回路として表現できることを与える(図4)。

例えば図5(a)に示すMOSディジタル回路は、図3に示したモデル化のルールにより変換すれば図5(b)のように表わせる。

この回路を例に、テブナンの定理を適用した解析法を述べる。

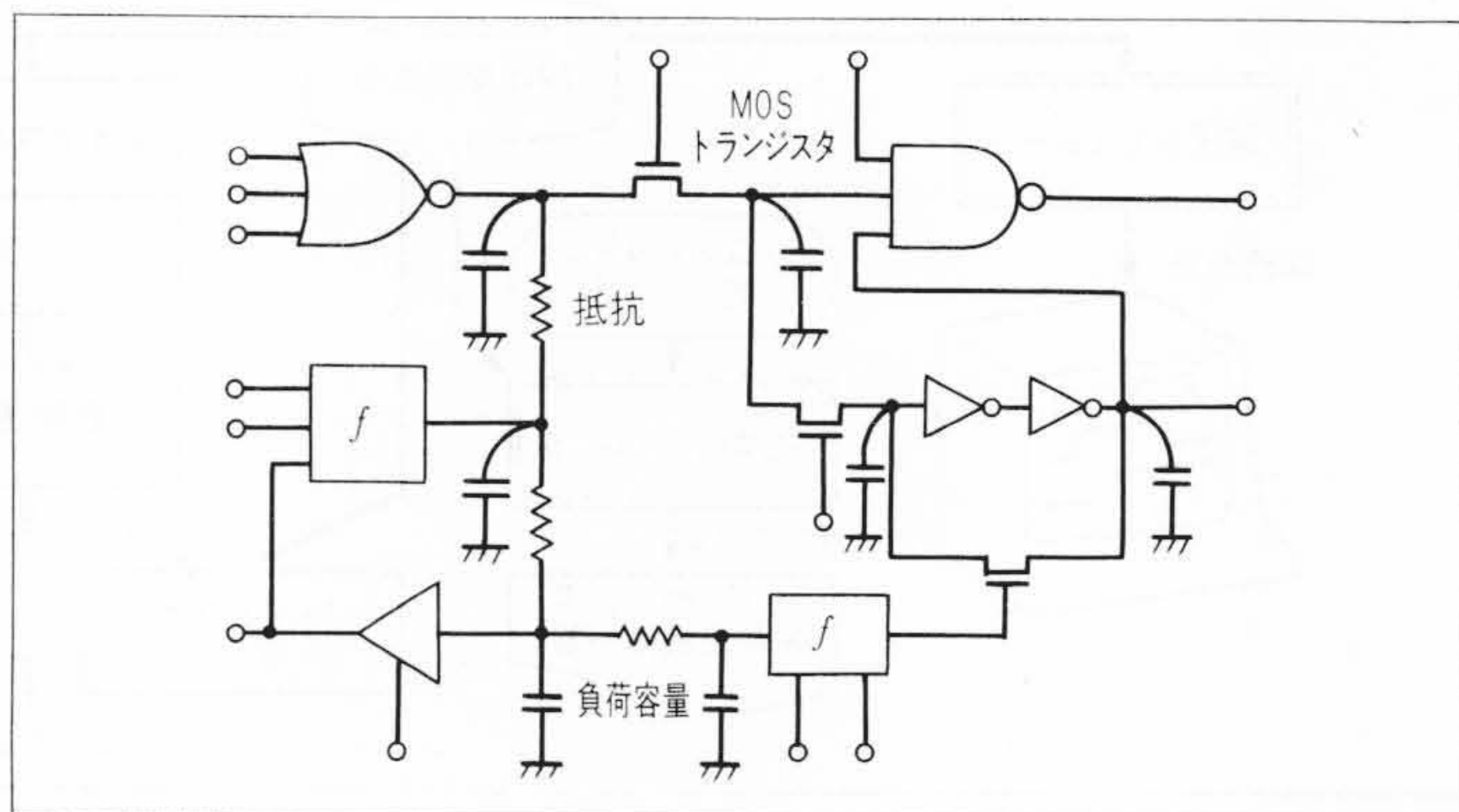


図2 MOSディジタル回路の例 一般にMOSディジタル回路では、MOSトランジスタが一般ゲート及びROM, RAM, PLAなどの機能ブロックと混在して使われている。

	素子	シンボル	モデル
能動素子	論理素子		
受動素子	抵抗		同 左
	MOSトランジスタ		
	負荷容量		同 左

図3 MOSデジタル回路の構成要素 論理素子は内部抵抗をもつ電源と理想的な論理機能 f を組み合わせたモデルとして表現する。また、MOSトランジスタはスイッチ付きの抵抗として表わす。

図5(a)で、ゲートG1の出力電圧は0Vであり、ノードN1とノードN2の電圧も0Vと安定している。このように定常状態にある回路で、ゲートG1の出力電圧が0Vから+5Vに変化したとする(この変化は図5(b)のゲートG1のスイッチの切換えに対応する)。このとき、ノードN2に注目すると、ノードN2の最終電圧とそのレベルに到達するのに要する時間(以下、ディレイ時間と呼ぶ。)は、以下の手順で計算できる(図6参照)。

(1) テブナンの定理を用い、ノードN2から見た等価回路のパラメータを計算する。ここで等価回路は、電源と抵抗の直列回路と容量の並列回路として計算する。

(2) 求めたテブナンの等価回路のパラメータから、ノードN2の最終電圧とディレイ時間は、次式で与えられる。

(a) 最終電圧=電源電圧(=+5V)

(b) ディレイ時間=比例定数 $\times$ RC時定数
($=\alpha \cdot R \cdot C$)

このように、テブナンの等価回路のパラメータは、回路の中のすべてのパラメータから計算されるため、MOSデジタル回路の動作解析を精度よく行なうことができる。

この解析法は電圧、抵抗及び容量といった電気的なパラメータを使用するが、この計算はテブナンの等価回路を解析してノードの最終電圧とディレイ時間を求めるときだけ実行すればよい。求めたディレイ時間は適当な単位時間(例えば1nsを1単位時間とする。)を設けて無次元化し、また電圧値もスレショルド値(通常電源電圧とグランドの中間値)を設定して、その上下によって“1”又は“0”を割り当てれば従来からある論理シミュレーションの技術で処理することができる。

こうすることによって、本質的に負荷容量の充放電により動作するMOSデジタル回路を「論理」の世界で精度よくシミュレーションすることができる。また、プログラム化に当たって論理状態の表現法を工夫すれば、ハイインピーダンス状態や“1”と“0”が同一ノード上で衝突するエラー状態などの検出も容易に行なえる。

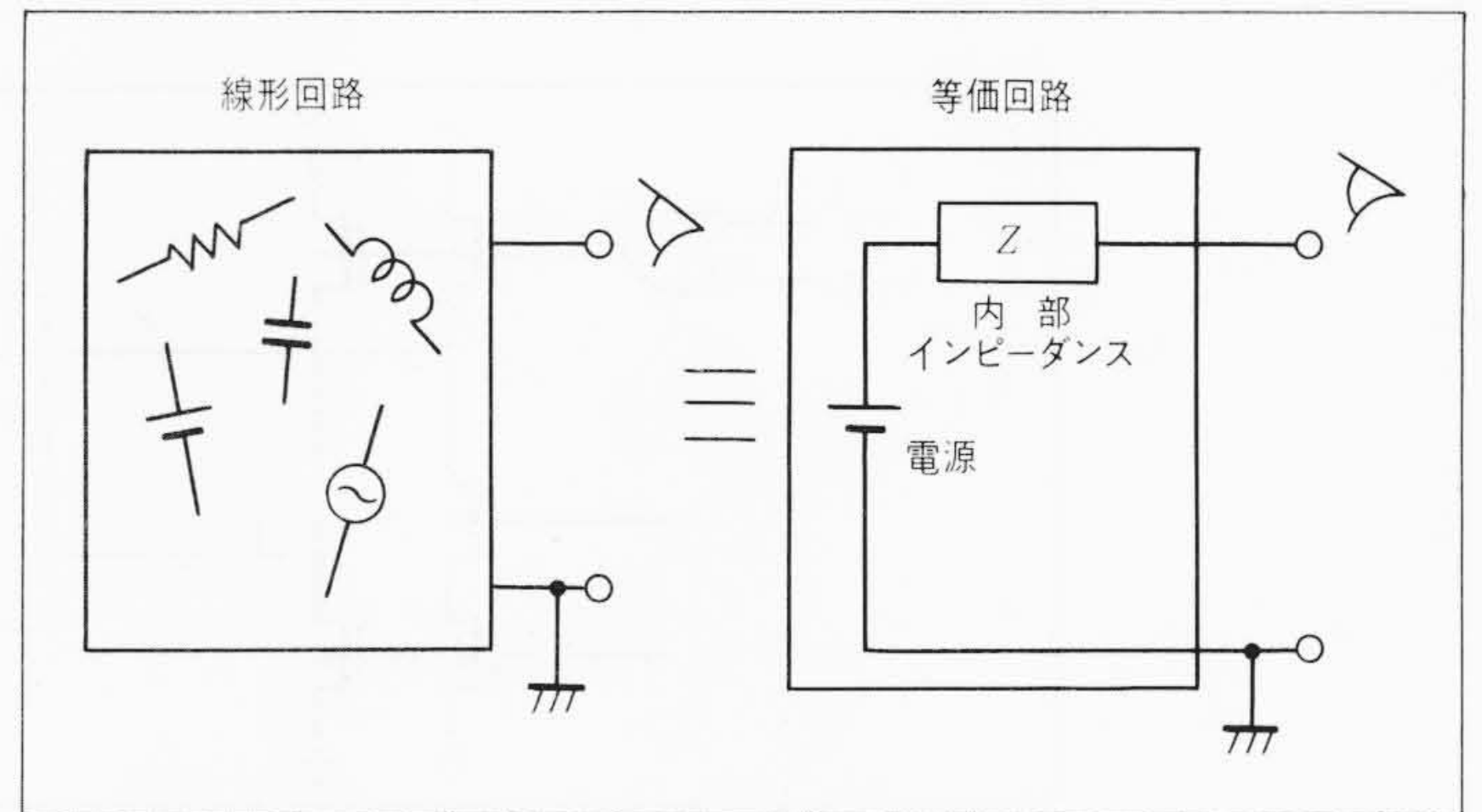


図4 テブナンの定理 テブナンの定理は、対象とする回路が線形回路であれば、グランドに対してあるノードから見た回路は、電源と内部インピーダンスの直列回路として表現できることを与える。

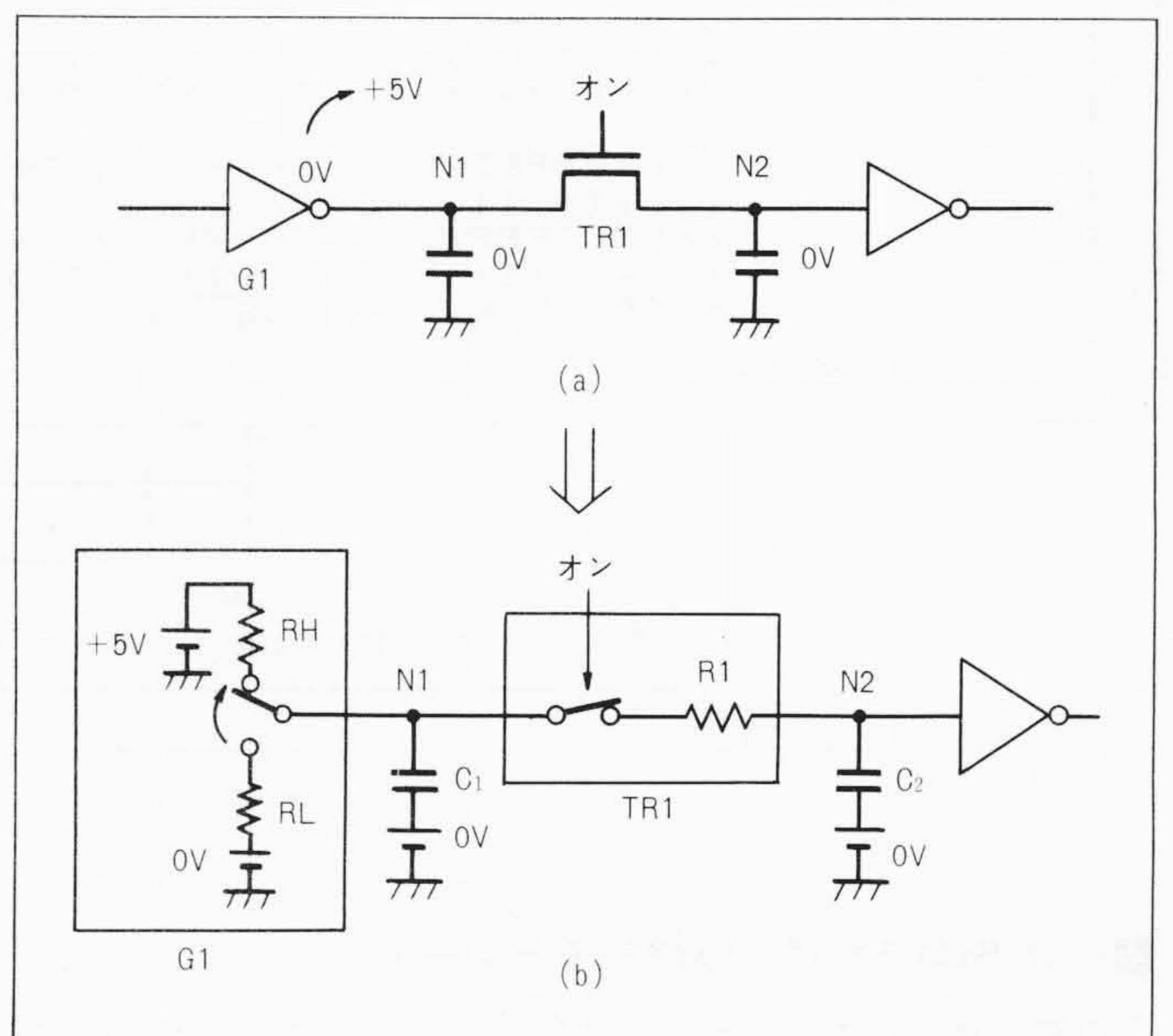


図5 MOSデジタル回路のモデル 図3に示したモデル化のルールにより変換すると、(a)に示すMOSデジタル回路は(b)のように表わせる。

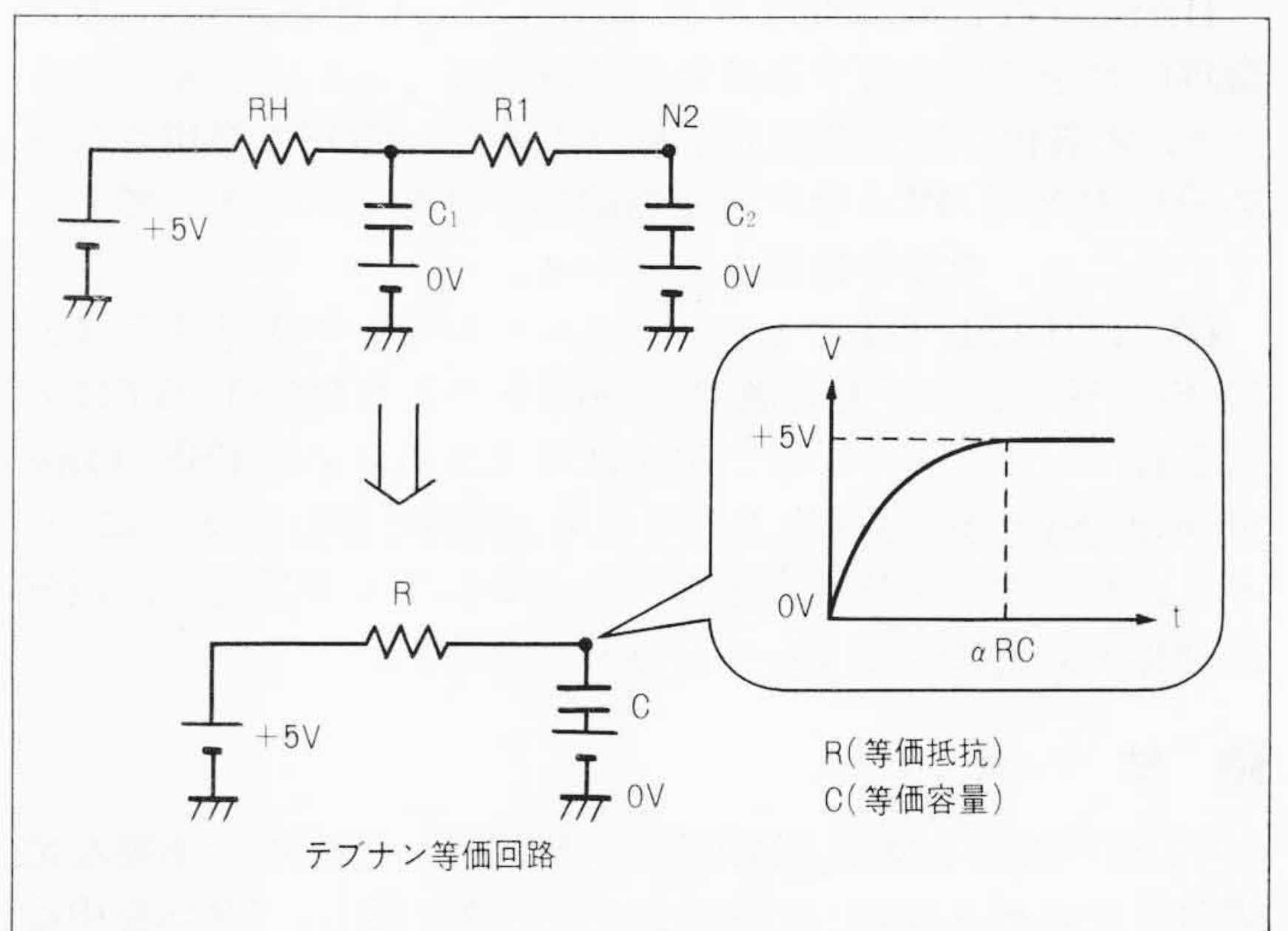
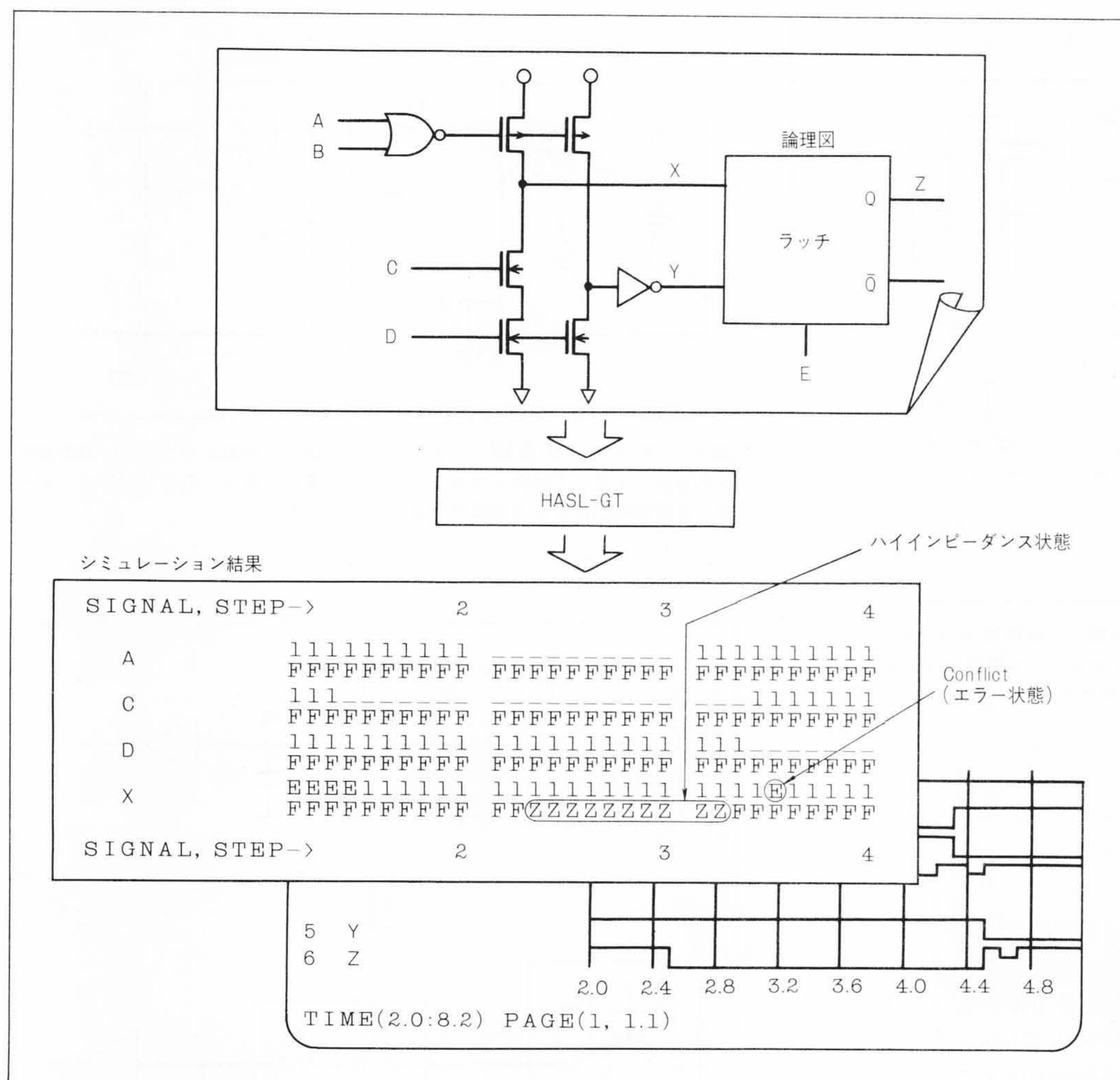


図6 テブナンの定理を応用した解析法 テブナンの定理を用い計算した等価回路のパラメータを使用し、MOSデジタル回路の動作解析を行なう。



注：略語説明
HASL-GT(Hierarchical Aids of Simulation for Logic systems-Gate & Transistor level version)

図7 HASL-GTのシミュレーション結果 MOSトランジスタ混在論理回路は、そのまま入力され、ハインピーダンス状態、出力同士のコンフリクトなど電気的動作が忠実にシミュレートされる。

4 VLSI向き論理・故障シミュレータ

3章で述べたモデル化とシミュレーション方式を用いることによって、従来のゲートレベルの論理・故障シミュレータを包含し、更にゲート及びトランジスタが混在する論理回路を直接シミュレーションできるVLSI向き論理・故障シミュレータHASL-GT(Hierarchical Aids of Simulation for Logic systems-Gate & Transistor level version)を開発した。

HASL-GTは双方向トランスファゲートなどを含むMOS論理回路を等価変換することなく直接シミュレーションすること、階層化された論理記述を許すこと、MOSで多用されるROM, RAM, PLAなどの規則論理を基本モデルとしてもっていること、などを特長としている。

図7にHASL-GTによるシミュレーションの実例を示す。MOSトランジスタ混在論理回路はそのままHASL-GTに入力され、シミュレーション結果はリストあるいはTSS(Time Sharing System)端末に表示される。同図に示したように、ハインピーダンス状態や出力同士のコンフリクトなど、電気的動作が忠実にシミュレートされている。

5 結 言

VLSIの設計を支えるDA技術の概略と、その中で重要な位置付けを占める論理・故障シミュレータに関し、MOSを中心とするVLSI論理回路を精度よくシミュレーションする手法、及びこれをベースにした論理シミュレータHASL-GTを開発した。

VLSIが大規模、複雑になるに従い、論理シミュレータをはじめ論理設計のためのツールの必要性が高まり、この分野の技術開発が進められるであろう。

参考文献

- 1) J.P.Hayes : A Logic Design Theory for VLSI, Proc. of 2nd Caltech Conf. on VLSI (Jan. 1981)
- 2) LOGIS User's Manual, ISD, Inc. Santa Clara, CA
- 3) H.N.Nham, et al. : A Multiple Delay Simulator for MOS LSI Circuit, Proc. of 17th DA Conf. (June 1980)
- 4) R.E.Bryant : MOSSIM : A Switched-level Simulator for MOS LSI, Proc. of 18th DA Conf. (June 1981)
- 5) M.E.Bush, et al. : LMOSII-A Logic Simulation for MOS Integrated Circuits, Proc. of '83 CICC
- 6) C.J.Terman : RSIM-A Logic-level Timing Simulator, Proc. of '83 ICCD
- 7) T.Takahashi, et al. : A MOS Digital Model Based on A Modified Thevenin Equivalent for Logic Simulation, Proc. of 21st DA Conf. (June 1984)
- 8) K.Eguchi, et al. : A Logic Simulation Technique for Gate/Transistor Level Circuits with Precise Delay Estimation, Proc. of ICCAD '84 (Nov. 1984)
- 9) 小島, 外 : テブナン定理を応用したMOSデジタル回路の論理シミュレーション方式, 情報処理学会第24回設計自動化研究会資料 (昭和59年11月)