

256kビット スタティックRAM “HM62256”

256k bit Static RAM “HM62256”

SRAMはアクセス時間が速くりフレッシュが不要で使いやすいといった特長をもち、OA機器の発展に伴い需要が増大している。

この需要にこたえるため、 $1.3\mu\text{m}$ Hi-CMOS技術を用いて256k SRAM HM62256を開発した。 $1.3\mu\text{m}$ プロセスと新メモリセルの採用により、メモリセルを縮小して1チップ上に160万素子を集積している。また高速低消費電力化のため、ワード線パルス駆動方式と可変インピーダンスデータ線負荷方式を開発した。

本RAMの性能は、標準条件でアクセス時間が45ns、消費電力は動作時200mW (10MHz)、待機時10 μ Wである。

山本 昌* Shō Yamamoto
谷村信朗* Nobuyoshi Tanimura
目黒 怜* Satoshi Meguro
湊 修** Osamu Minato

1 緒 言

SRAM (Static Random Access Memory)はアクセスが高速であり、リフレッシュなどの処置が不要で使いやすいといった特長がある。このため、マイクロコンピュータシステム、端末などの小規模システムをはじめとして、OA (Office Automation)機器全般に大きな需要がある。また待機時電流が小さいため、バッテリーバックアップにより不揮発性メモリとして使用することも可能である。今回新しく開発した256k SRAM HM62256は、これらの特長を生かしながら大容量化を図るため、新しい高速・低消費電力回路を導入した。またチップ上に160万素子を集積するために、 $1.3\mu\text{m}$ CMOS (Complementary Metal Oxide Semiconductor)プロセスを採用した。本論文では、これらプロセス技術、回路技術及び電気的特性について述べる。

HM62256のパッケージは28ピン標準プラスチックパッケージであり、ピン配置は64k SRAM¹⁾及び256k擬似SRAMと互換性がある(図1)。

2 $1.3\mu\text{m}$ Hi-CMOS技術

256k SRAMのメモリセルは、高抵抗負荷形メモリセルである。このメモリセルと周辺CMOS回路を組み合わせた方式は、日立製作所が4k SRAMで導入し、以後SRAMの主流技術となった。この技術はHi-CMOS技術と呼ばれている。

256k SRAMでは、現在量産中の64k SRAMの4倍の集積度を得るために $1.3\mu\text{m}$ CMOSプロセスを採用した。このプロセスではN基板内にP-ウェルを形成している。これはメモリセルの α 線ソフトエラー耐性を確保するためである。

MOSトランジスタのゲート長は $1.2\mu\text{m}$ と微細化されている。この微細加工を実現するために、5:1縮小アライナ、反応性イオンエッチング技術、大電流イオン打込装置などの新しい製造装置、製造技術を導入している。

ゲート材料には従来のポリシリコンに代え、ポリサイドを採用した。ポリサイドのシート抵抗はポリシリコンの $\frac{1}{10}$ 以下と小さく、アクセス時間に大きな影響があるワード線遅延を低減できる。回路シミュレーションの結果では、ワード遅延を従来のポリシリコンの9nsから2ns以下に低減できる。

ポリサイドはゲート以外にメモリセルのセル内GND配線にも用いられる。図2にメモリセルブロックの構成を、図3

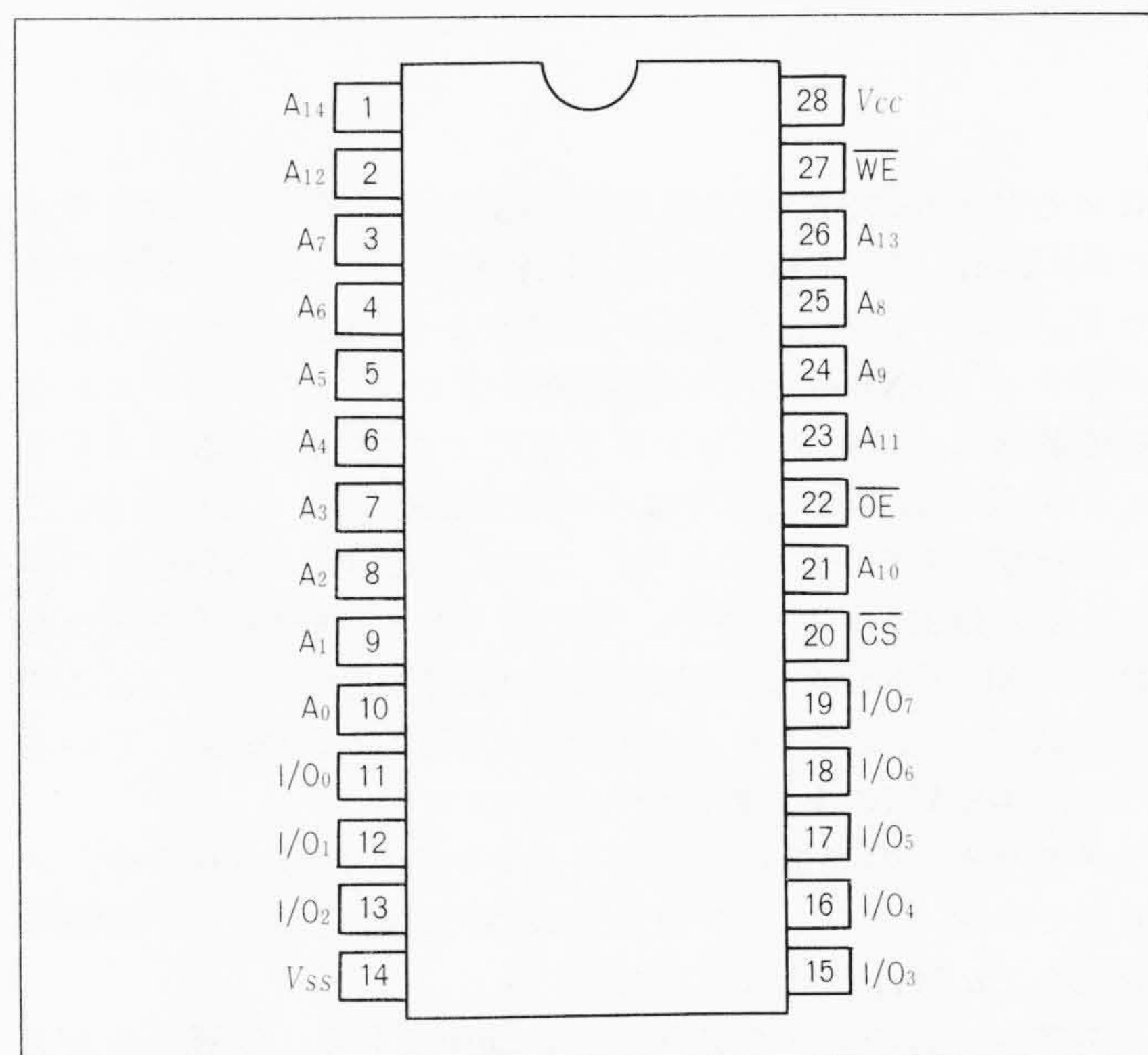


図1 HM62256のピン配置 ピン配置は64k SRAM(Static Random Access Memory)及び256k擬似SRAMとピン互換性がある。

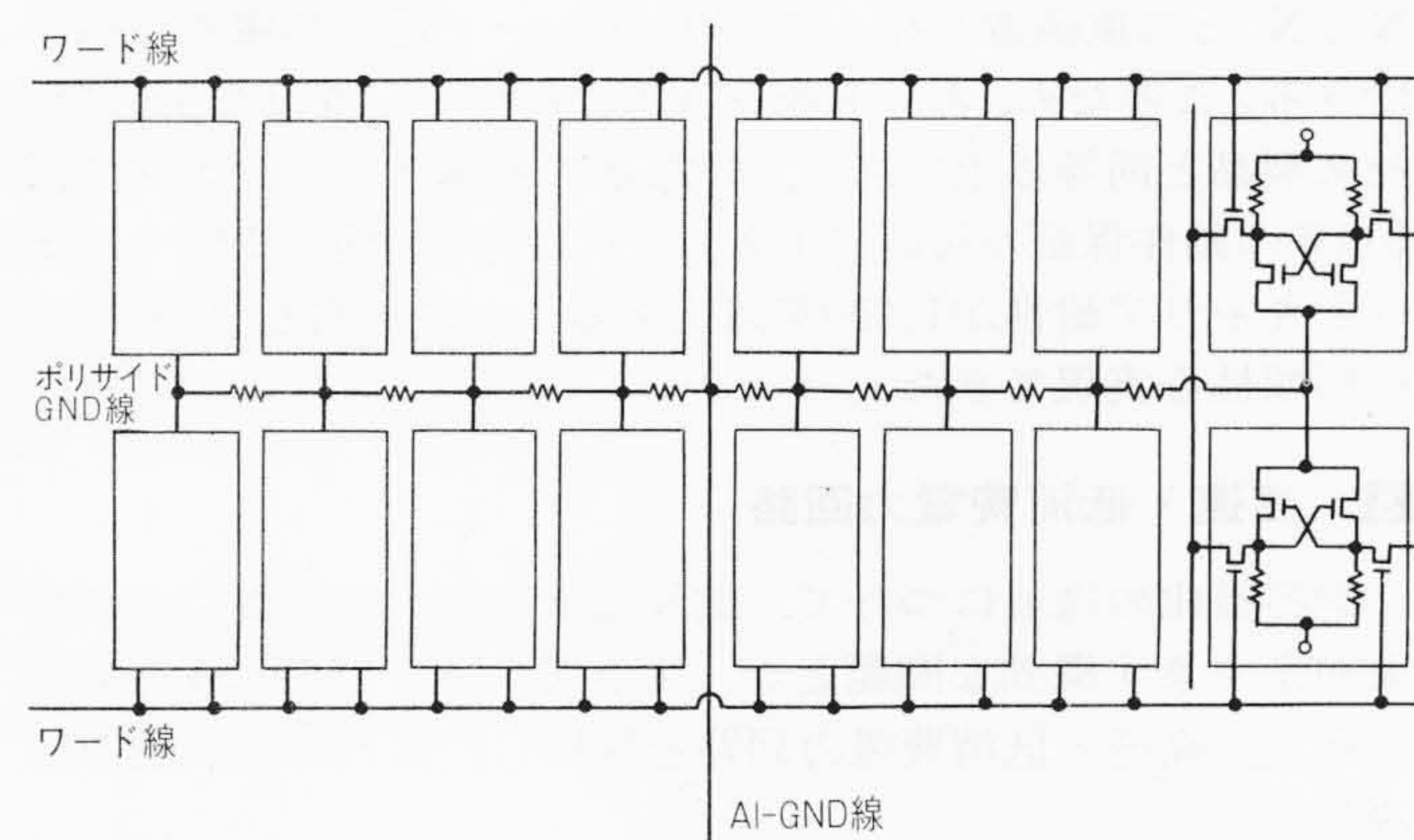


図2 メモリセルブロックの構成 メモリセルのGND線には、ポリサイドが使用される。ポリサイドGND線は8セルおきにAI-GND線に接続される。

* 日立製作所武蔵工場 ** 日立製作所中央研究所

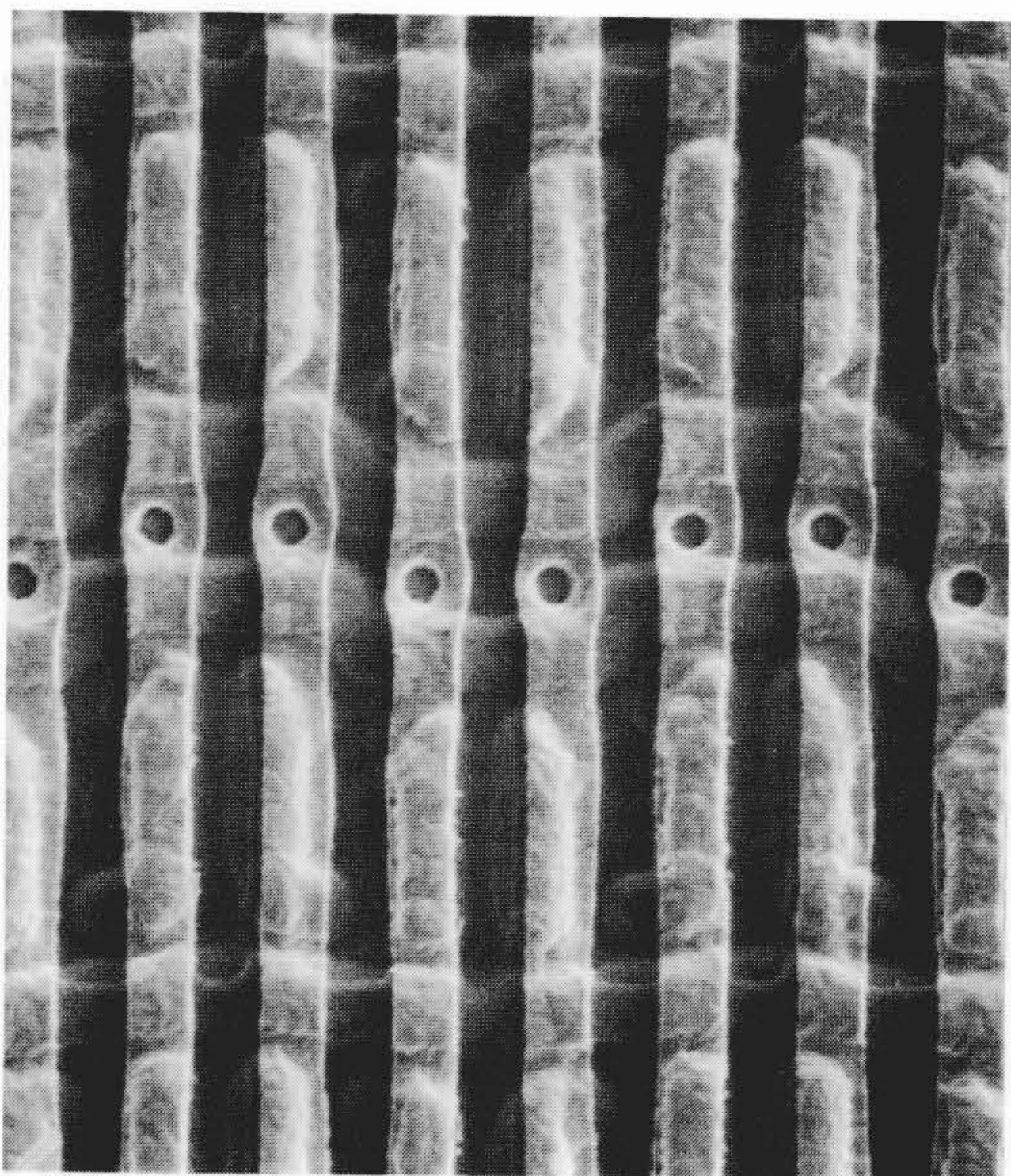


図3 メモリセルSEM写真
縦方向にデータ線が走る。横方向にワード線、ポリサイドGND線、 V_{cc} 線が走る。

倍率2,240倍

にメモリセルのSEM(走査電子顕微鏡)写真を示す。ポリサイドGND線はワード線と平行に配線され、ポリシリコンでできた V_{cc} 線の下にちょうど外から隠すように配置されている。ポリサイドGND線とセル内MOSトランジスタのソースとなる拡散層は、埋め込みコンタクトにより接続される。ポリサイドGND線は図2に示すように寄生抵抗をもっているが、この抵抗値は $16\Omega/\text{セル}$ であり、これに起因するGND電位の浮き上がりは 21mV と小さい。またポリサイドGND線を8セルおきにAlのGND線に接続し、寄生抵抗を低減している。この寄生抵抗の低減によりメモリセルGND電位が安定しているため、本RAMの V_{cc} 動作マージンは大きい。

メモリセルの高抵抗はポリシリコン中に形成されるが、メモリセルレイアウト、プロセス条件の最適化により、待機時電流を $2\mu\text{A}_{\text{typ}}$ と低減できた。

本プロセスのコンタクト径は $1.2\mu\text{m}$ である。Al層のコンタクト部カバレッジを改善するため、テーパエッチングを導入した。テーパ角度は 70° である。

MOSトランジスタの微細化の大きな障害となるホットキャリアによる特性劣化は、LDD(Lightly Doped Drain)構造により対策を講じた。LDD構造ではドレイン部の拡散層が N^- , N^+ と二重構造となっており、ドレイン近傍の電界を緩和できる。このため、ホットキャリアに対する耐性は $2\mu\text{m}$ プロセス製品と同等以上であり、 $1.2\mu\text{m}$ の単体トランジスタでは100年の動作保証が可能である。これは通常動作のLSIではホットキャリア耐性が1,000年以上あることに相当し、極めて高い信頼性を実現できた。

3 高速・低消費電力回路

大容量化の進展につれて、信号遅延の増大や消費電力の増大がますます深刻な問題となってきた。256k SRAMでは新しく高速・低消費電力回路を採用し、これらの問題を解決した。

一般にHi-CMOS形のSRAMでは、周辺回路はCMOSのため過渡電流しか消費しない。しかし、メモリセルとセンスアンプには定常電流が流れ、低消費電力化の障害となっていた。この定常電流をカットして低消費電力化を図るため、ATD(Address Transition Detection: アドレス遷移検出回路)を

利用した新回路方式を採用した。

3.1 READサイクル

READサイクルでは図4に示すワード線パルス駆動方式(Pulsed-Word-Line Technique)²⁾により高速・低消費電力化を実現した。アドレス信号の遷移が検出されるとATDパルスが発生する。このATDパルスを基準に順次内部回路が活性化される。ワード線とセンスアンプは実際に読み出しの信号が通過する時刻にだけ活性化され、それ以外の期間はOFFされる。読み出されたデータはDoutバッファにラッチされ外部に出力される。

この方式では、定常電流を消費するメモリセルとセンスアンプはパルスにより活性化されるため、ほとんどの期間は電流消費がない。したがって、平均動作電流を低減できる。また、従来ATDを使用した一部のSRAMに見られたプリチャージも必要なく、プリチャージにより発生するスパイク電流をなくせる。また、プリチャージによるアクセス時間の遅延分を高速化できる。ワード線パルス駆動方式では、データの読み出し方法自体は非同期式であり、アドレススキューやアドレスノイズに対する耐性が大きいことも特徴である。

センスアンプにはPMOS(P-Metal Oxide Semiconductor)負荷カレントミラー形アンプを用いた(図5)。このアンプは、入力レベルの変動に対して安定した利得を得られる。もともと非対称なカレントミラー形アンプを2個対称に用いて、真情報(data)と反転情報($\overline{\text{data}}$)を同時に増幅しているため高速である。センスアンプの入力信号となるコモンデータ線は、ATDクロックによりイコライズされ高速化に寄与している。

3.2 WRITEサイクル

顧客で広く用いられている書き込みタイミングを保証するためには、WRITE時にワード線パルス駆動方式を使用できない。このため、新しく可変インピーダンスデータ線負荷方式を採用した。図6にメモリセルとデータ線付近の回路図を示す。READ時はデータ線負荷のすべてのMOSトランジスタがONしてREAD動作に最適のインピーダンスとなる。WRITE時には $\overline{\text{WE}} \cdot \text{CS}$ と $\text{WE} \cdot \text{CS}$ という二つの信号により負荷を制御し、 Q_1 , Q_2 , Q_3 , Q_4 を除いてMOSトランジスタをOFFさせる。このため、データ線負荷を流れる電流を大幅に低減できる。図7にWRITEサイクルのタイミング図を示す。WRITE時にはセンスアンプはOFFされているため、RAM全

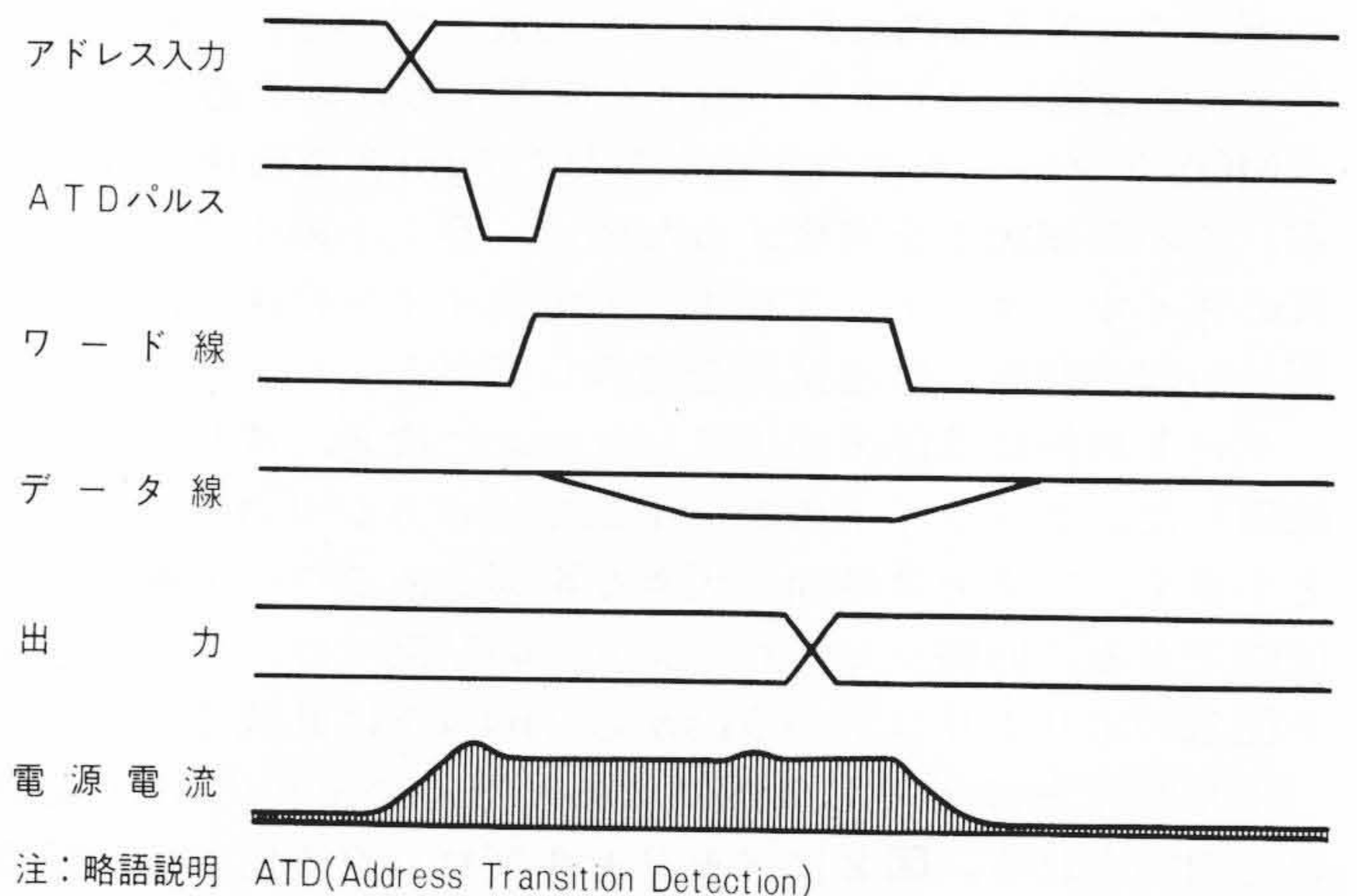


図4 ワード線パルス駆動方式タイミング図 アドレス入力の遷移を検出して、ワード線はパルスで活性化される。データが読み出されたあと、ワード線は立ち下げられ電源電流は減少する。

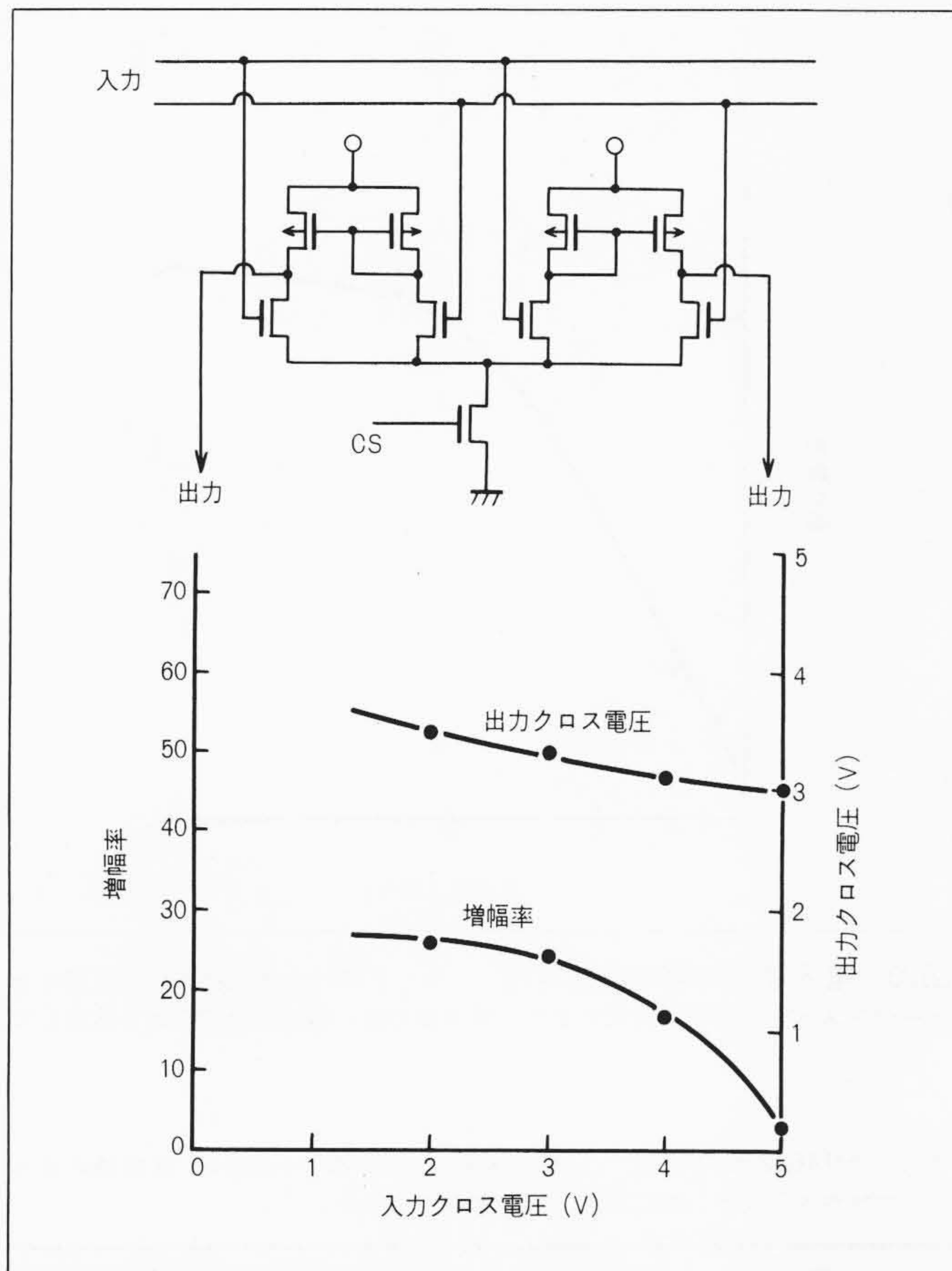


図5 センスアンプ回路 PMOS負荷カレントミラー形センスアンプを対称に配置している。入力クロス電圧3V付近が使われる。

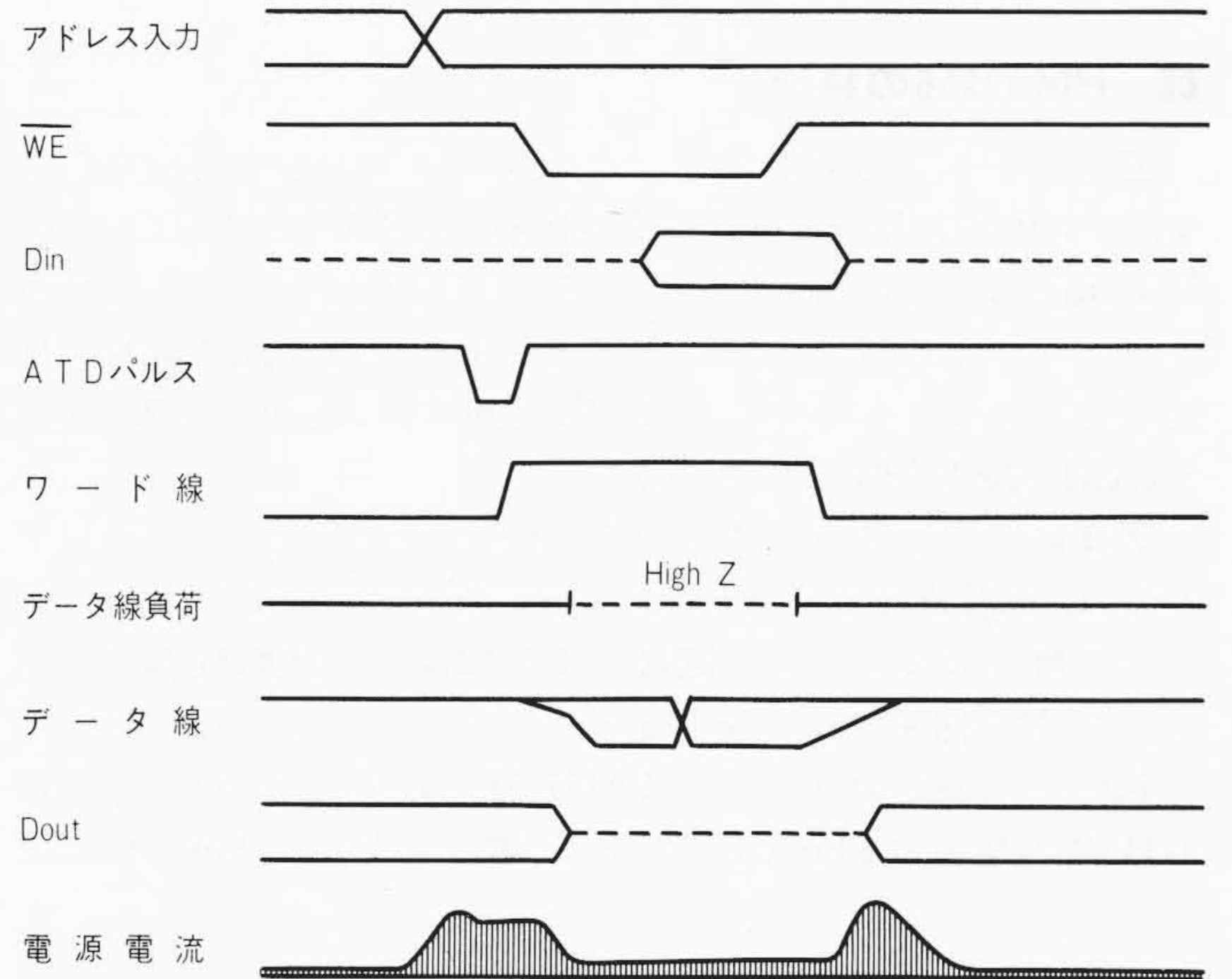


図7 WRITEサイクルタイミング図 WRITE時、 $\overline{WE}$ がLOW状態になると、データ線負荷のインピーダンスが高くなり、電源電流が減少する。

体でも定常電流消費は極めて小さい。

このようにHM62256ではATDを用いることにより、READサイクルとWRITEサイクルの定常電流をそれぞれ最適な方法で低減している。また定常電流以外の電流、すなわち周辺回路のCMOSインバータの過渡電流も、インバータ負荷の低減、シミュレーションによる最適定数の設定により低減している³⁾。

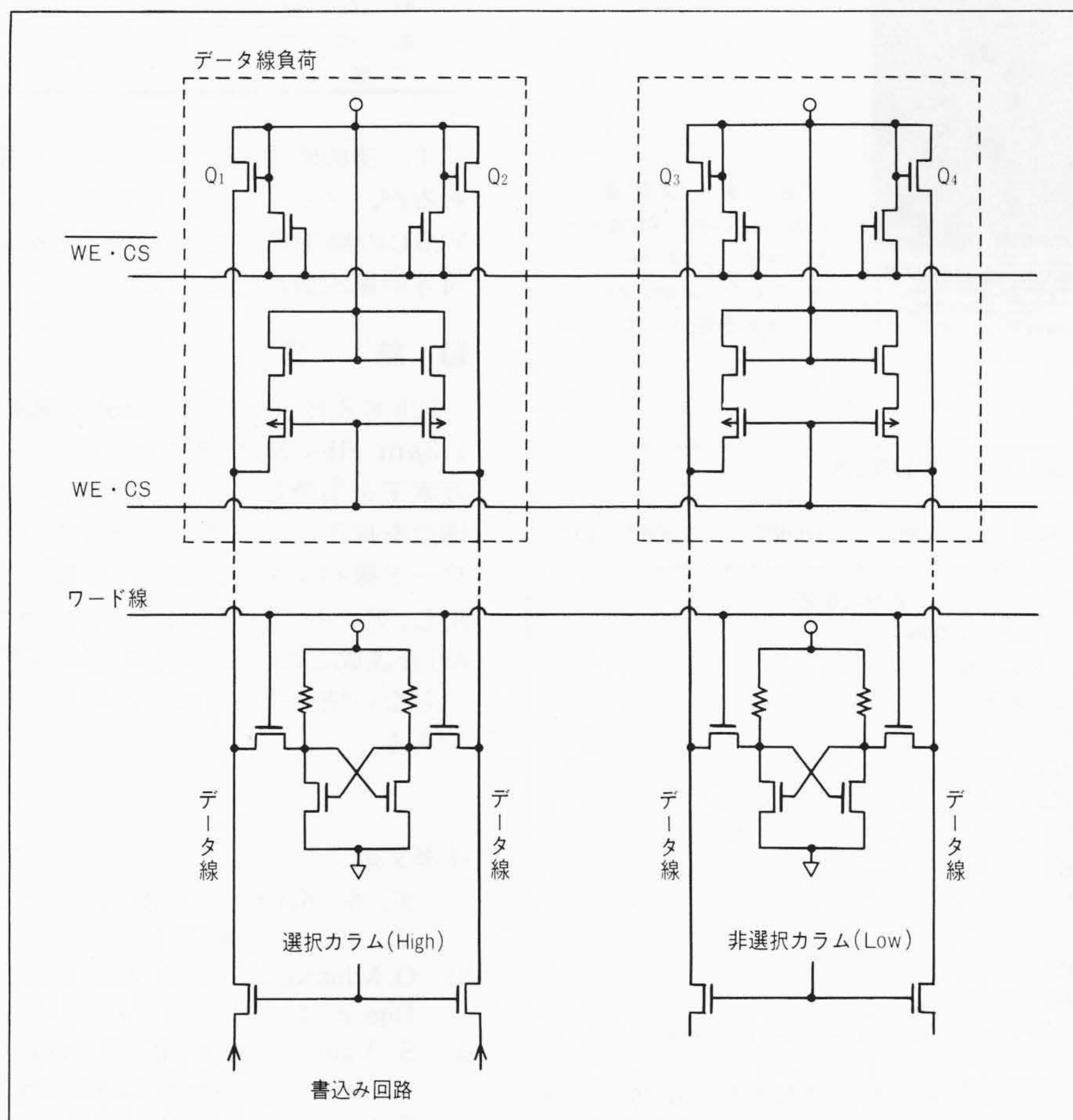


図6 メモリセルとデータ線負荷回路 データ線負荷は $\overline{WE} \cdot CS$ と $WE \cdot CS$ の信号により、インピーダンスを制御される。書き込み時は Q_1 , Q_2 , Q_3 , Q_4 だけがON状態になる。

4 HM62256の特性

図8にチップ写真を示す。チップサイズは4.98mm×9.16mmで600mil, DIP (Dual In Package) とSOP (Small Outline Package) に封入可能である。メモリアレイは4マットに分割され, ワード線遅延の低減とメモリセル消費電流の低減を果たした。メモリセルサイズは, 7.4μm×12.8μmと従来の64k SRAMの32%(当社比)と小さい。

図9にアクセス時間の電源電圧依存性を示す。このサンプルでは, 電源電圧5V, 周囲温度25℃の標準条件でアドレスアクセス時間46nsを示す。図10に電源電流の周波数依存性を示す。ATDの採用により定常電流を削減したため, 周波数の低い領域で電流が減少する。1MHz時の電流は8mA typ, 10MHz時の電流は40mA typである。表1にHM62256の特性を

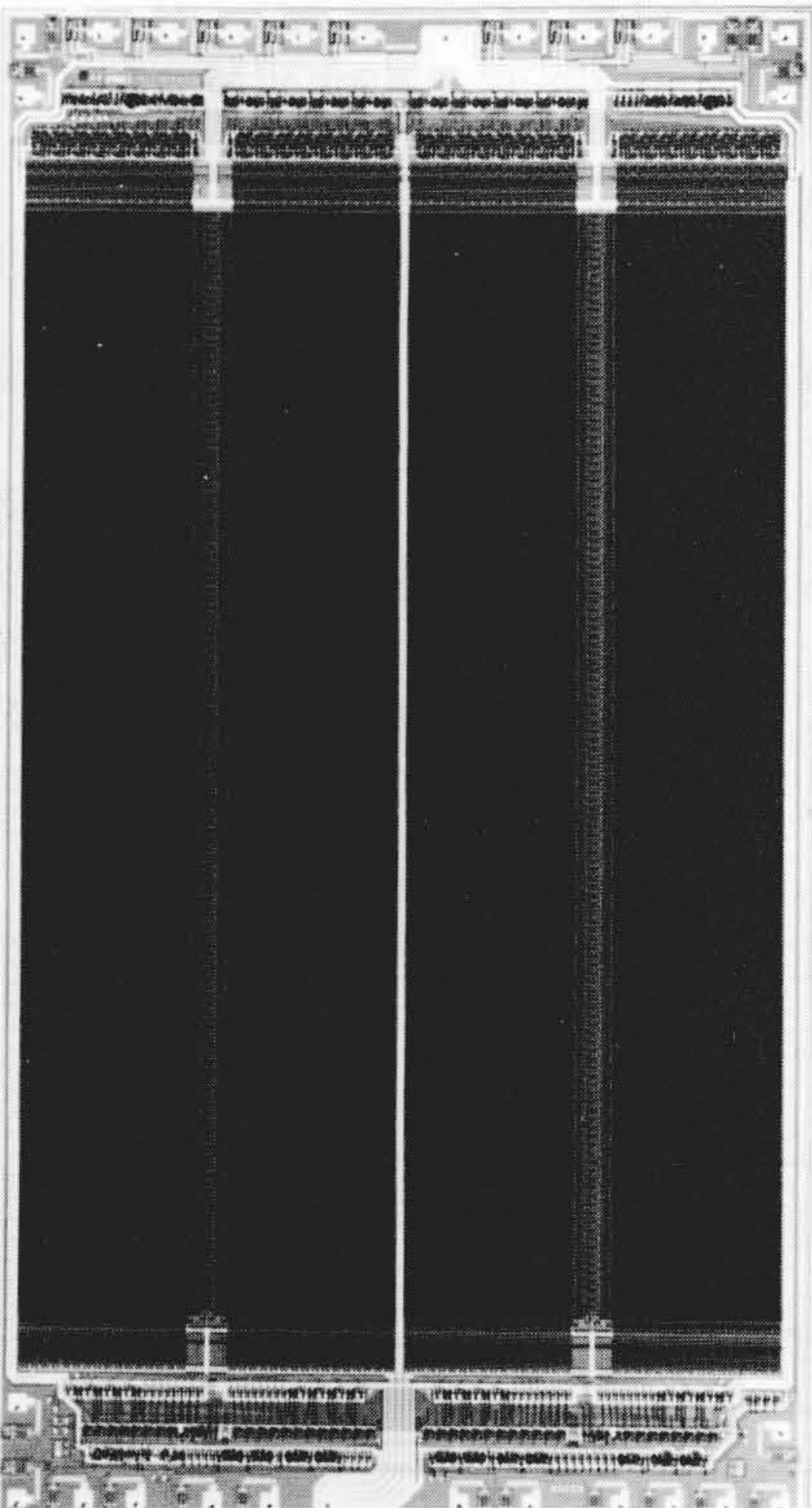


図8 チップ写真
HM62256のチップ写真を示す。チップサイズは4.98mm×9.16mmである。メモリアレイは4マットに分割されている。

VIN=2.4V/0.8V, VREF=2.0V/0.8V						
	40NS	60NS	80NS	100NS	120NS	TAA
VCC	+-----*	+-----*	+-----*	+-----*	+-----*	
3.500V	P	84.00NS				
3.750V	P	68.00NS				
4.000V	P	60.00NS				
4.250V	P	56.00NS				
4.500V	P	52.00NS				
4.750V	P	48.00NS				
5.000V	...P	46.00NS				
5.250V	..P	44.00NS				
5.500V	..P	44.00NS				
5.750V	..P	44.00NS				
6.000V	..P	44.00NS				
6.250V	..P	44.00NS				
6.500V	..P	44.00NS				
	+-----*	+-----*	+-----*	+-----*	+-----*	

図9 アクセス時間の電源電圧依存性 周囲温度25℃, Vcc = 5V時にアドレスアクセス時間TAAは46nsを示す。図中のPは, Pass領域を示す。

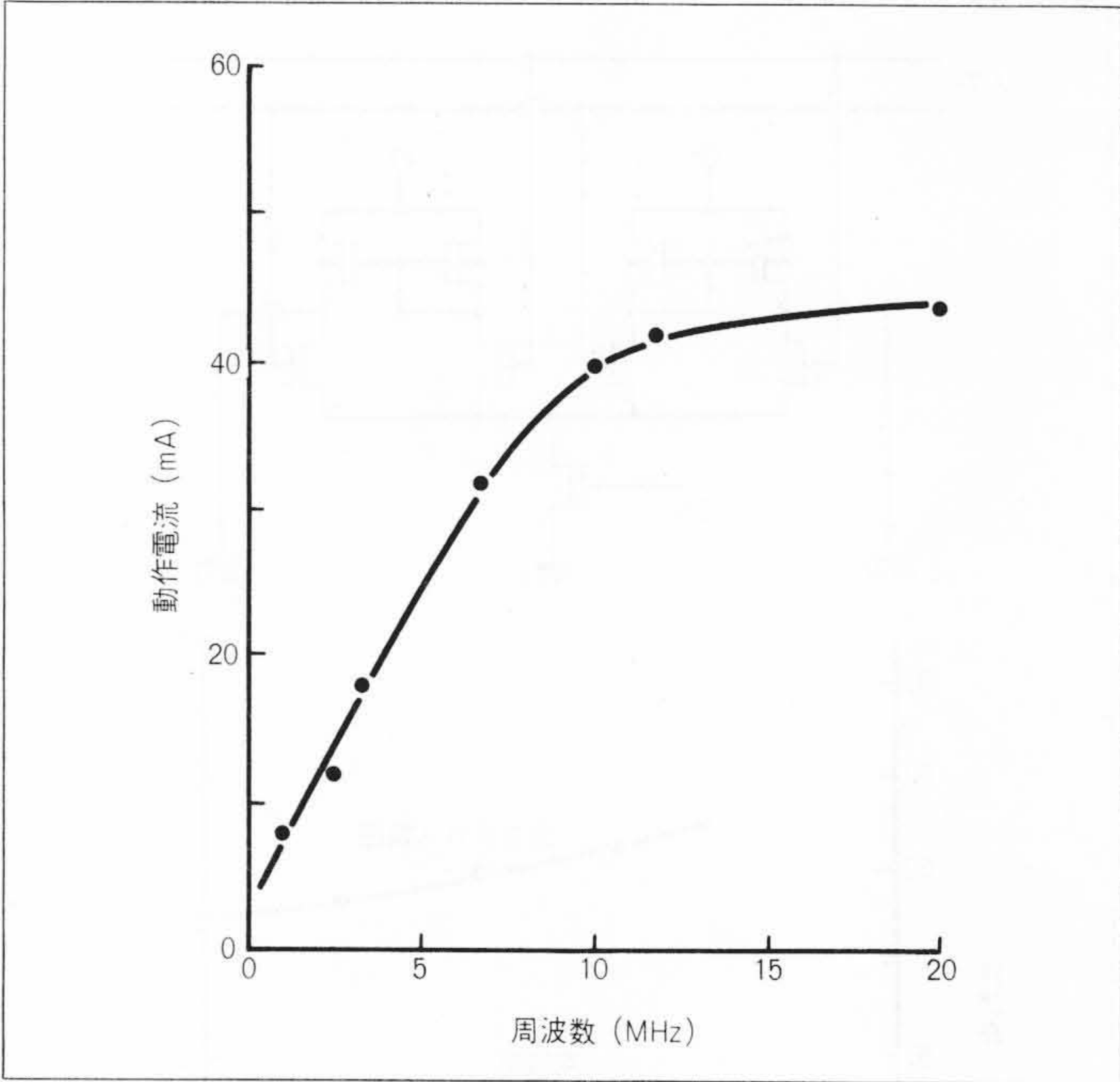


図10 電源電流の周波数依存性 ワード線パルス駆動方式, 可変インピーダンスデータ線負荷方式により, 周波数の低い領域で電源電流を低減した。

表1 HM62256の特性 8k×8形64k SRAM HM6264と互換性のある電氣的特性を示すが, 更に高速・低消費電力である。

項 目	特 性
ビット構成	32kワード×8ビット
電源電圧	5V±10%
I/Oインタフェース	TTL
アクセス時間(保証値)	85ns・100ns・120ns
動作電流(10MHz)	40mA typ
動作電流(1MHz)	8mA typ
待機時電流	2μA typ

示す。待機時電流はメモリセルの高抵抗を流れる電流が主であるが, メモリセルレイアウトとプロセスの改善により, 5V25℃の標準条件で2μAtypと64k SRAM HM6264とほぼ同等の電流値が得られている。

5 結 言

32k×8ビット構成の256k SRAM HM62256を開発した。1.3μm Hi-CMOSプロセスの採用により, 1チップ上に160万素子を集積している。1.3μmプロセスでは, NMOSにLDD構造を採用し, 高信頼性を得ている。また新回路技術としてワード線パルス駆動方式, 可変インピーダンス負荷方式を採用し, アクセスタイム45ns typ, 消費電力40mW typ(1MHz時)を達成した。この高速・低消費電力特性とリフレッシュのいらない使いやすさは, 小規模システム用メモリとして最適である。

参考文献

1) 湊, 外: 64kビットCMOSスタティックRAM, 日立評論, 64, 7, 497~502(昭57-7)
2) O. Minato, et al.: A 20ns 64k CMOS SRAM, ISSCC Digest of Technical Papers, p. 222~223(Feb. 1984)
3) S. Yamamoto, et al.: A 256k CMOS SRAM with Variable Impedance Loads, ISSCC Digest of Technical Papers, p. 58~59(Feb. 1985)