

256kビットCMOS EPROM “HN27C256”

256k bit CMOS EPROM “HN27C256”

OA機器の高機能化・多機能化に伴い、より高集積で高性能なEPROMの需要が増大している。

この要求にこたえるため、最新の1.8 μ m CMOS技術を採用した256kビットCMOS EPROMを開発した。

高電圧供給回路にポリシリコンPMOSを採用し、高効率書込み回路と組み合わせることにより、ラッチアップ強度を向上させた。同時に、高度ワードドライバ回路を採用し、高速・低消費電力化を実現した。

本EPROMの性能は、標準条件でアクセス時間が95ns、消費電力が動作時12mW、スタンバイ時0.5 μ Wである。

書込み電圧は、業界標準の12.5Vで、高速書込み方式を採用している。

高橋秀明*
小森和宏*
内堀清文**

Hideaki Takahashi
Kazuhiro Komori
Kiyofumi Uchibori

1 緒 言

EPROM (Erasable and Programmable Read Only Memory)は、端末、制御機器などの固定データ記憶用メモリとして広く使われている。近年、システムの高度化につれて、必要とされる記憶容量は増加の一途をたどっており、アクセスタイムも、より高速化することが求められている。

また、マイクロコンピュータシステムの応用範囲がポータブル機器の分野まで広がってゆくにつれて、EPROMへの低消費電力化への要求も強まっている。

これらの要求にこたえるため、高速・低消費電力256kビットCMOS(Complementary Metal Oxide Semiconductor), EPROM¹⁾(HN27C256)を開発した。

表 1 にその主要特性を示す。

本論文では、HN27C256に採用したデバイス技術、回路技術及び電気的特性について述べる。

2 デバイス設計

本製品は、1.8 μ m Nウェル CMOSプロセスを採用した。これは64k CMOS EPROM(HN27C64)で実績のある2.0 μ m CMOSプロセス²⁾に、更に改良を加えたものである。

2.1 EPROMのCMOS化とラッチアップ

EPROMをCMOS化する場合、最も留意しなければならない点はラッチアップ対策である。従来、SRAM(Static Random Access Memory)などのCMOSでは、入出力ピンに加わるノイズがトリガとなるラッチアップが問題となっていた。それに対してEPROMの場合は、書込み時の基板電流がトリガとな

表 1 HN27C256の主要特性 256k CMOS EPROM(HN27C256)の特性を示す。

項 目	特 性
メ モ リ 構 成	32kワード×8ビット
ア ク セ ス 時 間	95ns(typ.)
動 作 電 流	2.3mA/MHz(typ.)
ス タ ン バ イ 電 流	0.1 μ A(typ.)
プ ロ グ ラ ム パ ル ス 幅	0.3ms(typ.)
V_{pp} max	16V以上
チ ッ プ サ イ ズ	21.4mm ²

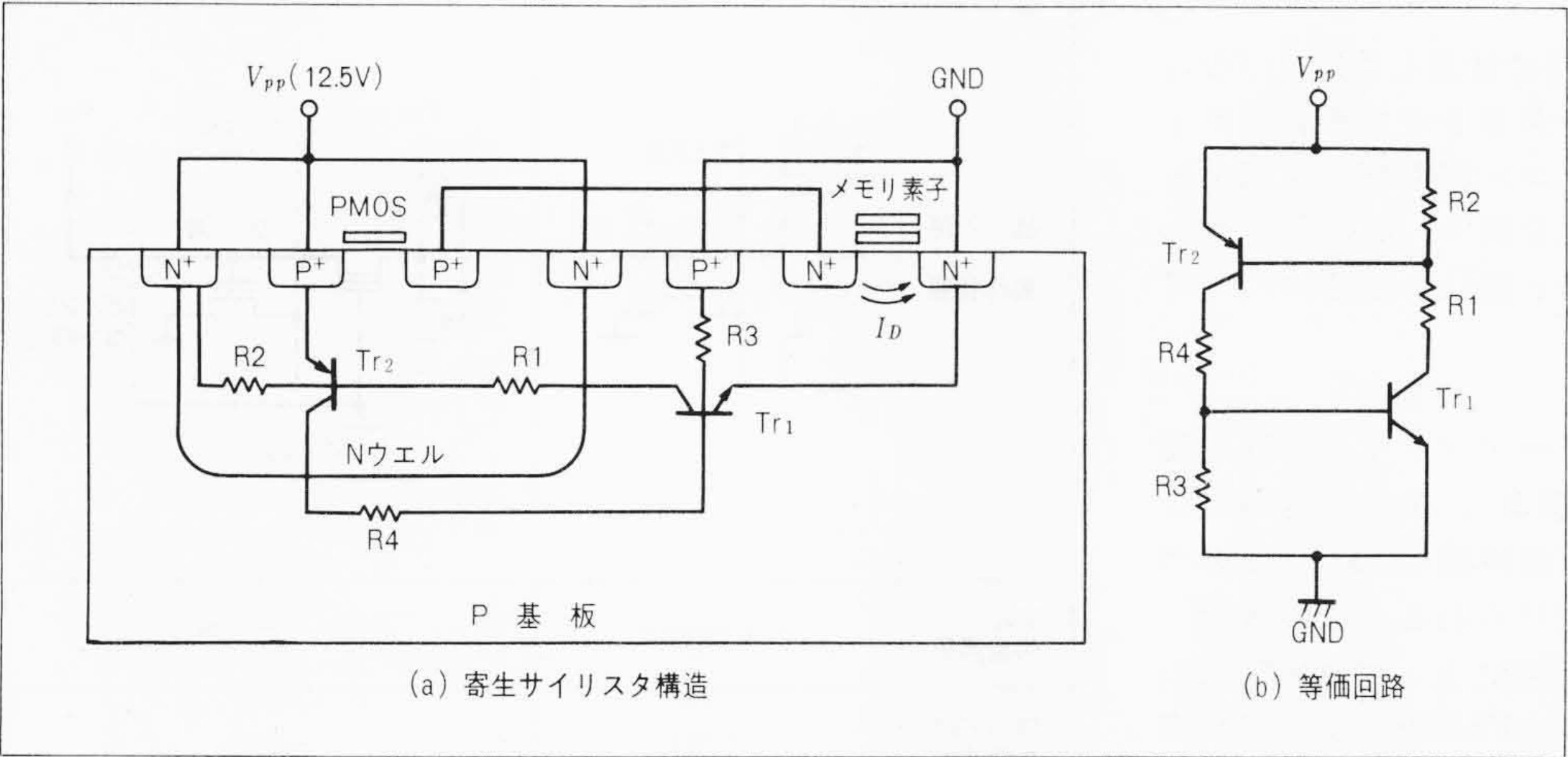


図 1 ラッチアップ原理図 CMOSデバイスでは、同一チップ内にPMOS、NMOSが形成されるため、寄生サイリスタ構造ができ、ラッチアップを起こす。

* 日立製作所武蔵工場 ** 日立製作所武蔵工場 工学博士

るラッチアップへの対策が重要となる。図1にラッチアップの原理を示す。書込み時、メモリ素子には、大きな書込み電流 I_D が流れ、その一部が基板電流となる。この電流は、寄生トランジスタ Tr_1 のベースバイアスとなり、 Tr_1 をONさせる。 Tr_1 のコレクタ電流は、 R_2 を介して電源から流れ込むため、N-ウェル中の寄生トランジスタ Tr_2 のベースバイアスとなり、 Tr_2 もONする。その結果、 Tr_1 と Tr_2 によって形成される寄生サイリスタがONし、高圧電源 V_{pp} からGND(Ground)へ多大な電流が流れる。電流を切ると回復するが、場合によってはチップ内のAl配線が溶断し素子破壊に至る。これがラッチアップ現象である。

耐ラッチアップ強度向上のためには、十分なコンタクトによる基板及びウェル電位の固定、レイアウト上の工夫による寄生トランジスタの電流増幅率 h_{fe} の抑制などが行なわれている。しかし、プロセス微細化を進めてゆく上で上記対策には限界があり、デバイス構造上の根本的対策が必要となる。そこで本製品では、ラッチアップ対策のキーデバイスとして、書込み時に使われる高電圧供給回路のPMOSにポリシリコンPMOSを採用した。

2.2 ポリシリコンPMOS

図2にポリシリコンPMOSの断面構造を示す。本デバイスは酸化膜上のポリシリコン配線を利用して形成している。ソース・ドレイン領域は、イオンインプランテーションにより形成した。ソース・ドレインに不純物ドーパされない領域を残し、これをMOS(Metal Oxide Semiconductor)トランジスタのチャネルとする。チャネルの導電率は、ポリシリコンの下に薄い酸化膜を通して、ウェルの電位で制御する。

ポリシリコンPMOSのP⁺領域は、基板から完全に分離されているため、NMOSとの間で寄生サイリスタはできない。したがって、本デバイスでラッチアップフリーな回路が実現できる。電圧電流特性を図3に示す。書込み時、ポリシリコンPMOSのドレイン及びゲートに、それぞれ12.5V、0Vの電圧がかかり、2 μ Aのドレイン電流が得られる。これは、ワード線チャージアップに十分な能力である。読出し時には、ドレイン及びゲートに5Vの電圧がかかり、ドレイン電流は0.2nAになる。この条件では、他の回路に全く影響を与えなくなる。

このほかにポリシリコンPMOSの特徴として挙げられるのは、基板から分離されているのでレイアウトの自由度が高いことである。

3 回路設計

CMOS EPROMの回路設計時に、特に留意しなければならないのは、CMOS回路と高圧系回路を共存させた場合のラッチアップ対策である。以下、ポリシリコンPMOSを採用することにより、ラッチアップ特性の向上を図り、高速化も合わせて実現した高速ワードドライバ回路と書込み回路について述べる。

3.1 高速ワードドライバ回路

図4、5に本製品で採用した高速ワードドライバ回路を従来の回路と比較して示す。書込み時(図4)、従来の回路では選択ワード線電位は、ワードドライバ最終段のCMOSインバータのPMOSによって高電圧に引き上げられる。この場合、PMOSのソース電位は V_{pp}/V_{cc} 切換回路によって高電圧に引き上げられている。このように基板中のPMOSによって高電圧を供給することには、ラッチアップの危険があり、その対策にはエピウェーハの使用が望ましい³⁾。

一方、ポリシリコンPMOSを使った回路では、ワードドラ

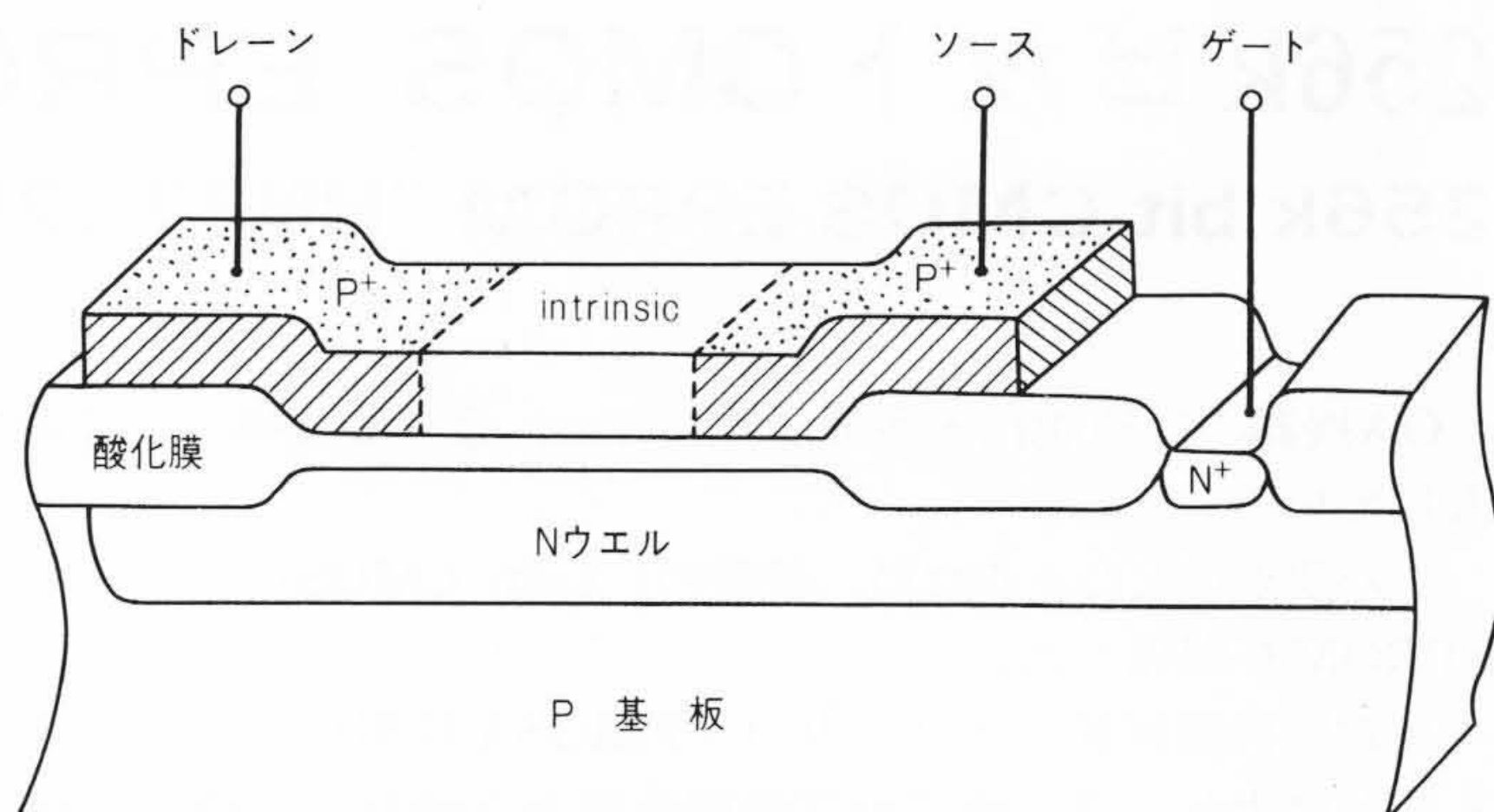


図2 ポリシリコンPMOSの断面構造 酸化膜上のポリシリコン配線に、P⁺-intrinsic-P⁺構造を形成して、intrinsic領域の導電率をウェル電位で制御することによって、MOS動作を行なう。

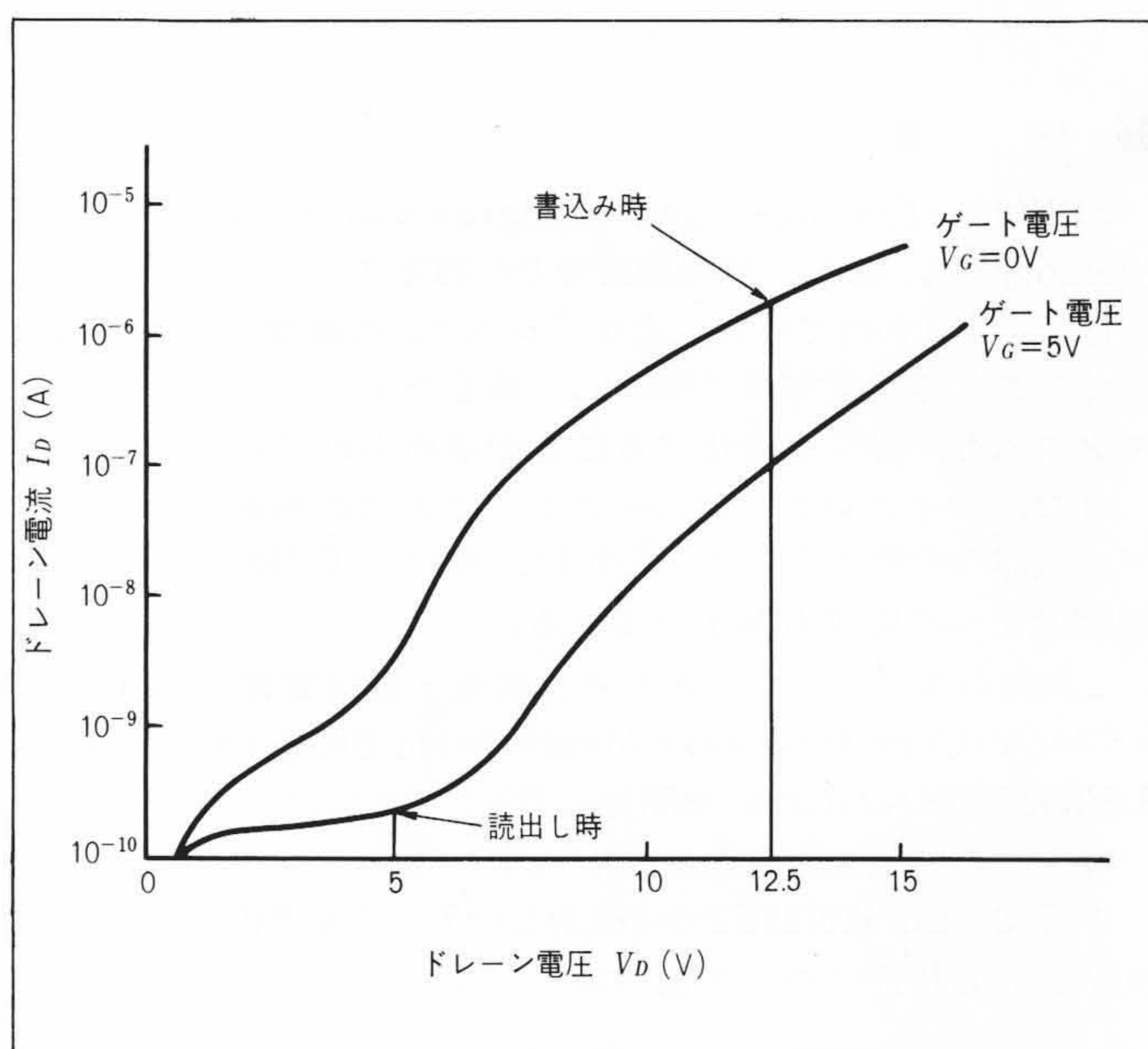


図3 ポリシリコンPMOSの電圧電流特性 書込み時のドレイン電流は2 μ A、読出し時は0.2nAになる。

	従来回路	ポリシリコンPMOS回路
回路動作状態		
V_{pp} 供給素子	バルクPMOS	ポリシリコンPMOS
ワード線充電速度	$\sim 1\mu s$	$\sim 10\mu s$

図4 高速ワードドライバ回路(書込み時動作) 書込み時ポリシリコンPMOSによって、ワード線に高電圧が供給される。

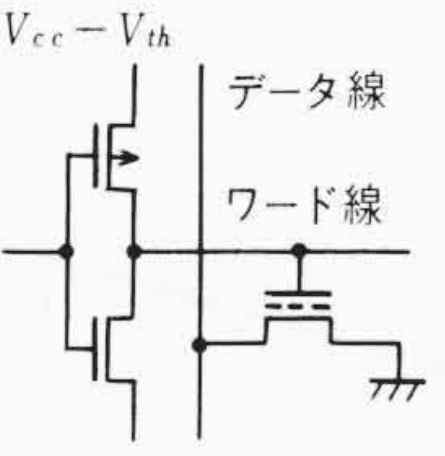
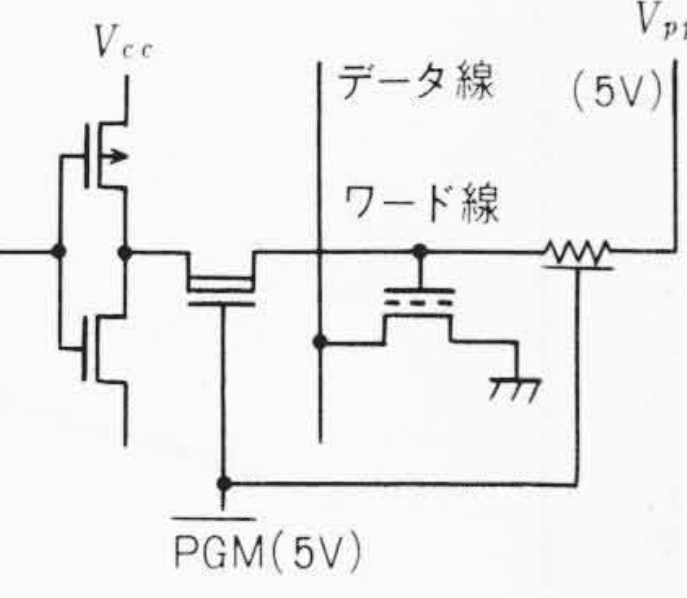
	従 来 回 路	ポリシリコンPMOS回路
回 路 動作状態		
ワード線 レベル	$V_{cc} - V_{th}$	V_{cc}
ワード線 立 上 り 速 度	40ns	25ns

図5 高速ワードドライバ回路(読出し時動作) 読み出し時ポリシリコンPMOSは、PGM信号によりカットオフされ、回路動作になにも影響を与えない。

イバの最終段が高電圧に引き上げられることはない。選択ワード線は、ワード線遠端のポリシリコンPMOSから高電圧を供給し、書き込み電位に引き上げられる。このときワードドライバの出力は、中間DMOSによりワード線から切り離されていて、高電圧は印加されない。したがって、この回路ではエピウェーハを使わずに、ラッチアップに強い製品が実現できる。

ポリシリコンPMOSの電流能力は、バルクPMOSに比べて小さいが、書き込み時のワード線充電には十分である。

図5に読み出し時の動作を示す。ポリシリコンPMOSの回路では、PGM信号と V_{cc} 電源は共に V_{cc} レベルになっている。この状態では、ポリシリコンPMOSは完全にカットオフされ、ワード線電位になんら影響を与えない。したがって、ワード線電位は、ワードドライバの出力ハイレベルである V_{cc} まで達する。それに対して、従来の回路では、ワードドライバの最終段の電源は、 V_{pp}/V_{cc} 切換回路から供給されるため、ワードドライバ最終段の出力ハイレベルは $V_{cc} - V_{th}$ までしか達せず、選択ワード線の電位も、そのレベルまでしか到達しない。これは切換回路のスイッチMOSの電圧降下のためである。ワード線レベルの低下は、ワード線切換速度の低下、すなわち読み出し速度の遅延につながる。本製品ではこのレベル低下が生じないため、約15ns読み出し速度が向上した。

3.2 書き込み回路

図6にFAMOS(Floating gate Avalanche-injection Metal Oxide Semiconductor)の書き込み特性を示す。FAMOSのドレイン電圧 V_D と V_{th} の変化値 ΔV_{th} の関係を、書き込み時間 T_{pw} をパラメータとしてプロットしたものである。安定した読み出し動作を行なうためには、 ΔV_{th} は3V以上必要である。そのためには同図から明らかなように、書き込み動作点をアバランシェ領域に設定しなければならない。しかし、この領域で書き込みを行なうと、多大な基板電流が発生し、ラッチアップの引金となり得る。そこで本製品では、ポリシリコンPMOSと内部昇圧回路を併用し、耐ラッチアップ特性及び書き込み効率に優れた回路を実現した。図7に書き込み回路を示す。書き込み効率を向上させるために、内部昇圧回路を使って、 V_{pp} 電圧を4.5V昇圧して、その昇圧電圧をY系セレクト信号及びデー

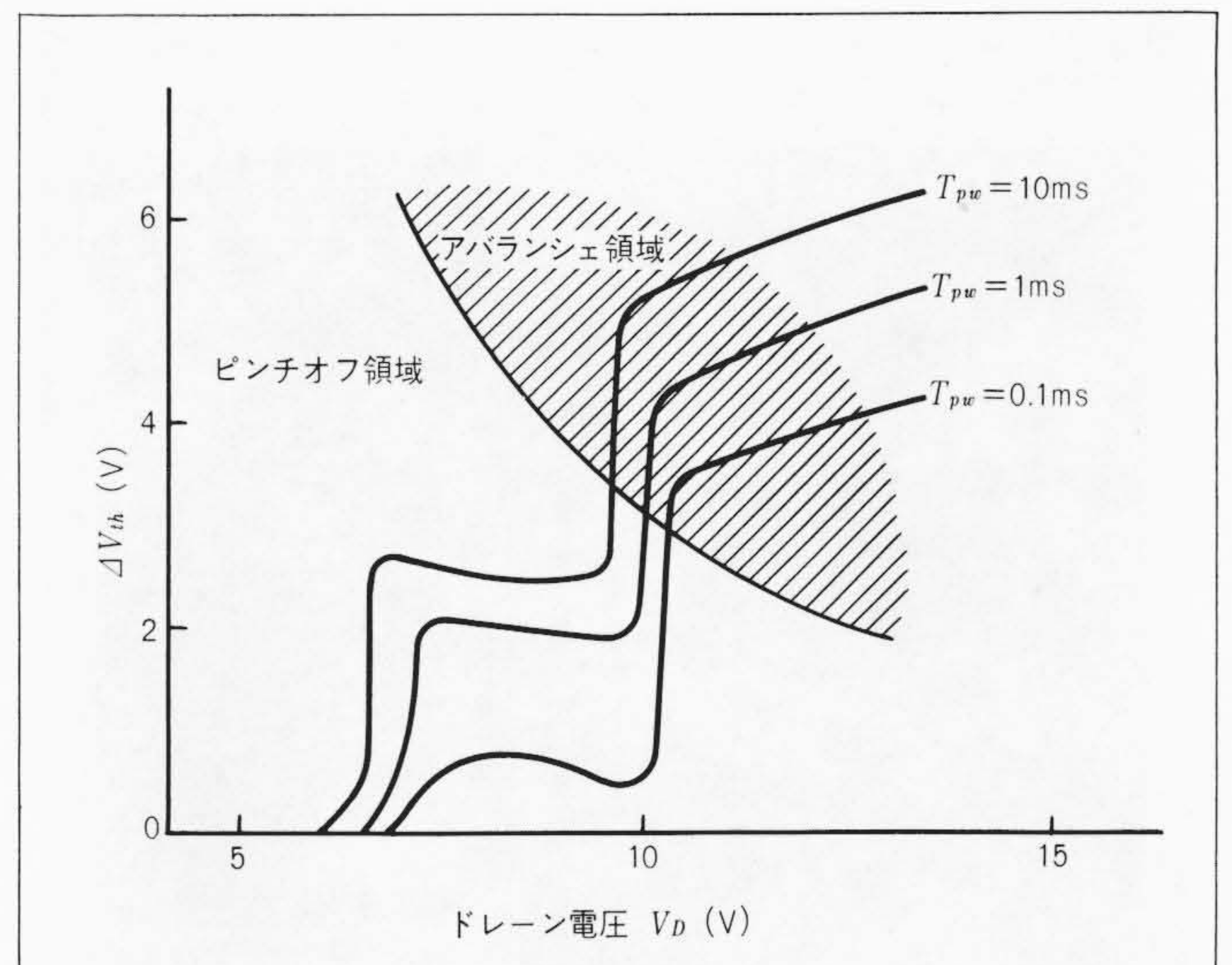


図6 FAMOSの書き込み特性 安定した読み出し動作をするために必要な ΔV_{th} 3Vを得るためには、FAMOSの書き込み動作点をアバランシェ領域に設定しなければならない。

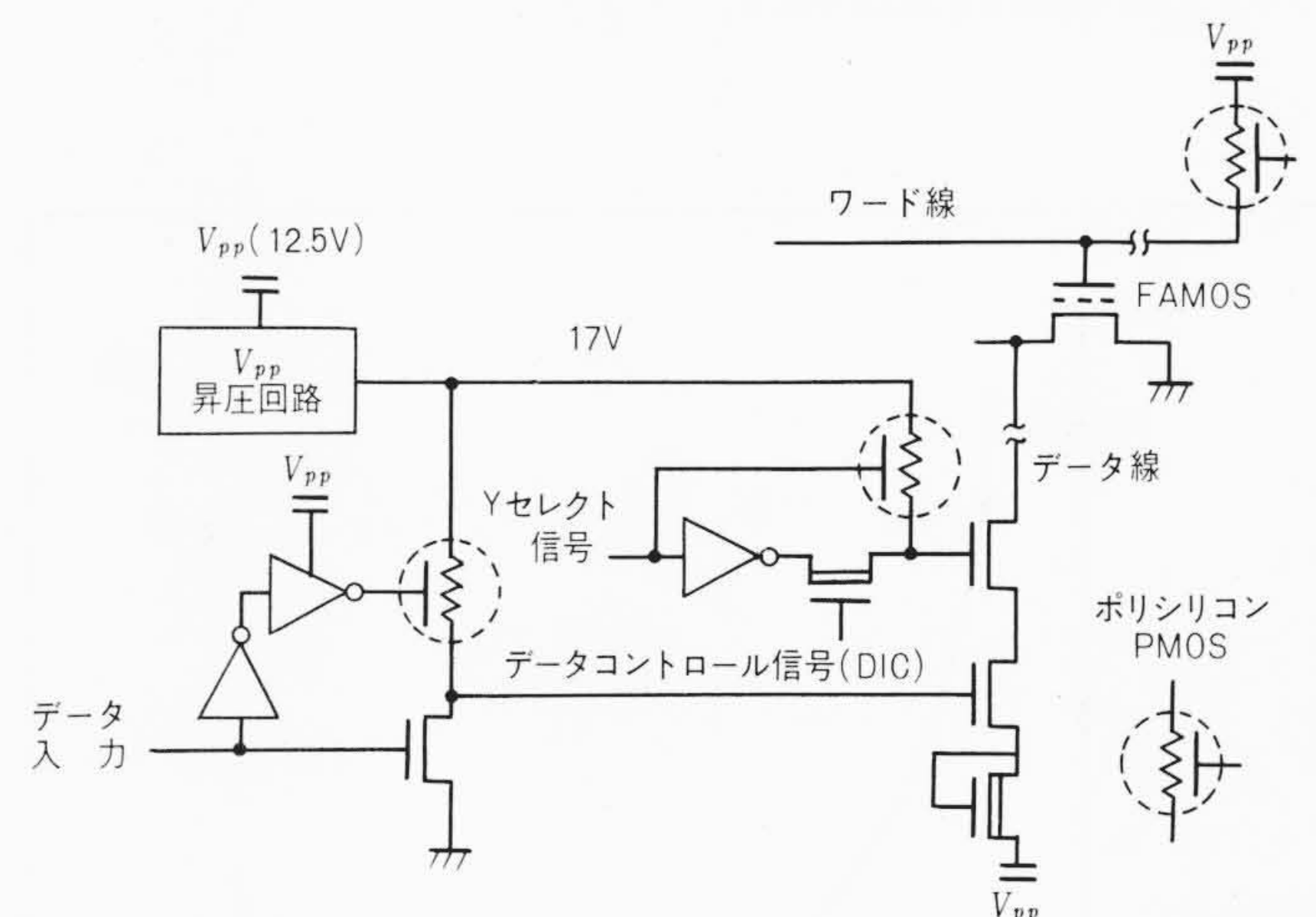


図7 書き込み回路 内部昇圧回路により12.5Vから17Vの電圧を発生して、それをYセレクト信号、データコントロール信号に使用して、書き込み動作点をアバランシェ領域に入れている。

タコントロール信号(DIC)に使っている。ここでも高電圧供給用のPMOSには、ポリシリコンPMOSを使っている。

4 主要特性

図8にチップ写真を示す。チップサイズは、4.66mm×4.60mmである。

図9にアクセス時間の電源電圧依存性を示す。電源電圧5V、温度25℃の標準条件で、95nsである。 V_{cc} の2.25Vから7Vにわたる広い動作範囲を実現した。

図10に動作時電源電流の周波数依存性を示す。標準条件、周波数1MHzで、2.3mAである。この値はNMOS 256K EPROMの $\frac{1}{20}$ 以下である。

図11に書き込み特性を示す。書き込み電圧 V_{pp} と読み出し V_{cc} maxを6.5V以上にするのに必要な書き込みパルス幅 T_{pw} の関係をプロットした。書き込み電圧12.5Vの標準条件で、 T_{pw} が0.3msという結果を得た。書き込み電圧の書き込み可能範囲は、11.8Vから16.0Vまで広がっていることを確認した。また、16.0Vでもラ

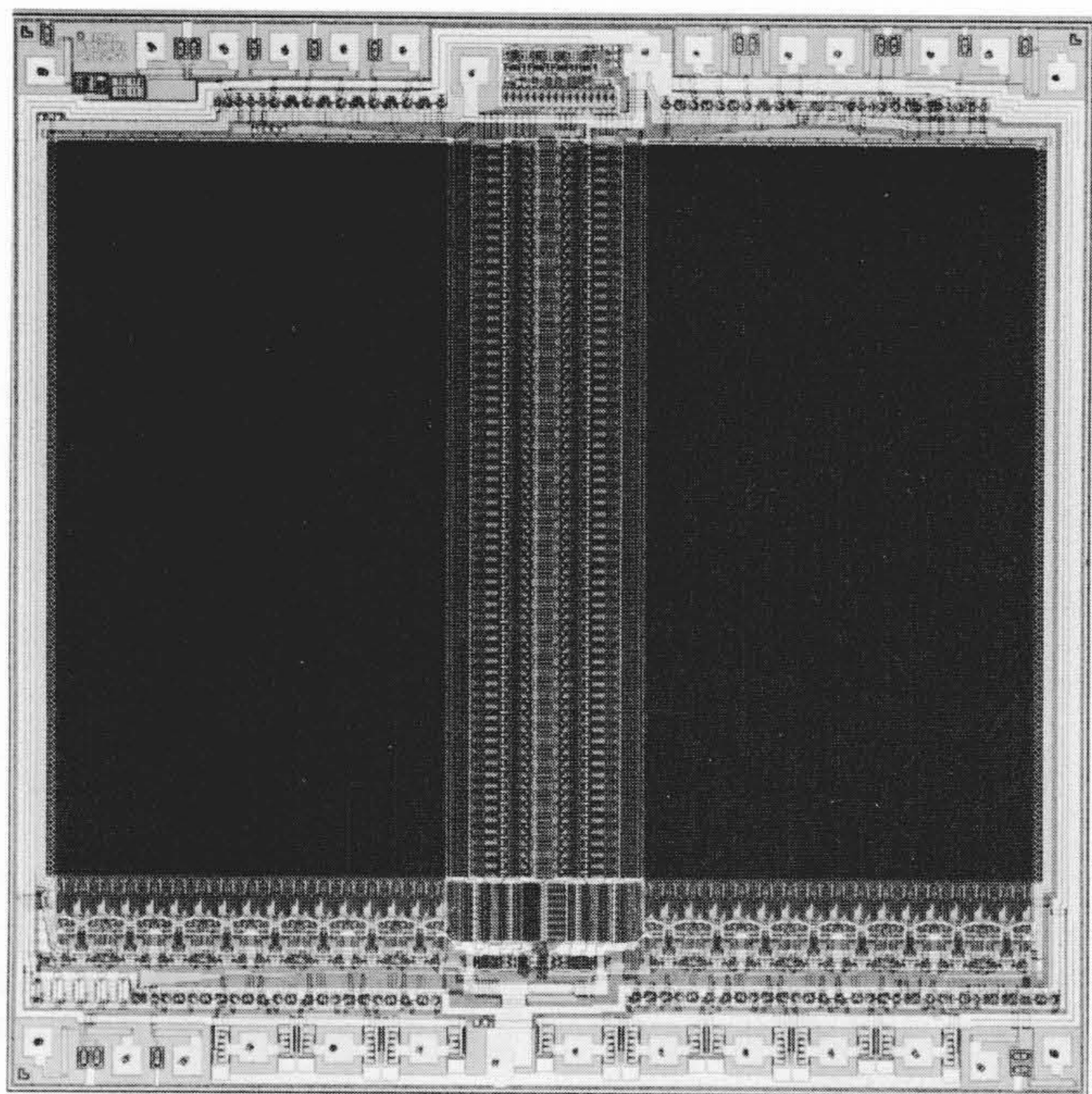


図8 256kビット CMOS EPROM HN27C256のチップ写真 32kワード×8ビット構成の256kビットCMOS EPROMのチップ写真を示す。チップサイズは4.66mm×4.60mmである。

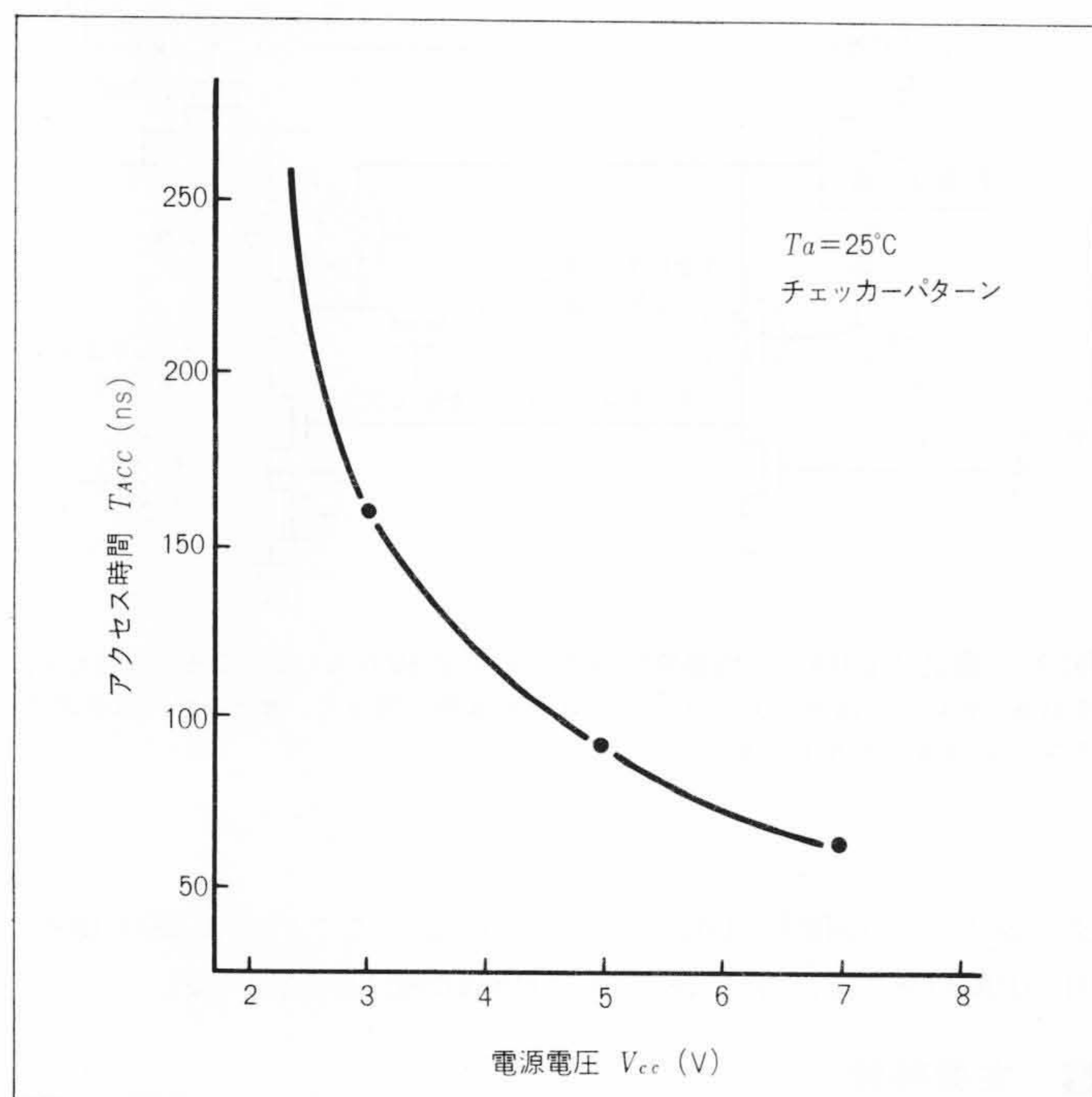


図9 アクセス時間の電源電圧依存性 標準条件でアクセス時間は95nsである。

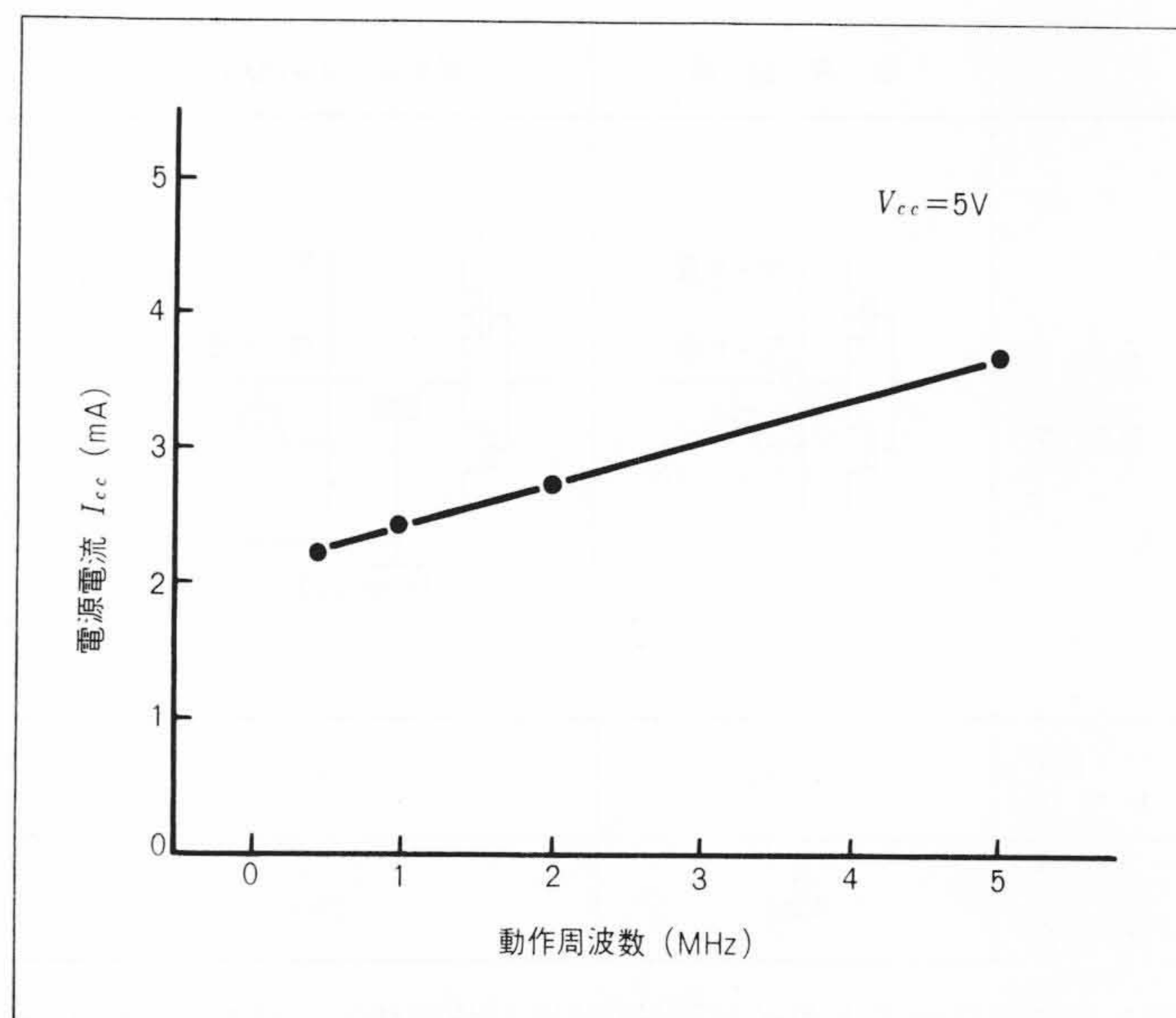


図10 動作時電源電流の周波数依存性 標準条件、周波数1MHzで電源電流は2.3mAである。

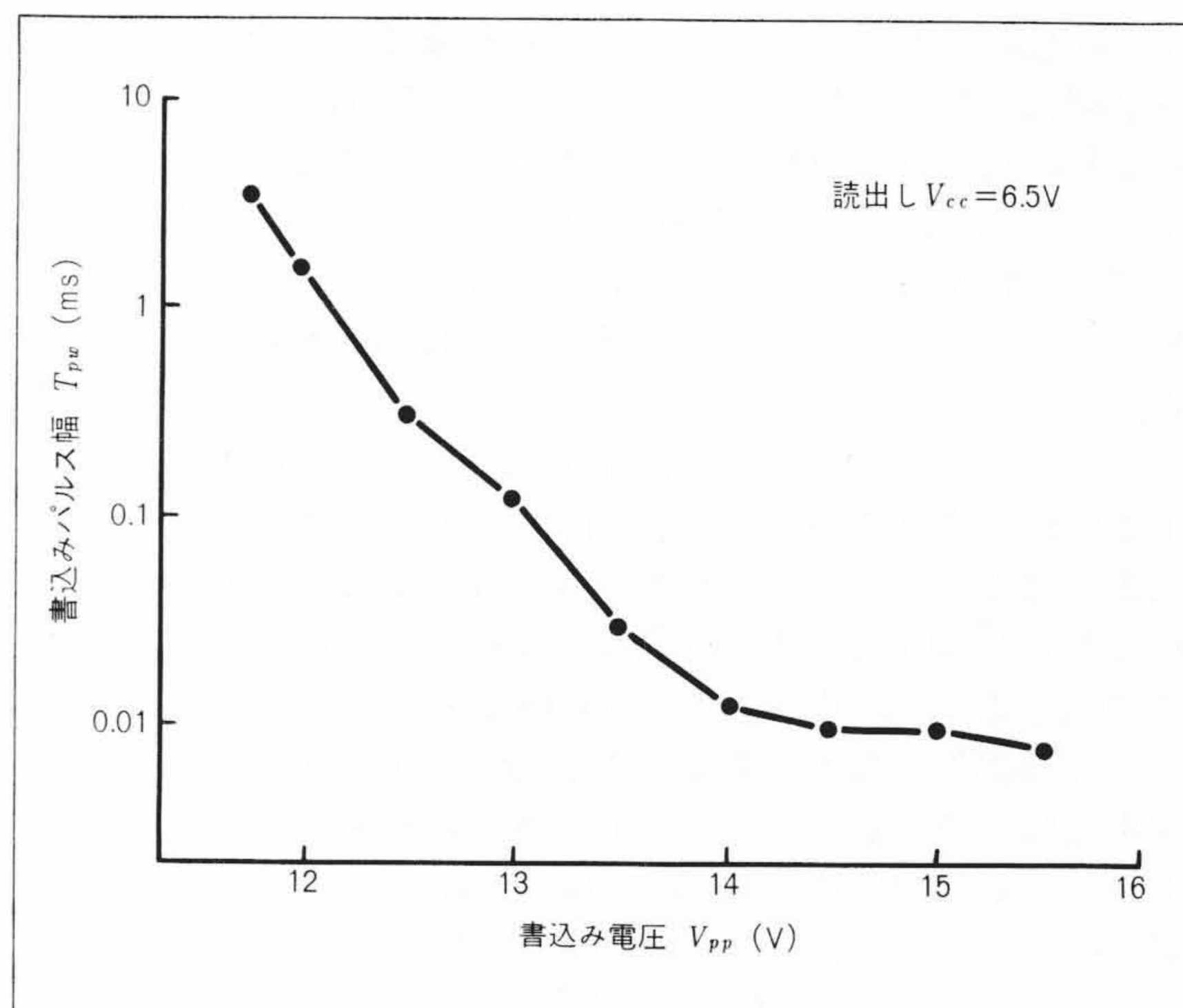


図11 書き込み特性 書き込み電圧12.5Vの標準条件で、 $T_{pw}=0.3ms$ という結果を得た。

kビットEPROMにNMOSタイプとCMOSタイプがそろい、製品系列が強化された。

HN27C256は、高集積で、高速性・低消費電力性を兼ね備えており、OA機器のメモリとして最適である。

ッチアップが起こらないことや、高速書き込み方式での書き込みも確認した。

5 結 言

以上、最新の $1.8\mu m$ CMOS技術を採用した高性能の256kビットCMOS EPROM HN27C256を開発したことにより、ラッチアップ強度の向上と高速・低消費電力化を実現した。アクセス時間は、標準条件で95nsである。消費電力は、動作時12mW、スタンバイ時 $0.5\mu W$ である。本製品の開発により、256

参考文献

- 1) K. Yoshizaki, et al.: A 95ns 256k CMOS EPROM, ISSCC Digest of Technical Papers, p.166~167(1985-2)
- 2) CMOS 64kビット EPROM HN27C64, 株式会社日立製作所, Hitachi Semiconductor News "GAIN" 38号(昭58-5)
- 3) William, Ip., et al.: 256k CMOS EPROM, ISSCC Digest of Technical Papers, p.138~139, Feb. 1984