

画像信号符号化処理LSI “DICEP HD63085”

Document Image Compression and Expansion Processor “DICEP HD63085”

ファクシミリ、文書ファイル及びこれらの複合体である事務用ワークステーションの中で、文書画像の圧縮・伸張技術に対するニーズが顕在化しつつある。本論文では、国際標準として制定されているファクシミリ符号化処理を、マイクロコンピュータからの簡単なコマンド指令だけで、高速かつ完全に実行するDICEP(VLSIプロセッサ)の開発目的、高速化アーキテクチャを論じ、試作結果及びその特長を生かした応用例について述べる。画素データの並列処理や分散処理によるパイプライン並列処理など、LSIに適した高速化アーキテクチャの開発により、A4サイズ原稿を1秒以下で符号化・復号化できる処理性能を達成している。

浜田長晴* *Nagaharu Hamada*

坂田邦弘** *Kunihiro Sakata*

生崎邦彦*** *Kunihiko Ikuzaki*

1 緒言

OA(Office Automation)の進展に伴い、既に作成した文書や図面を効率よく活用する手段としてファクシミリネットワークや文書ファイリングシステムが普及しつつある。このようなシステムで取り扱われる文書画像は高画質が要求され、分解能(1mmを何個の画素で表わすか。)や量子化ビット数(中間調やカラーなどを何段階で表わすか。)の多いほうが望ましい。しかし、図1に示すようにA4サイズ1ページ当たりの情報量は、白黒2値だけでも10Mビット前後になり、中間調やカラーの場合は更に多くの情報を必要とする。このように多量の情報を高速に伝送したり、効率よくファイルしたりするためには、不要な情報を削除し圧縮する(冗長度抑圧符号化と呼ばれる。)技術が重要である。ファクシミリの場合は、このような圧縮技術の国際規格が制定されており^{*1)}、G3ファクシミリ(電話網で使用する1分機)の中で広く使われている。国際規格に準拠することによって、世界中の機器との情報交換が可能となるため、最近ではファクシミリ以外の分野でもこの規格による符号化方式が普及しつつある。

しかし、この符号化処理では画素単位のビットシリアルな処理が多く、汎用マイクロコンピュータのプログラム処理だけでは高速化に限界があり、デジタル回線で使用するG4ファクシミリやOA用の高速処理ニーズに対応することが困難であった。本稿では、このような符号化処理の問題点とこれを解決した専用LSI(DICEP: Document Image Compression and Expansion Processor)のアーキテクチャを述べ、その特長を生かした応用例について紹介する。

2 開発のねらい

通常のファクシミリでは、図2に示すように大別すると3種の信号処理が必要である。第1が、原稿の読み取りや記録の画像品質に直接関係する各種のひずみを補正するためのビデオ信号処理である。第2が、読み取った画像信号の中の不

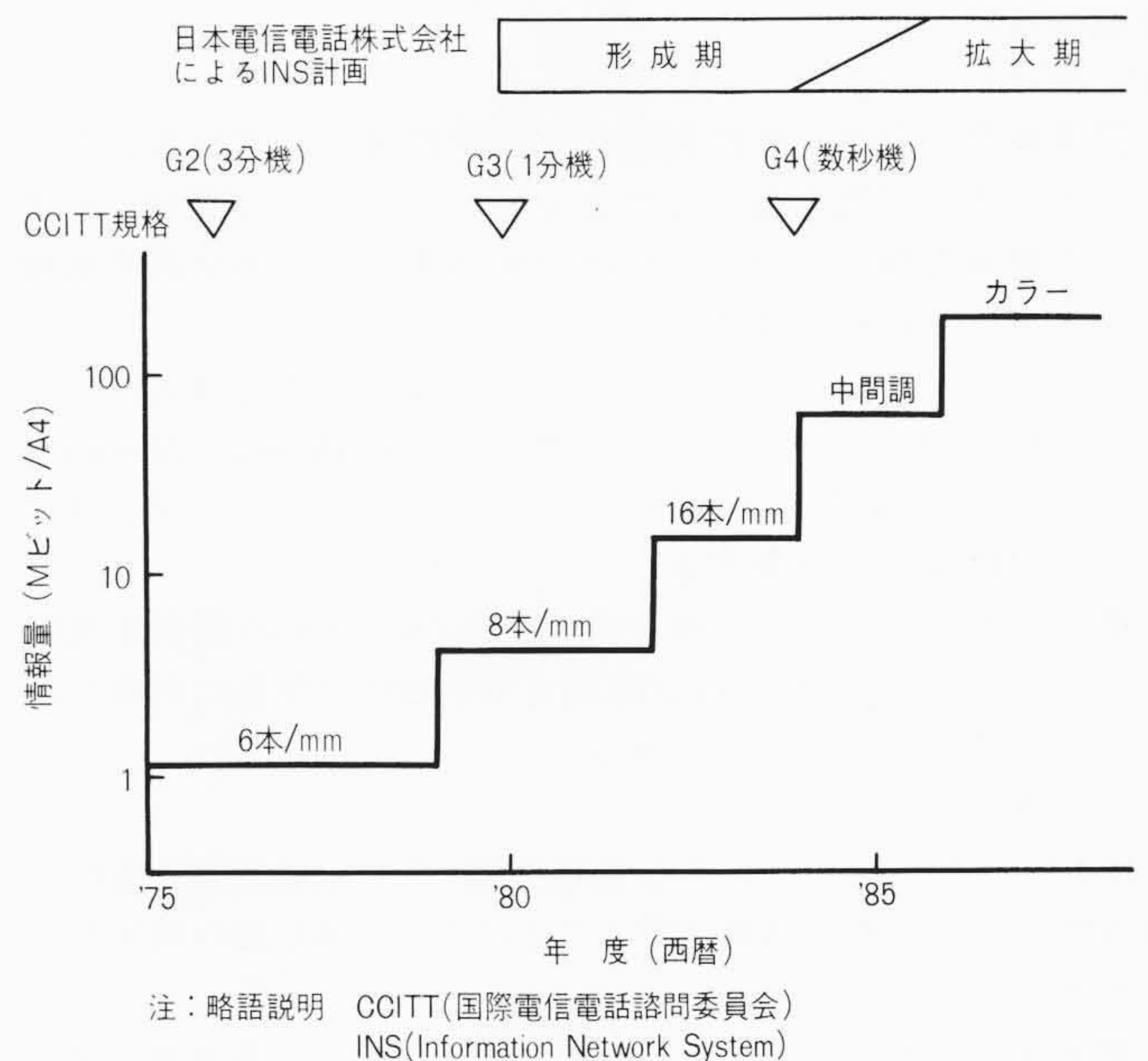


図1 ファクシミリにおける情報量の動向 年代とともに、ファクシミリの扱う情報量が増加し、G4ファクシミリでは10～100Mビット/A4となることを示す。

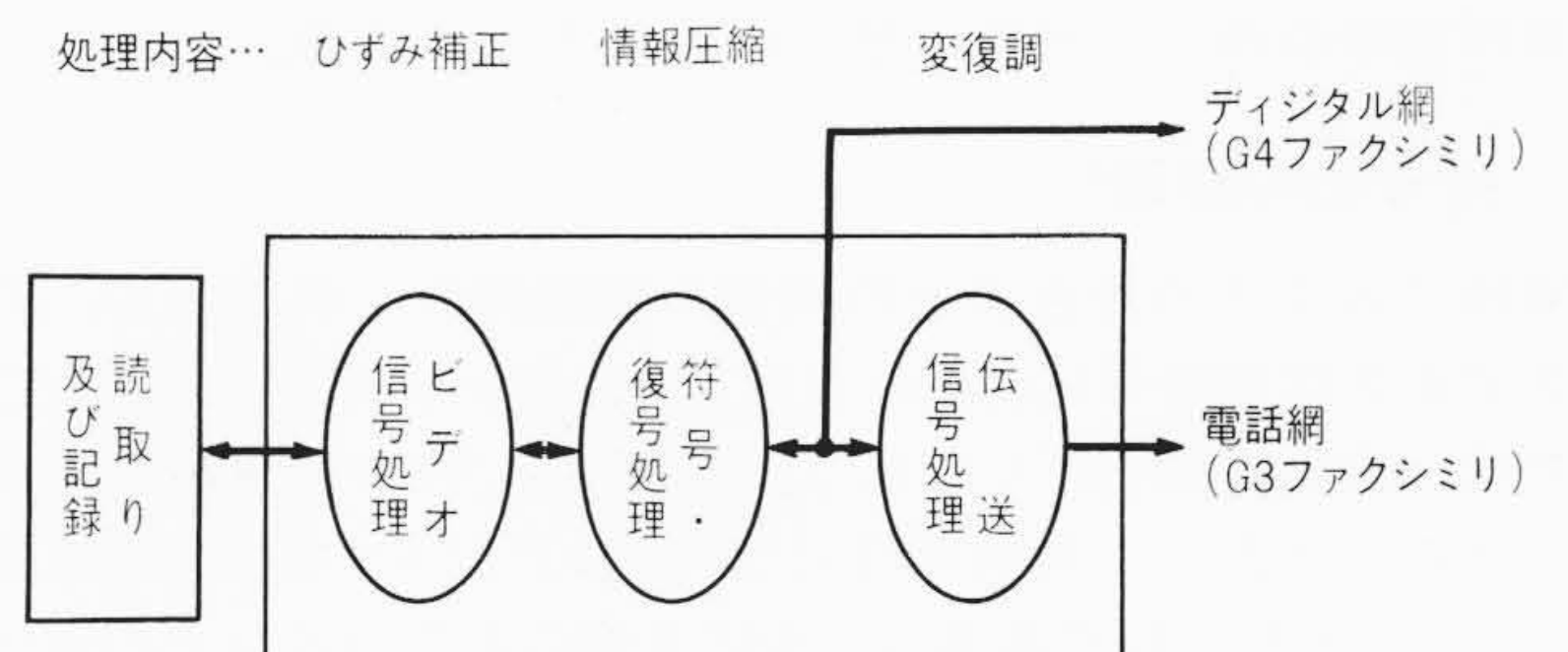


図2 ファクシミリ信号処理の流れ ファクシミリは、ビデオ信号処理、符号・復号処理及び伝送信号処理の三つの信号処理を行なっていることを示す。

*1) CCITT(国際電信電話諮問委員会)の勧告T4の中で、1次元符号化方式(MH)及び2次元符号化方式(MR)が規定されている。

要な情報を除去し、情報量を圧縮する符号化、及び受信時にこの逆の動作を行なう復号化処理である。第3が、電話網などの伝送線路の特性を補償し、高速な伝送を実現するための変復調処理を中心とする伝送信号処理である。いずれの信号処理もファクシミリにとっては重要な課題であり、これらをいかにスマートに具体化するかが装置のコストパフォーマンスを大きく左右する。

このため、従来からマイクロコンピュータを中心にしてゲートアレイを多用するなど、LSI化が進展しつつある¹⁾。しかし、符号・復号処理部分は最新のG4ファクシミリ(デジタル網を前提にした超高速機)に対応するためには、10倍以上の高速処理が必要であり、マイクロコンピュータのプログラム処理での実現が非常に困難になってきた。このような符号・復号処理を高速に実行する専用LSIを開発できれば、G4ファクシミリを容易に実現できると同時に、G3ファクシミリの小形化、低価格化にも大きく貢献できることになる。

一方、このようなシステムオリエントなLSI開発の成否は、そのLSIがいかに多くのユーザーニーズをカバーできるかによって決まる。このため、本LSIの開発に当たっては以下の2点を基本方針とした。

(1) 使いやすいこと。

国際規格に定められた複雑な符号化処理アルゴリズムを完全にオンチップ化することによって、マイクロコンピュータからの簡単な指令コマンドだけで高効率で汎用的な符号処理の恩恵を、だれもが享受できるようにする。

また、システムとしてのハードウェア量を少なくするため、データやコマンドの入出力に必要なDMA (Direct Memory Access) 制御回路^{※2)}や汎用マイクロコンピュータとのインタフェース回路などを内蔵する。

更に、適用システムの幅を広げるため、内部の動作を規定するパラメータの種類、設定範囲をできるだけ豊富に用意し、ユーザープログラマブルにする。

(2) 高速化すること。

G4ファクシミリに必要な処理性能(符号伝送速度64kbps)は当然として、更に高速化することによって本LSIの適用範囲の拡大を図る。

例えば、文書ファイリングシステムなどでは、A4サイズの標準原稿を数秒以下でアクセスすることが要求されており、このためには符号化処理時間として1秒以下(符号伝送速度換算200kbps以上)の性能が必要となる。

しかし、高速化(専用回路多用)とコスト(チップサイズ)とは相反することであり、これをいかに両立させるかが重要な課題となる。本LSIでは、規則論理(マイクロプログラム制御)と専用論理回路との機能分散の最適化を追求する。

3 符号化の原理²⁾

隣接する2本の走査線上の画素の相関関係を利用して、符号化する2次元符号化(MR)方式では、白から黒及び黒から白への変化画素(変化点とも言う。)を図3に示す5種類定義する。また、これらの相関関係により次の三つのモードを定義する。すなわち、起点画素 a_0 の次に2個の参照ライン上の変化画素 b_1 及び b_2 が検出され、符号化ライン上の変化画素 a_1 が検出されないパスモード、符号化ライン上の距離 a_0 、 a_1 と距離 a_1 、

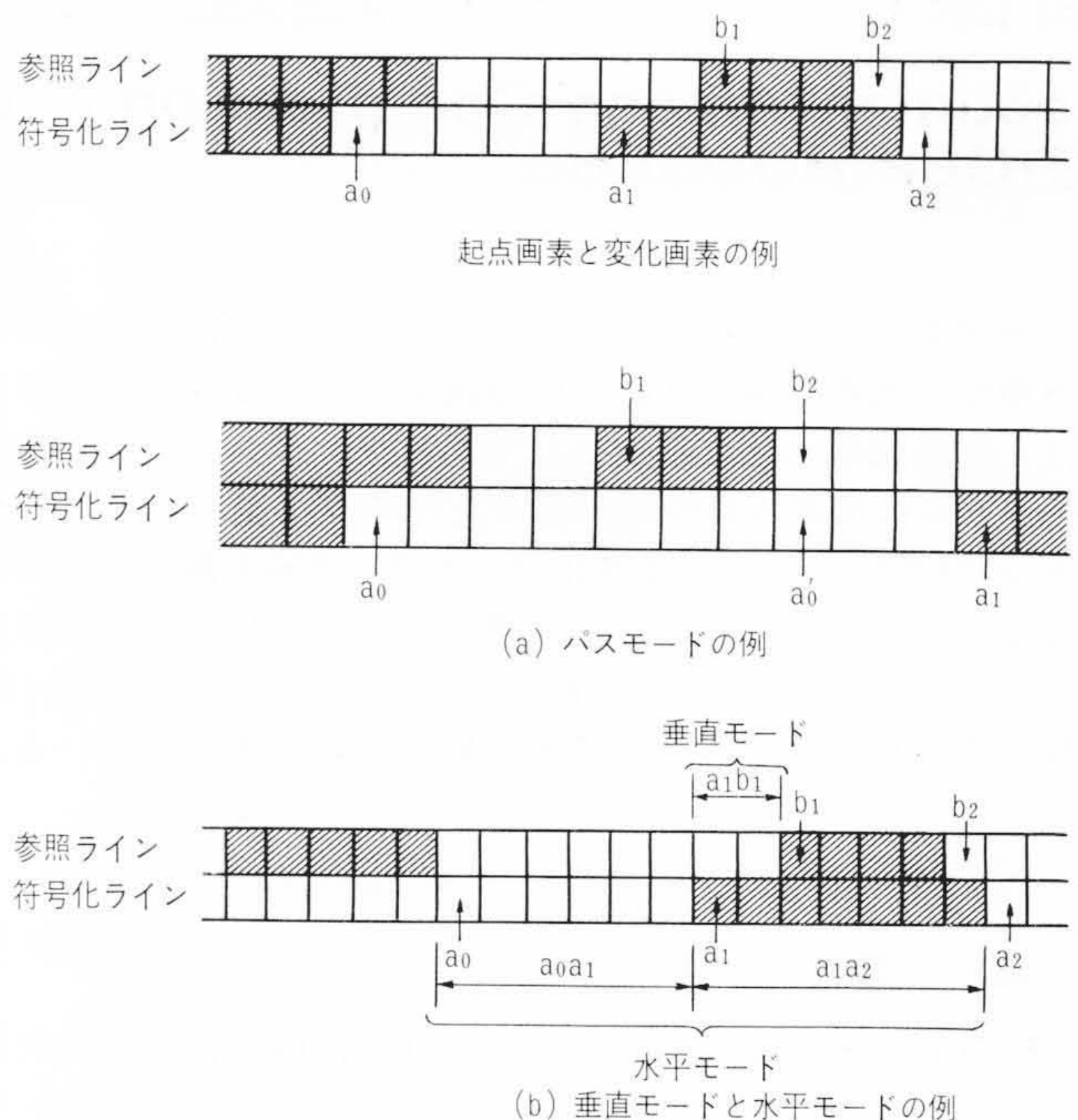


図3 MR方式における変化画素定義 MR符号化方式には五つの変化画素と、三つの符号化モード(パスモード、水平モード、垂直モード)があることを示す。

a_2 を一括して対で符号化する水平モード、及び参照ライン上の変化画素 b_1 と符号化ライン上の変化画素 a_1 の相対距離 a_1 、 b_1 を符号化する垂直モードである。

符号化手順としては、符号化ライン上の起点画素 a_0 を出発点として符号化ラインと参照ラインを同時に左から右へ走査してゆき、上述の三つのモードのいずれであるかを識別し、定められた符号語を割り当てる。その後、起点画素を設定し直し、同様の処理を繰り返し1ラインの最後の画素に到達した時点で符号化を終了する。この符号化を終了したラインを、次の符号化の参照ラインとして順次符号化し、ページの最後まで符号化する。

このような方法で符号化することによって、A4サイズの標準原稿の情報量をおよそ $\frac{1}{15}$ に圧縮することができる。実際のG3ファクシミリでは、伝送誤りによる画像の乱れを少なくするため、2あるいは4走査線ごとに必ず1次元の符号化を用いることが規定されており、このため圧縮率は $\frac{1}{10}$ 程度になる³⁾。

4 高速化アーキテクチャ⁴⁾

本章では前章で説明した符号化原理を、高速に処理するのに効果的な高速処理アーキテクチャの考え方と具体例について詳述する。

4.1 アドレス演算の高速化

MR符号では参照ラインと符号化ラインの二つの走査線上の変化画素間の相対距離を符号化する。この相対距離は図4(a)に示すように原稿の左端の画素から右へ順に割り付けた論理アドレスで表現するのが一般的である。一方、画像信号はワード(8ビットあるいは16ビット)単位のリニアな物理アドレスをもつ同図(b)のような半導体メモリで構成される画像メモリに記憶される。したがって、両アドレスの演算性能が符号化処理速度を大きく左右するが、従来はハードウェア量を少

※2) DMA(Direct Memory Access)、すなわちメモリに対するデータの入出力を制御する回路である。

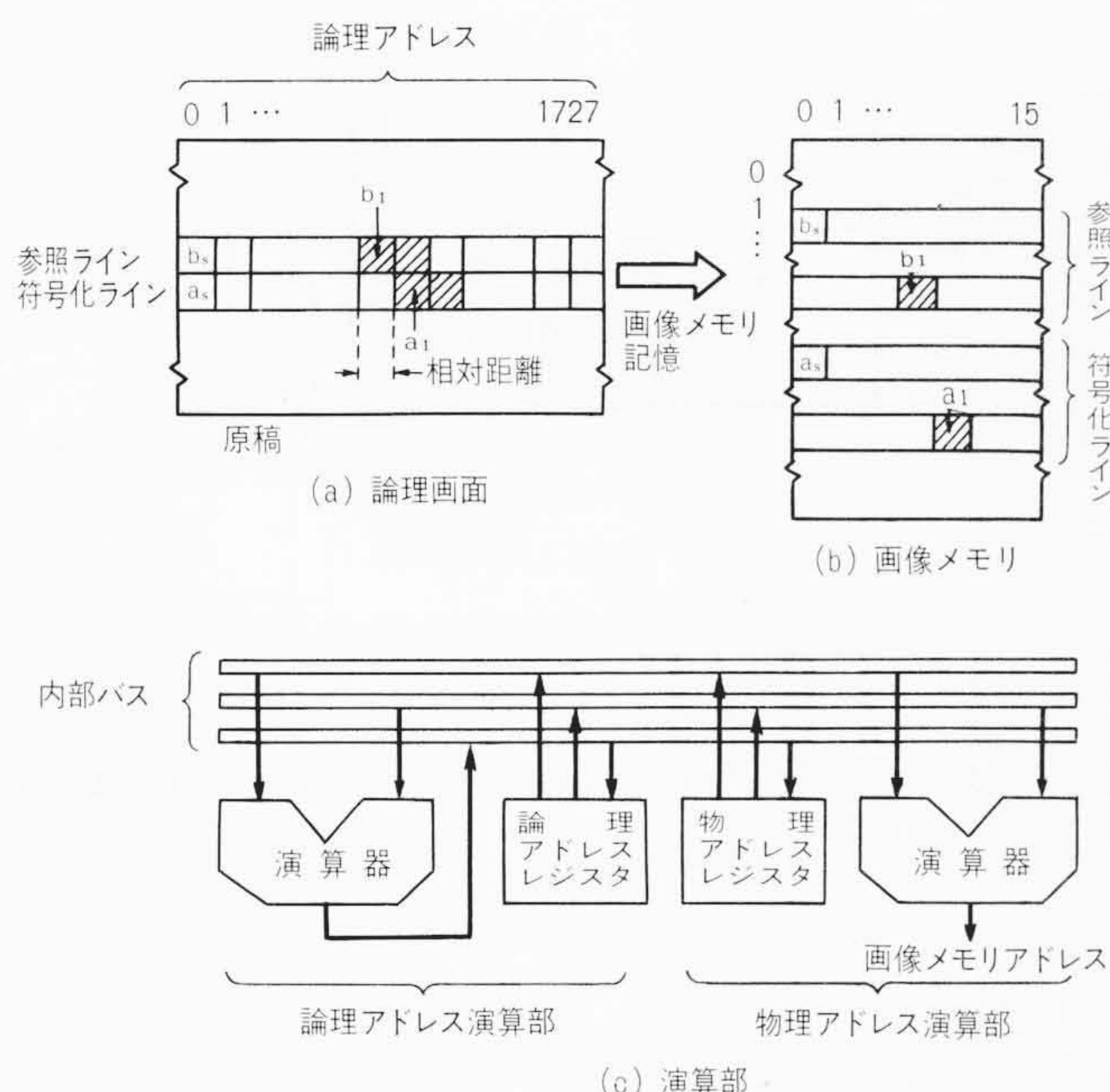


図4 アドレス演算の高速化 論理画面と物理画面を形成する画像メモリの関係、及びこれら二つの画面上のアドレスを高速に演算できる演算部の構成を示す。

なくするため論理アドレスを演算し、その結果を物理アドレスに変換していた。LSIの場合は、演算回路のような規則的な論理は比較的小さなスペースで実現可能であり、本LSIでは、両アドレス演算の並列動作による高速化を目指し同図(c)の構成とした。この結果、通常のマイクロコンピュータでは23サイクル要している相対距離算出処理を、1サイクルで実現でき、20倍以上に高速化できる。

4.2 変化画素検出の高速化

本来、画素単位のシリアル処理である変化画素検出処理をパラレル処理できれば、その分高速化できることになる。これも比較的規則的な図5(a)に示すような並列処理可能な回路を用意することにより、高速化を実現できる。

この回路の動作を図5(b)に示す4ビット並列の例を用いて説明する(実際の内部回路は16ビット並列である)。今、画像メモリから“0110”の画像信号が選択回路及びマスク回路を通じてラッチに記憶されると、PEC(プライオリティエンコーダ)は直ちに最初に“1”が存在するビットアドレス1を出力し、変化画素の検出を終了する。次のサイクルでこの画像信号は反転され、既に検出済みの画素がマスク回路によって“0”にマスクされ、“0001”となって再びラッチに記憶される。PECは直ちにビットアドレス3を出力する。上記の動作をワード内のすべての変化画素を検出するまで繰り返す。この回路によれば、ワード内のどの位置にある変化画素でも1変化画素当たり1サイクルでそのビットアドレスを検出できる。したがって、従来のシリアル処理に比べ本LSIの16ビットパラレル処理は最大16倍高速化されることになる。

また、同様な回路方式で画像信号の復元を並列処理する回路を具体化し、16倍高速化している。

4.3 符号化処理スループットの高速化

更に、符号化処理全体のスループットの高速化を実現するには、分散配置した各専用処理回路を水平マイクロ命令によって並列処理し、複数の処理をパイプライン的に効率よく連

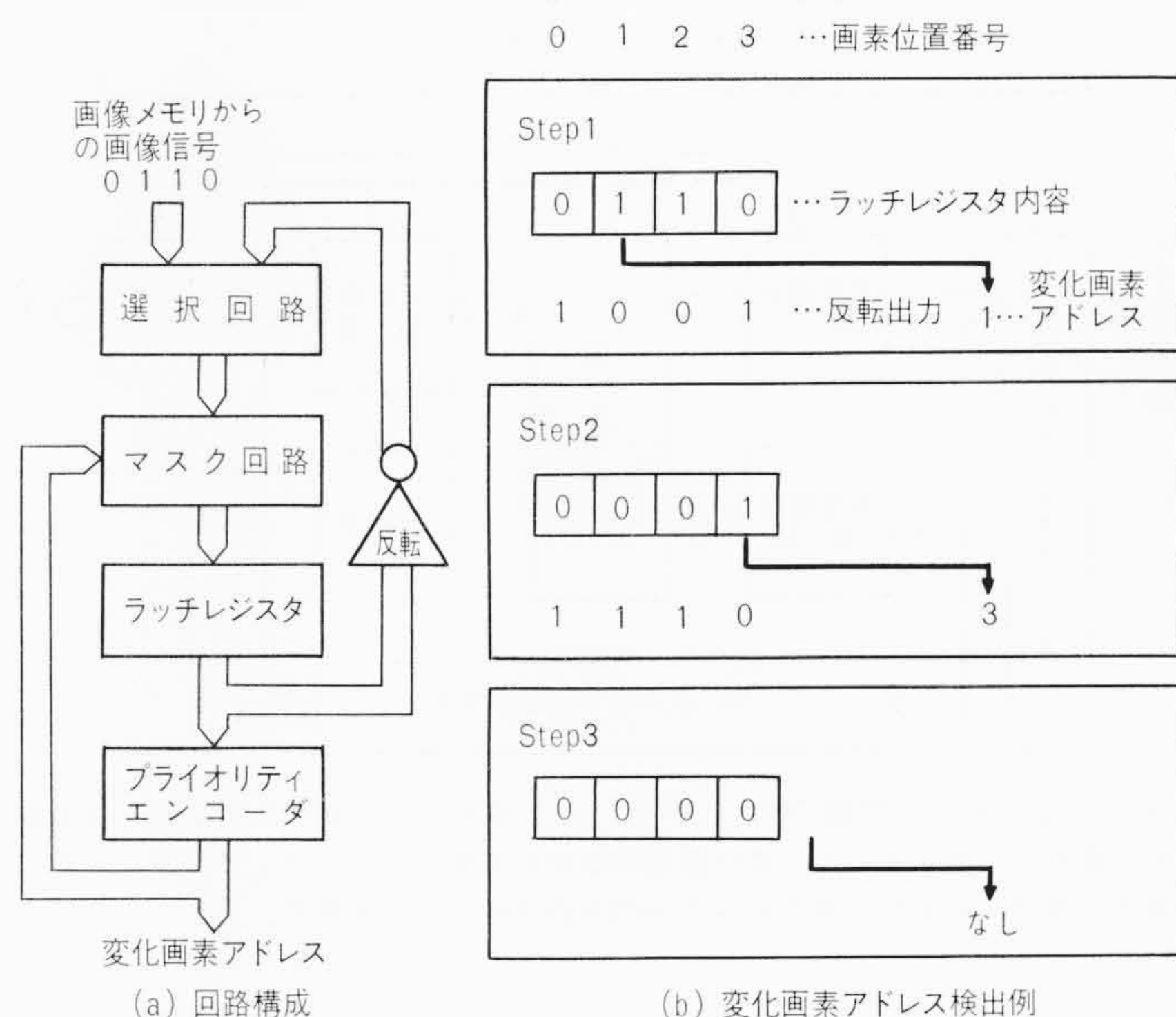


図5 並列変化画素検出回路 4ビットの並列画素(0110)に対し、Step 1~3と3回検出回路を動作させて、変化画素アドレスを求めた例を示す。



図6 変化画素検出におけるパイプライン処理 画像メモリアクセスサイクルに1サイクル付加するだけで、変化画素検出処理できるパイプラインタイミングを示す。

続処理することが望ましい。

例えば、図6に示す変化画素検出処理は、(1)画像メモリをアクセスして画像信号を入力、(2)次のアドレスの準備及びラインエンドの検出、(3)入力した画像信号の変化画素を検出し、そのアドレスを演算部に転送、(4)ラインエンド及び変化画素の有無の判定、の四つの処理から成る。これを本LSIでは、図6に示すようにパイプラインで連結することにより、メモリアクセスサイクルに1サイクル付加するだけで変化画素検出処理を実現している。これによって、全体のスループットを2倍に高速化できる。

4.4 システムアーキテクチャによる高速化

本LSI“DICEP”による符号化処理と、マイクロコンピュータによる通信制御処理を並行して行なうことができれば、システム全体のスループットを向上できる。そこでDICEPは図7に示すように、読み取りや記録などの入出力デバイスとインタフェースするビデオバス、及びマイクロコンピュータとインタフェースするシステムバスの二つの独立したバスイ

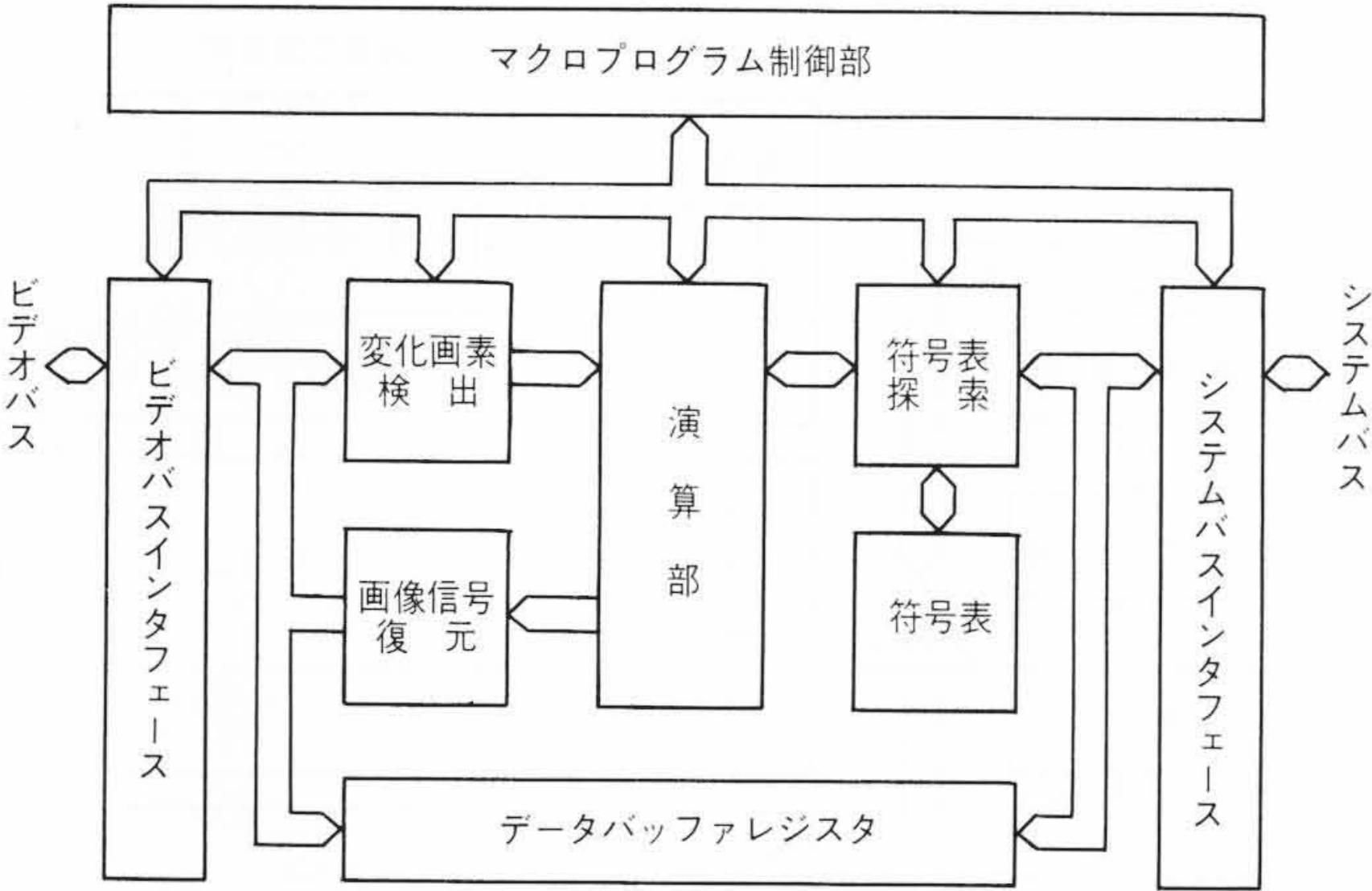


図7 DICEPの機能ブロック図 マイクロプログラム制御部と演算部から成るプロセッサ部と、変化画素検出などの専用ハードウェア及び二つのバスインタフェースから構成されたDICEPのブロック図を示す。

ンタフェースをもつ構成とした。更に、ビデオバスのデータ幅を16ビットとすることにより一度に処理する画素数が増え、しかもビデオバスのスループット向上を実現できるため、8ビットバスに比べ2倍以上の高速化ができる。

以上述べたような各種の高速化手段を具体化することにより、G3ファクシミリの符号化処理速度(9.6kbps)よりも20倍以上の高速符号化処理が可能との見通しが得られたので、LSIとして試作することにした。

5 試作結果

上述のような高速化アーキテクチャを取り入れたLSI“DICEP”のチップ写真を図8に示す。このDICEPの設計では、規則論理(演算部、マイクロROM、符号表ROM)部分を人手設計で行ない、これをマクロセルとして自動設計による他の専用論理(変化画素検出、バスインタフェースなど)部分と組み合わせて自動的にレイアウトするという新しい試みを行なった。これによって、完全な人手設計の場合に比べほぼ半分

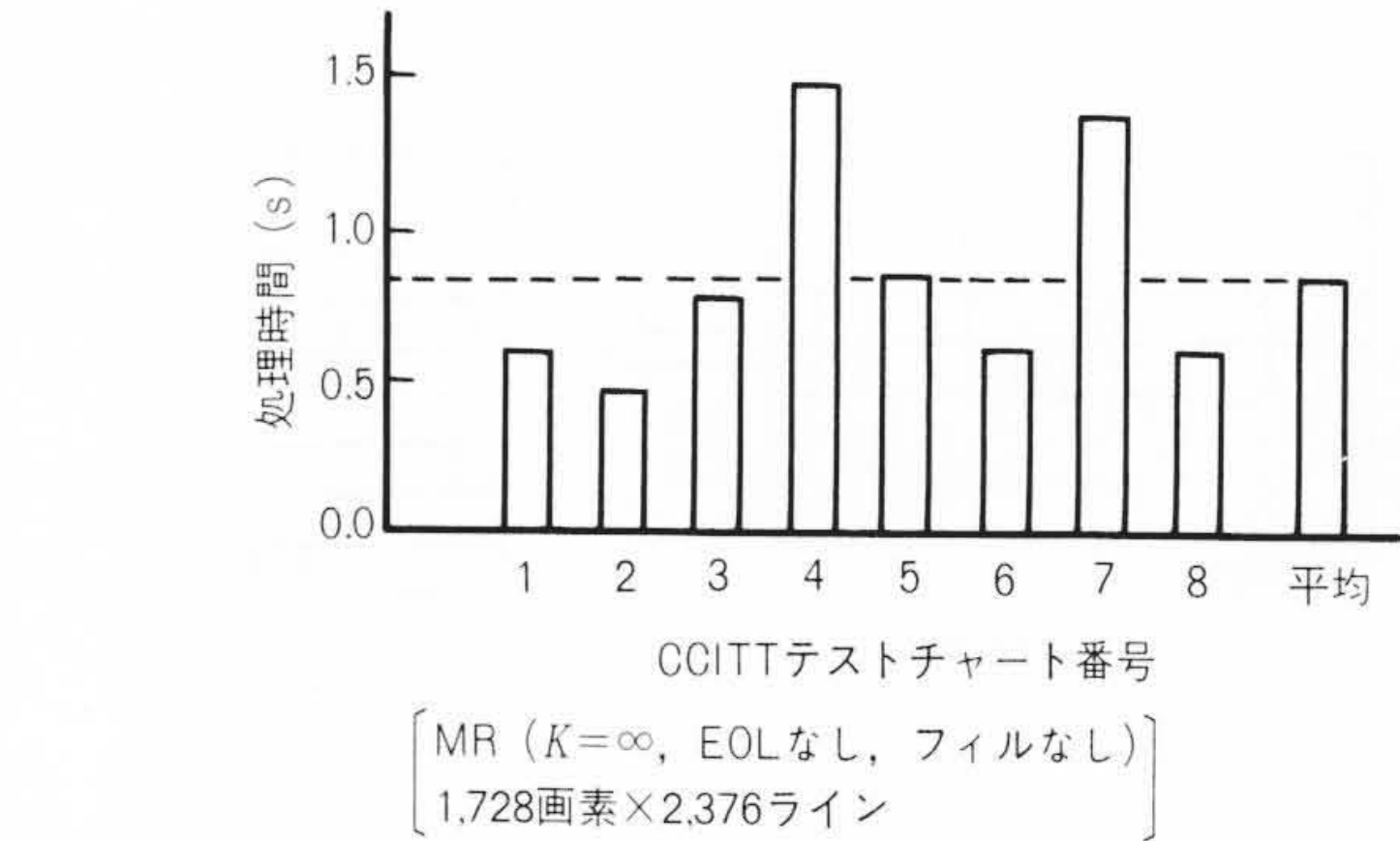


図9 性能評価結果 CCITTの標準テストチャートをMR符号化処理するのに要する時間を示す。

の開発期間及び開発工数で実現できた⁵⁾。また、DICEPの処理性能を図9に示す。同図からDICEPの平均処理時間は0.8秒であり、目標とした1秒以下を実現できることが確認できた。この場合の符号化速度は350kbpsに相当し、G4ファクシミリはもちろん、文書ファイルシステムなど

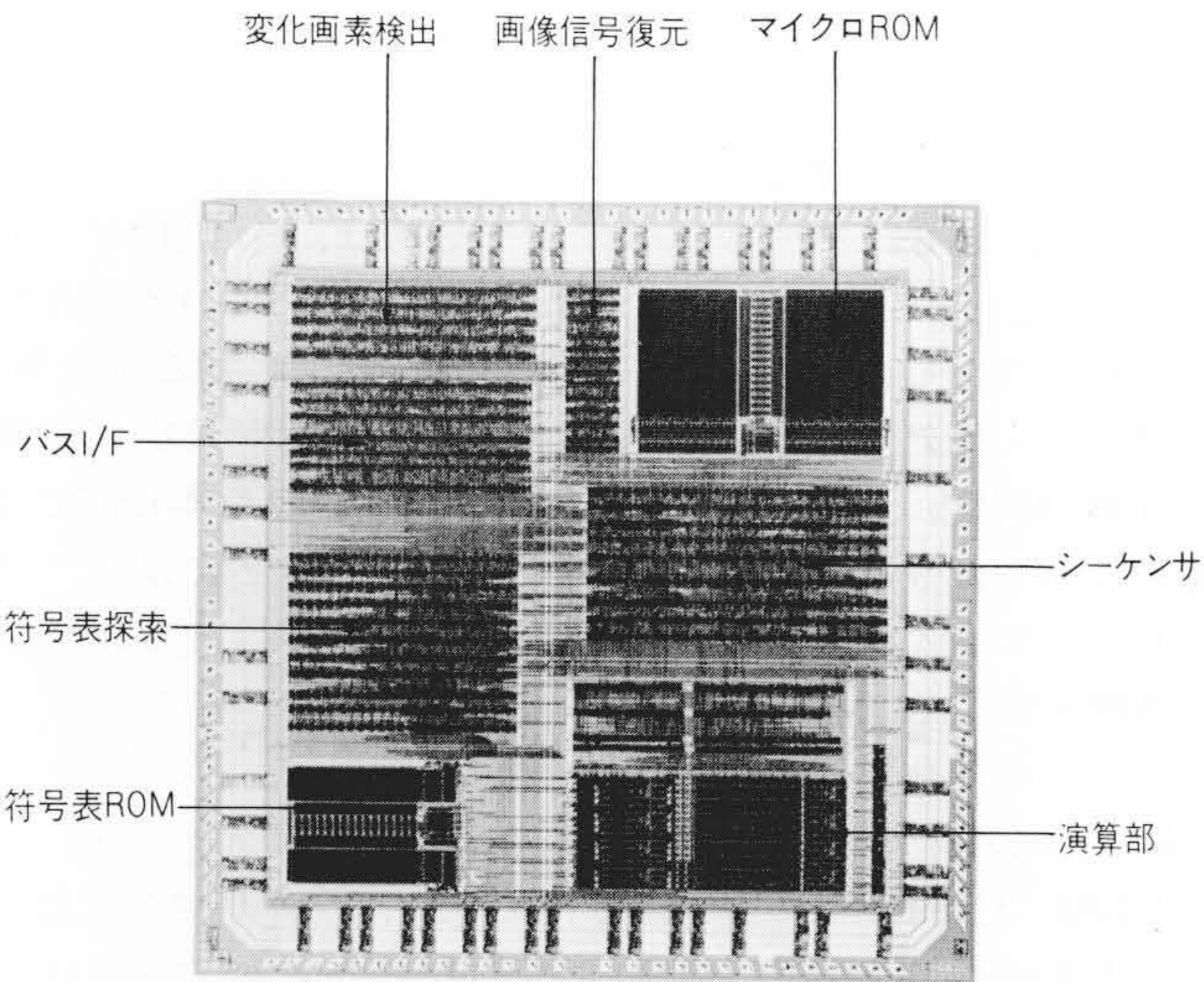
表1 DICEPの仕様 DICEPのLSIとしての諸元及び性能を示す。

項 目	性 能
プ ロ セ ス	2 μ m CMOS
総 素 子 数	約64kトランジスタ
チ ッ プ サ イ ズ	8.2×8.3mm ²
パ ッ ケ ー ジ	72ピン Pin Grid Array
入 カ ク ロ ッ ク	32MHz
マ シ ン サ イ ク ル	125ns/インストラクション
ビ デ オ バ ス 速 度	4 Mバイト/秒
符 号 ・ 復 号 速 度	MH：400kbps以上，MR：200kbps以上

表2 DICEPの設定パラメータ マイクロコンピュータがパラメータを設定できるDICEP内のレジスタ及びその内容を示す。

設定レジスタ名称	パラメータの内容
System Control Register	ビデオバスサイズ8・16，オクテット編集
Command Register	MH符号・復号，MR符号・復号
Terminal Register AB	符号・復号処理画面サイズ(8～65536任意)
Terminal Register C	DMA転送画面サイズ(8～65536任意)
Minimum Code Length Register	フィル制御(0～65535任意)
Return to Control Register	RTC=EOL×任意の自然数
End of Line Register	EOLあり・なし
Horizontal Width Register	水平画面サイズ(8～65536任意)
Start Address Register A	符号・復号ライン先頭画素メモリアドレス
Start Address Register B	参照ライン先頭画素メモリアドレス
Start Address Register C	DMA転送開始メモリアドレス

注：略語説明 DMA(Direct Memory Access)
RTC(Return to Control)
EOL(End of Line)



注：略語説明 I/F(インタフェース)，ROM(Read Only Memory)

図8 DICEPチップ写真 8.2mm×8.3mm角のDICEPチップの拡大写真を示す。

に十分使用可能な性能を達成できた。

表1にDICEPの主要仕様を示す。DICEPは6万4,000個のトランジスタを集積した高速(ビデオバススループット32Mbps)かつ低消費電力(8MHz動作時350mW)のVLSIである。

また、このLSIの動作パラメータは表2に示すように、符号化方式、画面サイズなどを自由に設定できるようにしてある。

6 応用例とその特長

DICEPは、単に画像と符号の間の変換を行なうだけでなく、システムとしての使いやすさを考慮した多くの機能をもっており、これを活用した代表的な応用例を紹介する。

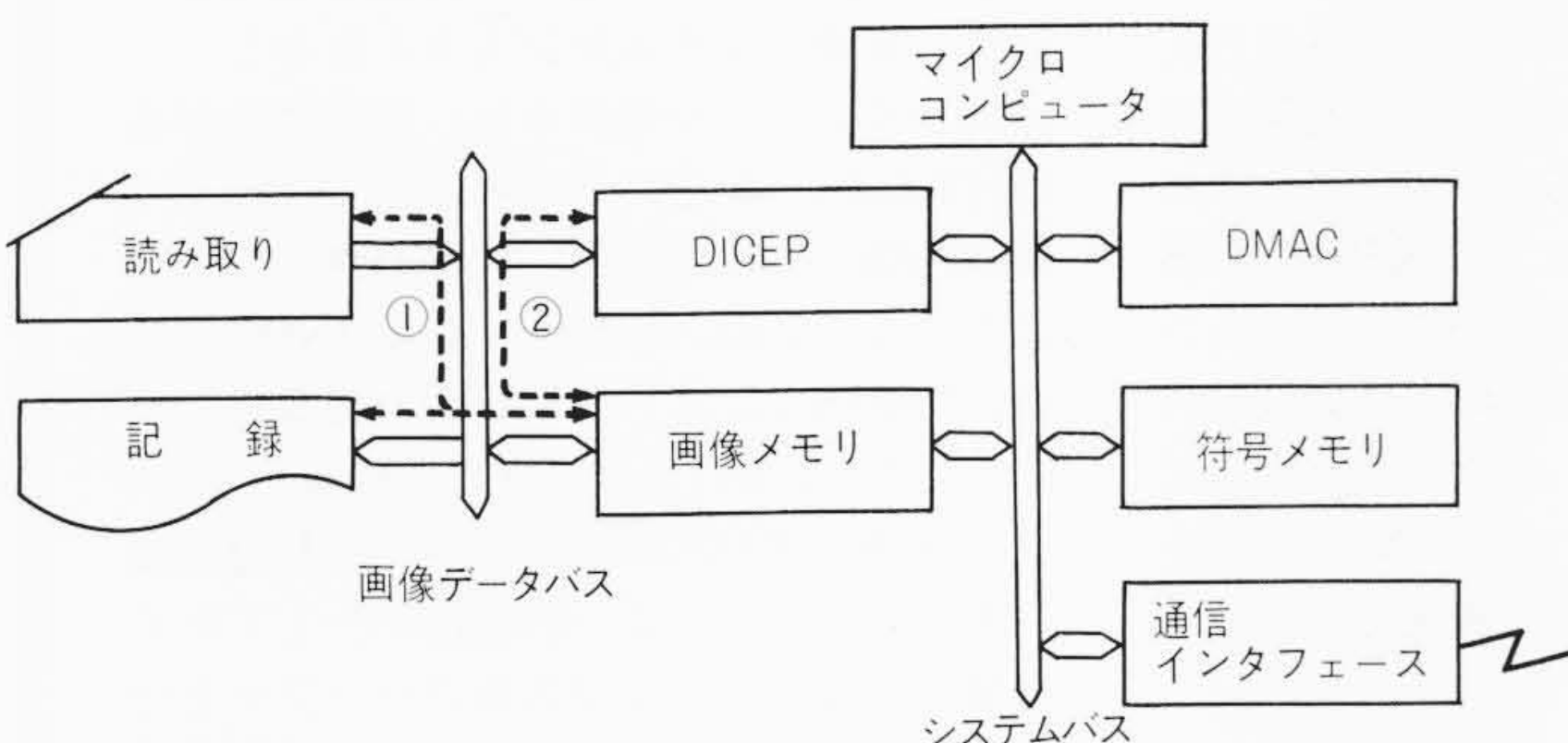
(1) 画像データのDMA転送

多量の画像データを、いかに高速かつ少ないハードウェア量で入出力できるかが、DICEPの適用システムの性能を大きく左右する。このため、DICEPは図10の点線①、②で示す2チャンネルのDMA機能を内蔵している。すなわち、①は読み取りや記録などの入出力部と画像メモリ間の転送であり、②は画像メモリとDICEPとの間の転送である。これらの転送はDICEPに内蔵したバス制御機能によって並列処理が可能であり、画像データバス周辺のハードウェア量削減に効果がある。

このようなDMA転送をベースにした高速符号化機能は、日立製作所の最新形多機能G3ファクシミリHF-6100(図11)に活用されている。すなわち、DICEPによって従来に比べ20倍以上の高速で画像～符号間の変換が可能になったため、今まで同じ規格であるG3ファクシミリに向けてしか同報通信(同じ内容を複数の相手先に送信する。)できなかったものが、異なる規格のG2ファクシミリやミニファクスなどへも送信できるようになった。このことは、中継同報(同じ内容の中継して相手先に転送する。)でも同じであり、本ファクシミリをセンタ局や中継局とすることによって、自由度の大きなファクシミリネットワークを構築しやすくなっている。

(2) 部分画像の符号化処理

DICEPの豊富な制御パラメータの一部を用いて、原稿上の長方形部分を切り出して符号化することができる。図12にこのような場合の画面とマイクロコンピュータの制御フローの例を示す。すなわち H (原稿幅) $\times V$ (原稿長)の原稿画面に対し、 $(x_1, y_1), (x_2, y_2)$ なる長方形領域を切り出し、この部分を符号化処理するものである。この場合、DICEPへは原稿幅 H 、



注：略語説明
DMAC(Direct Memory Access Controller)
DICEP(Document Image Compression and Expansion Processor)

図10 ファクシミリのシステム構成例 DICEPをファクシミリに適用したときの、代表的なシステム構成例を示す。

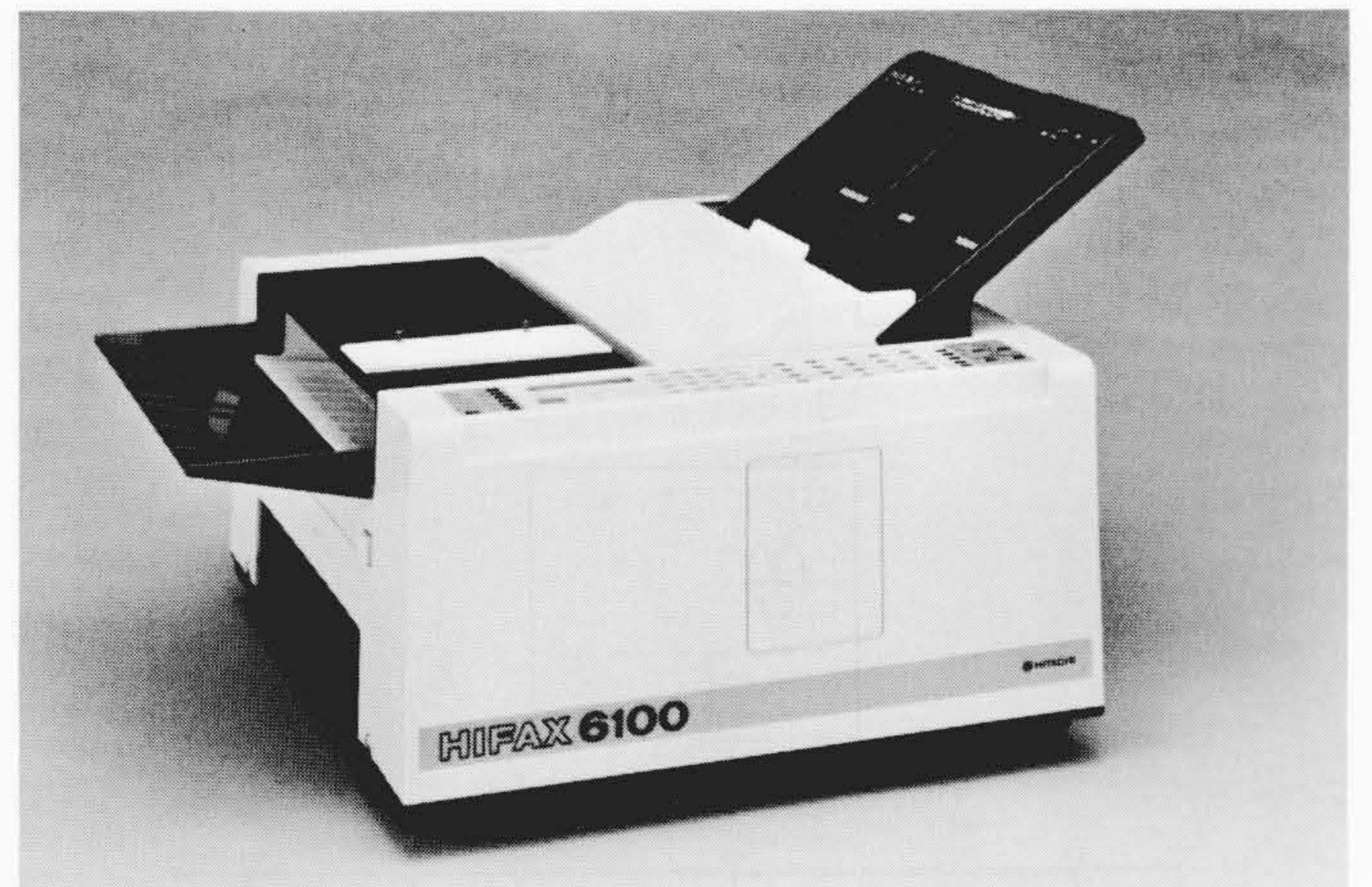


図11 日立の最新形多機能G3ファクシミリ DICEPを適用した日立の最新形ファクシミリ HIFAX6100の外観を示す。

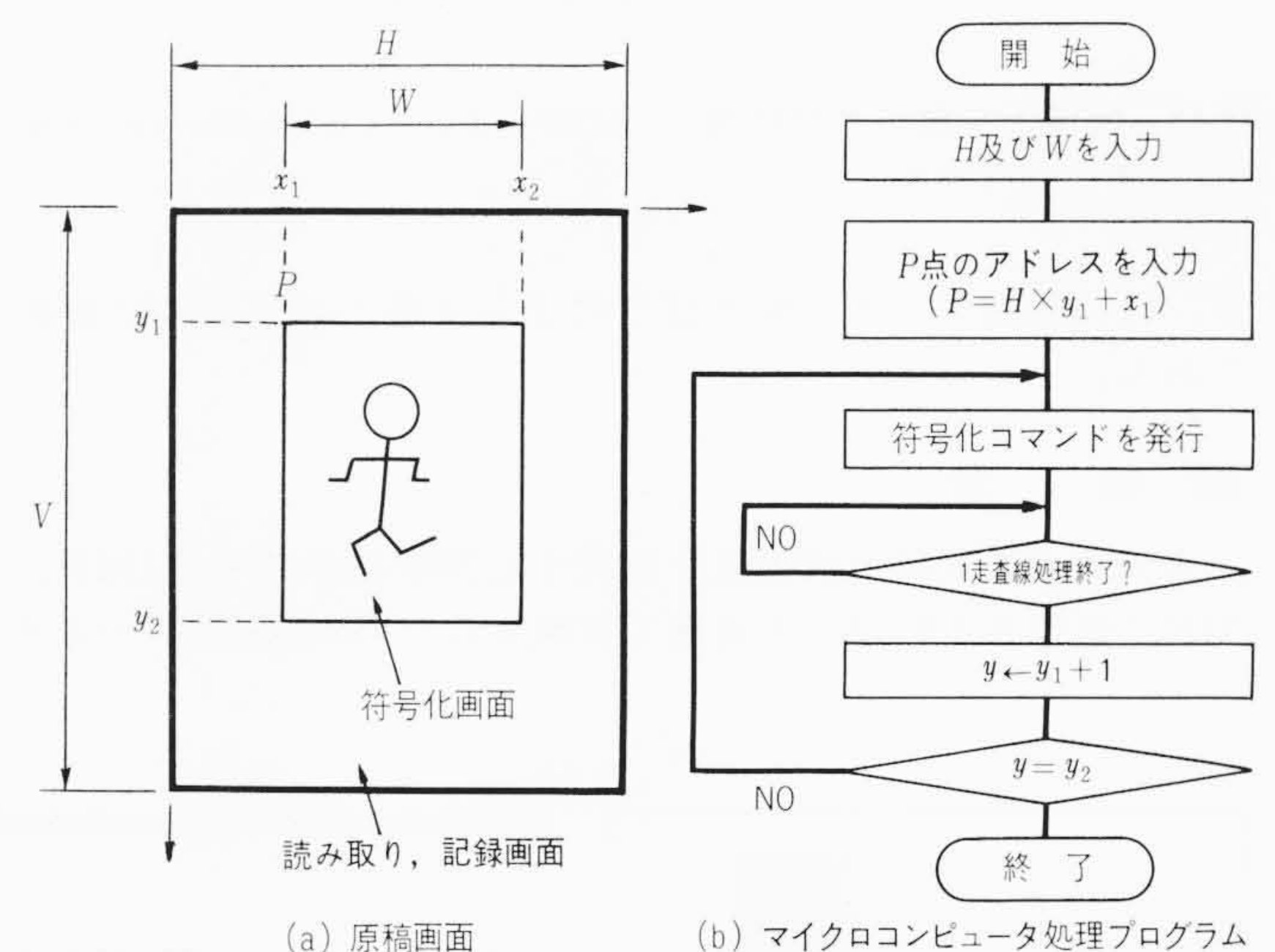


図12 部分画像符号化処理 DICEPが原稿の一部分の領域を符号化する様子、及びそのときマイクロコンピュータがDICEPに対してパラメータなどを設定する処理例を示す。

符号化幅 W 及び符号化開始点 P を設定し、符号開始コマンドを与えるだけでよい。また、DICEPは1走査線の処理が終了すると割込み信号によって応答を返すので、マイクロコンピュータはこの応答回数を計数することによって処理状況をモニタできる。

(3) 画像と文章の混在処理

次世代のテレテックスやG4ファクシミリでは、図13(a)のような画像データ(従来のファクシミリが扱う情報)と文章データ(従来のワードプロセッサやパーソナルコンピュータが扱う情報)とが混在した文書进行处理することが要求されている。

DICEPでは、このような要求を実現し、図13(b)のような出力フォーマットの処理を容易に扱えるようにしている。すなわち、画像データを切り出すための前項で述べた部分画像の符号化処理機能と、G4ファクシミリ用のEOFB(End of Facsimile Block)及びPad bitを自動的に追加し、符号長をワード単位に調整する機能を組み合わせて実現する。また、符号化のときオクテット編集モードを指定すれば、DICEPは1走査線ごとに符号長をワード単位にそろえる機能をもっている。これによって、更にきめ細かな画像データ管理を実現で

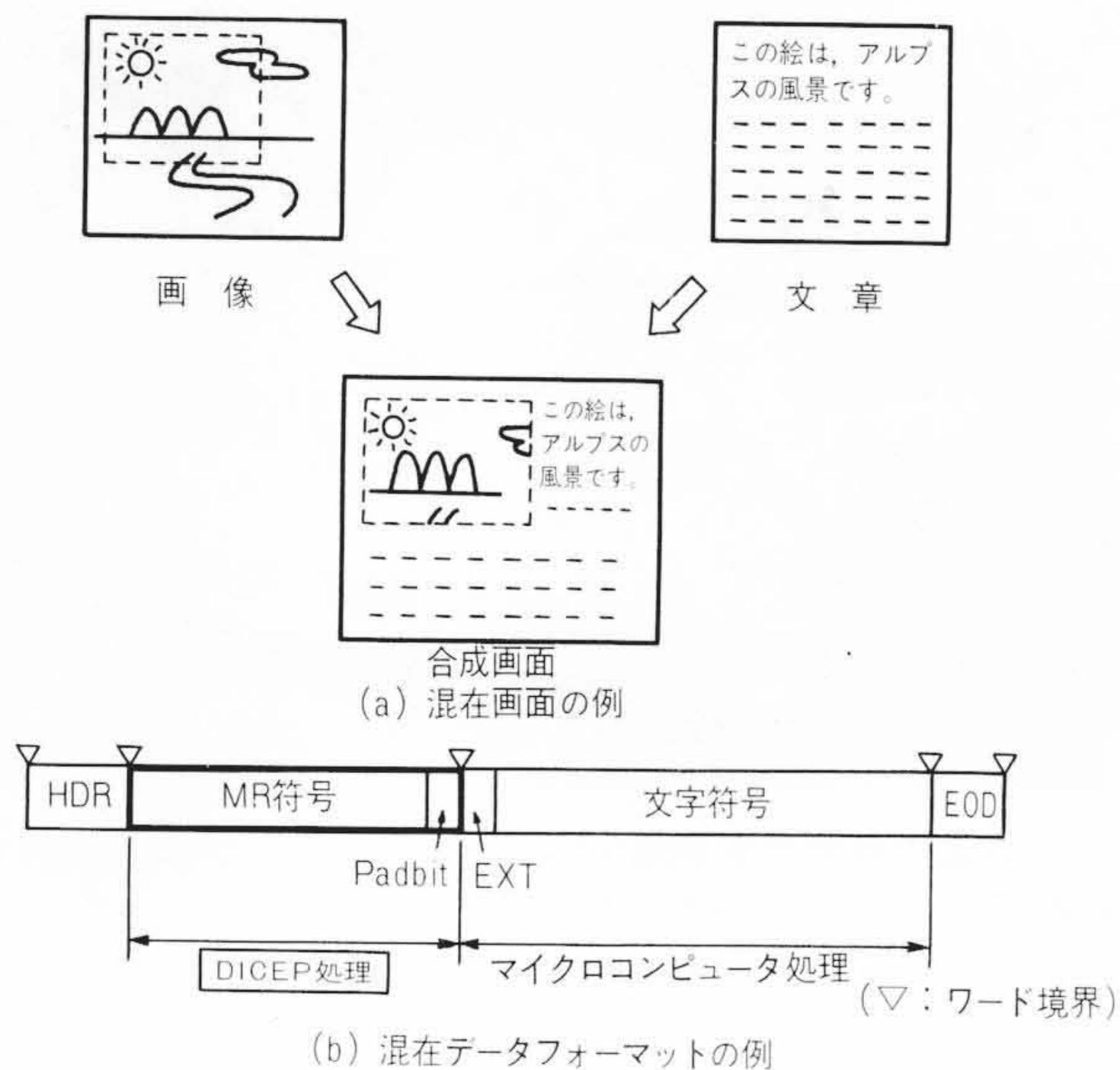


図13 画像と文章の混在処理 DICEPを用いて画像と文章が混在した原稿を処理する例を示す。

き、特に画像データの切りばりによる文書の編集合成に便利である。

7 結 言

A4サイズ原稿の情報量を削減する国際標準符号化(MH, MR,)処理を1秒以下の高速で実現するためのLSI化アーキテ

クチャを開発し、1チップのプロセッサ“DICEP”として具体化した。このDICEPは世界で初めての完全な国際標準符号化プロセッサであり、これによって複雑な処理アルゴリズムを意識することなく、手軽に符号化の恩恵が受けられる。

また、その高速性(1秒/A4)汎用性(豊富なプログラマブル機能)により、G3ファクシミリやG4ファクシミリばかりでなく、文書ファイルや次世代の文書処理端末など、OA機器の中で幅広く展開されるものと期待されている。

更に、適用範囲を拡大するためには、よりいっそうの高速化と圧縮率の向上が必要であり、これらについては、今後、次世代符号の国際標準化の動向と歩調を合わせて開発を進める予定である。

参考文献

- 1) 曾我部, 外: オフィスオートメーションにおけるファクシミリの動向, 日立評論, **65**, 11, 789~792(昭58-11)
- 2) R. Hunter, et al.: International Digital Facsimile Coding Standards, Proc. IEEE, **68**, 7, 854~867(1980-7)
- 3) 山崎: G4ファクシミリの端末特性, 画像電子学会誌, **13**, 3, 187~195(昭59-8)
- 4) K. Nakamura, et al.: High Speed Encoding and Decoding Processor for Group 4 Facsimile Apparatus, IEEE ICC '84, CH2028-9/84/0000-0219, 219~222(1984-5)
- 5) T. Harakawa, et al.: CMOS High Speed Codec Processor for Facsimile Apparatus, IEEE CICC '84, CH1987-7/84/0000-014, 14~18(1984-5)

論文抄録

バイポーラCMOS複合による高速論理回路

日立製作所 増田郁朗・西尾洋二・他1名

電子通信学会論文誌 J67—C, 12, 999~1005 (昭59-12)

最近の論理LSIでは、大規模化の要求に対処するため、CMOSが主流になりつつある。しかし、CMOSは負荷駆動能力が小さいという弱点があり、負荷が大きくなると速度が低下するため、特に高速性を必要とする分野ではECLをはじめとするバイポーラのニーズが根強く残っている。

一方、バイポーラとCMOSを同一チップ上に形成して、両者の長を生かすという考えが従来からあり、デジタル・アナログ混在LSIなどで実用化された例がある。しかし、この場合には、基本的な性能は単体特性に支配される。本論文は、バイポーラとCMOSを基本回路内で複合し、単体では得られない高性能を追求した新しいBi-CMOS技術に関するものである。複合回路の例として、高速論理回路を取り上げ、理論的及び実験的な評価を試みた。

高速Bi-CMOS論理回路では、複合化により、CMOSと同様の相補動作による低消費電力性とバイポーラの高駆動能力を両立

させることをねらっている。すなわち、高速化の基本的な考え方は、バイポーラの駆動能力を生かし、負荷容量に対する遅延時間の依存性を少なくすることにある。理論的な解析によれば、負荷依存性は実際の動作周波数での電流増幅率に反比例する。したがって、高速Bi-CMOS論理回路の性能はバイポーラの高周波特性を示す利得帯域幅積 f_T に大きく依存する。

以上の結果が示すように、高速Bi-CMOS論理回路が期待どおりの効果を発揮するためには、微細化されたCMOSと高周波特性の優れたバイポーラを一体化したデバイスが不可欠である。そこで、 P^+ 、 N^+ 埋込層をもつ新しいデバイス構造を開発し、必要な特性を得た。

次に、具体的な回路を試作し、実験的に評価した。この結果、負荷容量に対する遅延時間の依存性がCMOSの $\frac{1}{3}$ 以下になり、高速Bi-CMOS論理回路のねらいが実証できた。これに伴い、標準的な動作条件での

遅延時間は0.7~0.8nsとなり、CMOSの約2倍の速度をもつ。一方、電力・遅延時間積の観点では、ECLより一けた小さく、CMOSとほぼ同等である。また、バイポーラのエミッタサイズを変えることによって、等価的に f_T を変えた場合の特性を実測した結果、負荷依存性は f_T が大きくなるとともに減少することが確認され、解析結果が裏付けられた。高速Bi-CMOS論理回路では、論理種別に対する遅延時間の依存性もCMOSより少なくなる。例えば、4入力NORの場合、CMOSでは2入力NANDの約2倍になるのに対し、約1.6倍に抑えられる。

高速Bi-CMOS論理回路は各種VLSIに応用することができる。例えばゲートアレイの場合、基本セル及び入出力バッファをバイポーラCMOS複合で構成できる。この結果、サブナノ秒の遅延時間をCMOS並みの消費電力で実現でき、しかも入出力についてはTTL完全互換という新しい形のゲートアレイが得られる。