

## D60・D70デジタル交換機のLSI

## LSIs of D60/D70 Digital Switching System

D60・D70デジタル交換機の開発に当たっては、その高性能化、経済化のために多くのLSI、VLSIの開発が行なわれた。なかでも加入者線交換機特有のアナログ音声信号のインタフェース部に導入された高耐圧のバイポーラLSI、高精度のデジタル・アナログ混載CMOS LSI及び通話路部、制御装置部に導入された微細加工CMOS VLSIの開発が大きく貢献している。

本論文ではこれらのLSI, VLSIのシステムでの位置づけ, 及びそこに用いられているLSI技術とその特長について述べる。また将来の動向として, アナログ回路に対して今後ディジタル信号処理技術の適用が推進され, より微細加工プロセスに適したLSIに向かっていく見通しについて言及する。

安成健次郎\*

Kenjiirô Yasunari

白田昭吾\*\*

Shôgo Usuda

山木戸一夫\*\*\*

Kazuo Yamakido

菅原良孝\*\*\*\*

Yoshitaka Sugawara

荊谷忠昭\*\*\*\*\*

Tadaaki Kariya

鳥羽喜富\*\*\*\*\*

Yoshitomi Toba

井口慎介\*\*\*\*\*

Shinsuke Iguchi

## 1 緒言

D60・D70ディジタル交換機の特長は、LSI素子の著しい進歩とその適用により高性能化、小形化が実現された点にある。なかでも加入者線交換機特有のアナログ音声信号とのインタフェース部である加入者回路に必要な高耐圧LSI、高精度のディジタルアナログ混載LSIが可能となったこと、及び通話路、制御装置部の小形化、高信頼度化に必要な大規模CMOS (Complementary Metal Oxide Semiconductor) VLSIが可能となったことが大きく寄与している。D60・D70ディジタル交換機に導入された主なLSIを図1のブロック構成図上に示す。また装置全体の部品に占めるIC、LSI化率をD10アナログ交換

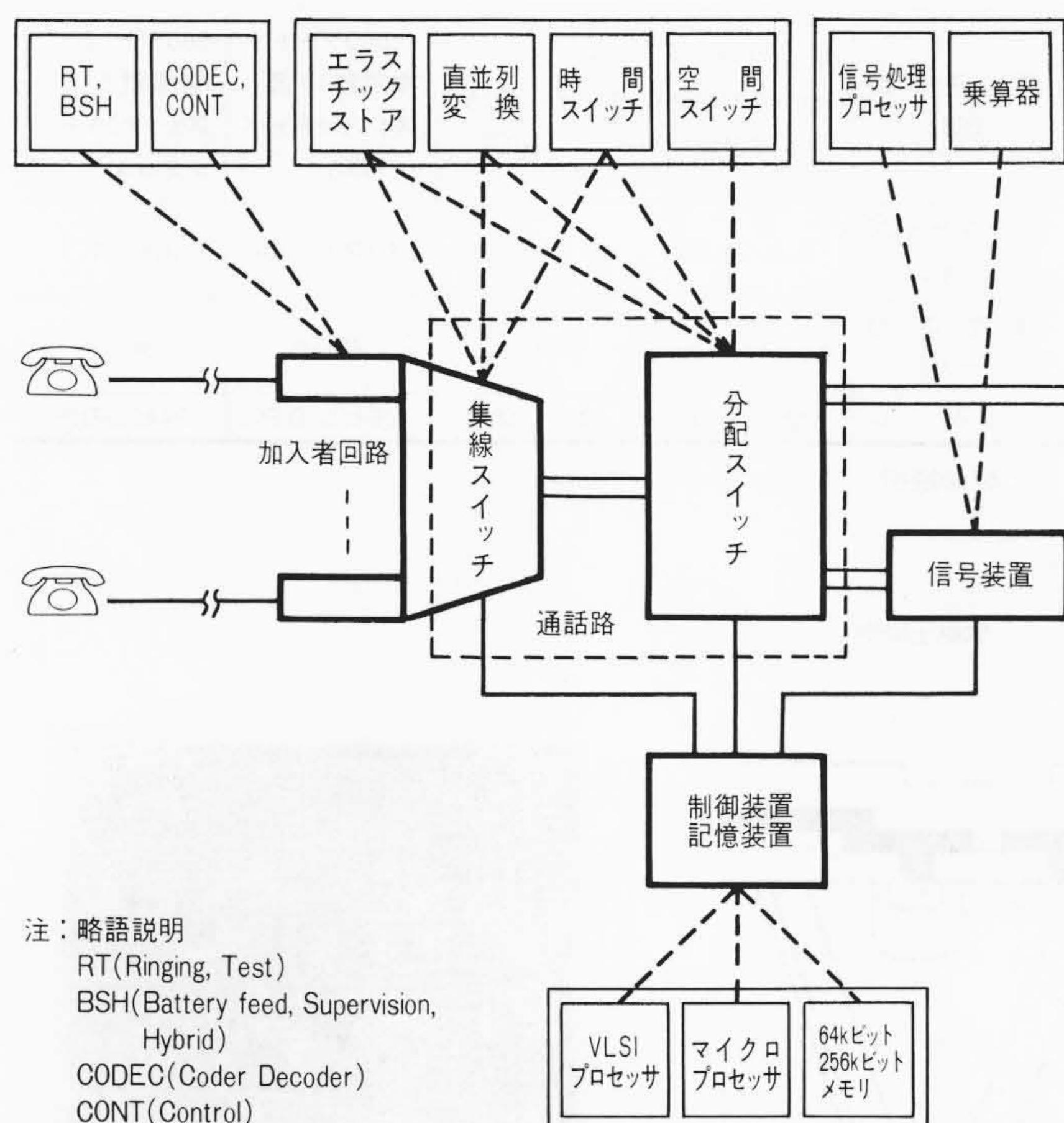


図1 LSIから見たD60・D70デジタル交換機のブロック構成  
交換機は大きく加入者回路、通話路、制御装置に分けられる。

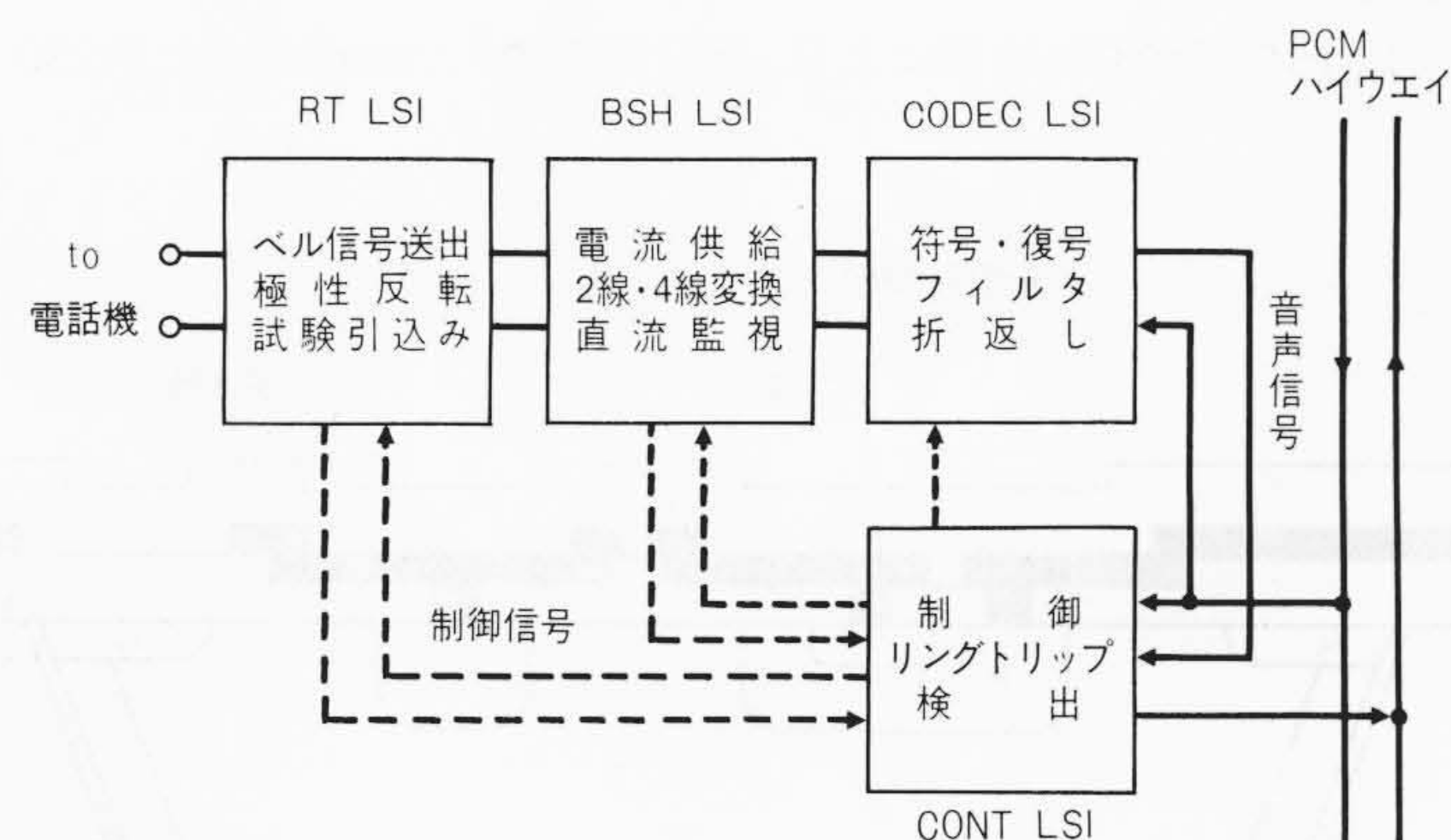
機のそれと比べると約2.5倍となっており、ここ10年の半導体部品の進歩が明確に反映されていることが分かる。ここでは、特にそのLSI化のインパクトの大きい加入者回路と通話路、制御装置部に適用されたLSI技術について述べる。

## 2 加入者回路LSI

加入者回路は、各電話機対応に交換機側にインタフェースとして設けられる回路装置であり、価格と実装スペースの面で加入者線交換機の大部分を占める。したがって、この部分の小形化、経済化は交換機の死命を制することになる。しかも屋外からの線路に直接つながるため、雷サージ、交流誘導に対する耐量が必要であり、かつリングング信号などの大振幅信号を取り扱える高耐圧、高精度のアナログ素子が必要である。図2に加入者回路全体のブロック構成と主な機能を示す。

加入者回路には、素子に要求される耐圧の点から、次に示す3種類のLSI技術が用いられている。

(1) 誘電体素子分離を用いた350V以上の高耐圧バイポーラ



注：略語説明 PCM(Pulse Code Modulation)

図2 加入者回路ブロック構成図 加入者回路はチャンネル対応にRT, BSH, CODEC, CONTのLSIで構成される。

\* 日立製作所デバイス開発センタ    \*\* 日立製作所戸塚工場    \*\*\* 日立製作所中央研究所    \*\*\*\* 日立製作所日立研究所  
\*\*\*\*\* 日立製作所日立工場 理学博士    \*\*\*\*\* 日立製作所武蔵工場 工学博士    \*\*\*\*\* 日立製作所高崎工場



LSI技術

(2) PN接合素子分離を用いた60V級の中耐压バイポーラアナログLSI技術

(3) 局部酸化膜素子分離を用いた10V級の低耐压CMOSデジタル・アナログ混載LSI技術

以下、個々のLSIについて機能、デバイス技術の特長を概説する。

2.1 RT LSI

本LSIは各種の信号(交流Ringing信号、加入者線Test信号、通話路Test信号)の送出機能や通話電流の極性反転機能、リングトリップ用インタフェース機能をもつ高耐压LSIである。雷サージや加入者線の地絡事故に耐えるための高耐压・大電流、あるいは電力損失を小さくするための低いオン抵抗が要求されることから、機能切換え素子としてPNPNスイッチを用いている。フローティング状態でも駆動できるようにPN両ゲート駆動方式とし、高い電圧ノイズ耐量を実現するために、主端子の電圧変化を検出してPNPNスイッチのゲート〜カソード間を短絡する保護方式<sup>1)</sup>を採用している。本LSIでは高耐压を実現するために、誘電体素子分離プロセスを用い、以下に示す新高密度化技術によりLSI構成素子の占有面積を大幅に縮小した。図3に素子の断面図を示す。

- (1) 誘電体分離ウェーハを、多結晶SiとSiO<sub>2</sub>膜を交互に積層する多層構造にして、ウェーハの湾曲を抑え<sup>2)</sup>、高精度ホトエッチング技術の適用を可能にした。
- (2) 誘電体分離用異方性エッチング技術を高精度化し、論理素子を集積する最小分離島の面積を従来の $\frac{1}{4}$ にした。
- (3) 高耐压素子のフィールドプレート構造の適正化とSi界面の固定電荷の低減により、接合コーナ部の電界集中を緩和した<sup>3)</sup>。この結果、高耐压接合を従来の $\frac{1}{4}$ 以下に浅くでき拡散の横広がりを低減した。
- (4) 誘電体分離島壁に沿って設けた、傾斜形チャネルストップ<sup>3)</sup>及び電界緩和領域の形成<sup>4)</sup>により、配線下のSi表面電界強度を大幅に低減した。この結果、高耐压接合からチャネルストップまでの距離を従来の約 $\frac{1}{2}$ に低減できた。
- (5) 傾斜形チャネルストップによるホールの反射効果を利用して、高耐压ラテラルPNPトランジスタの高 $h_{FE}$ (電流増幅率)化を達成し、また占有面積も従来に比べて $\frac{1}{4}$ にすることができた<sup>4)</sup>。

以上のデバイス技術により、チップ面積9.2mm<sup>2</sup>の中に約230

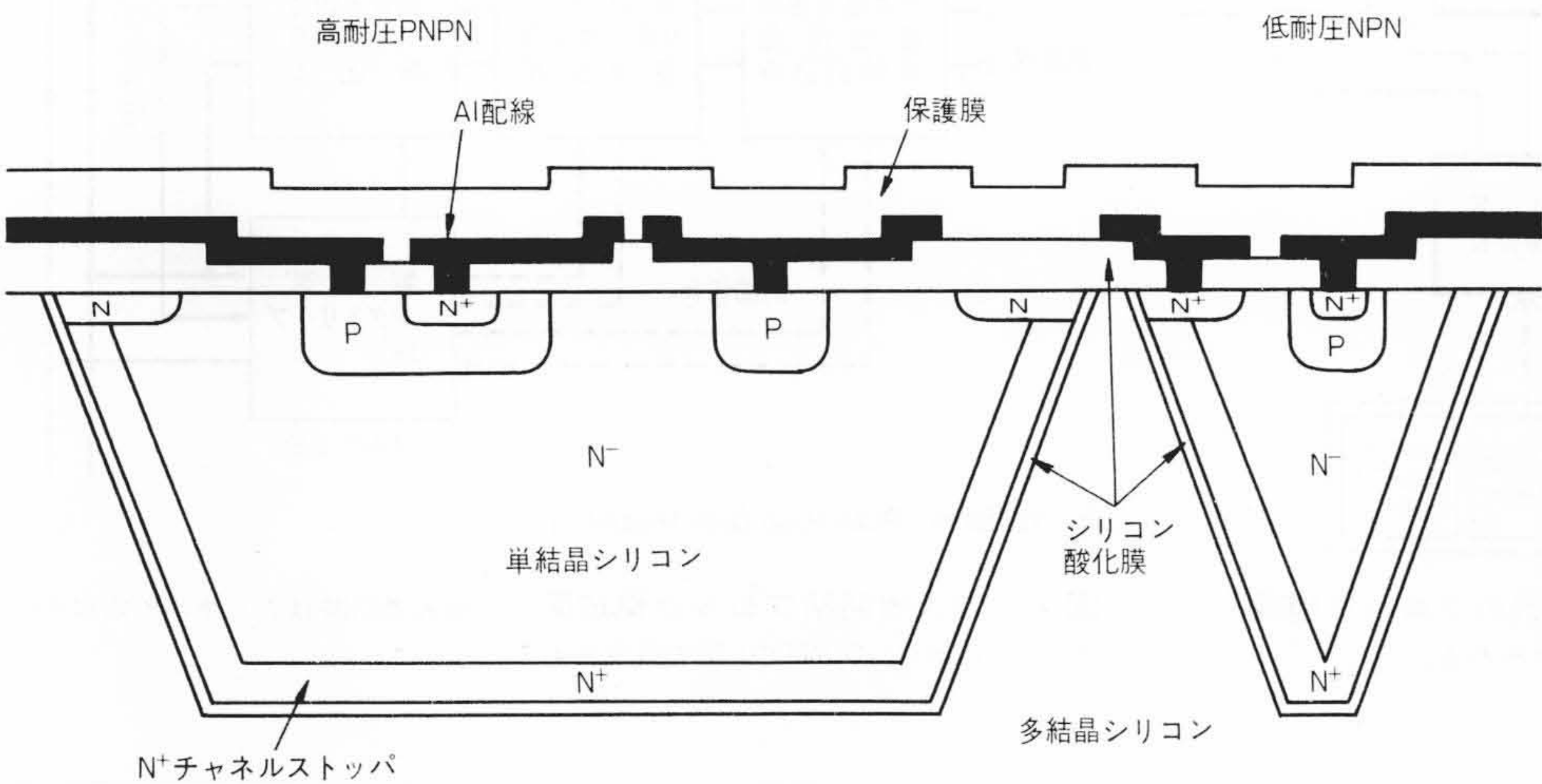


図3 誘電体素子分離RT LSIの断面図 350V以上の素子分離耐压を必要とするため、シリコン酸化膜で素子間を分離する。

個のサイリスタ、トランジスタほかの素子を集積することができた。図4にチップ写真を、表1にLSIの主要諸元を示す。

2.2 BSH LSI

BSH LSIは、加入者回路の通話電流供給(Battery feed)、オン・オフフック検出、ダイヤルパルス受信などの監視(Supervision)、2線-4線変換(Hybrid)を行なうとともにパッド挿脱、地絡検出、保護などの機能を備えたLSIであり、耐压60VのPN分離バイポーラプロセスを用いている。

給電特性は従来のレターコイルに合致させた定抵抗給電特性(220Ω×2=440Ω)を実現している。また相補対称回路構成を用いることにより通話電流依存性のほとんどない良好な対地不平衡減衰量(40dB以上)に保つとともに多量の同相帰還により低雑音化(<-76dBmop)を実現している<sup>5),6)</sup>。なお給電用のパワートランジスタは、高耐压(260V)、高消費電力(最大5.8W)のため外付けとしている。

加入者線入力インピーダンスは内部の交流帰還回路により、低耐压素子で600Ω+1μFの複素インピーダンス終端を実現した<sup>7)~9)</sup>。また以下に示す高耐压、高精度化技術により素子設計を行なった。図5に素子の断面図を示す。

表1 加入者回路LSIの主要諸元 RT, BSH, CODEC, CONTは、各各必要な素子分離耐压により、デバイスプロセス仕様を使い分けている。

| 品 種             |                | RT                         | BSH                        | CODEC                                  | CONT                                |
|-----------------|----------------|----------------------------|----------------------------|----------------------------------------|-------------------------------------|
| 項 目             | 素 子            | 誘電体素子分離                    | PN接合素子分離                   | 局部酸化膜素子分離                              | 左に同じ                                |
|                 | 構 造            | バイポーラ                      | バイポーラ                      | CMOS                                   | 左に同じ                                |
|                 | 加工寸法           | ~10μm                      | ~10μm                      | ~5μm                                   | 左に同じ                                |
| 素 子 数<br>(個)    | 耐 圧            | >350V                      | >60V                       | >10V                                   | 左に同じ                                |
|                 | 素 子 数          | サイリスタ<br>トランジスタほか<br>約230個 | トランジスタ<br>ダイオードほか<br>約500個 | 1,000ゲート<br>増幅器19個<br>スイッチトキャパ<br>シタほか | 600ゲート<br>増幅器5個<br>スイッチトキャパ<br>シタほか |
|                 | チップサイズ<br>(mm) | 3.0×3.05                   | 4.7×5.75                   | 3.62×7.26                              | 3.6×4.1                             |
| 消 費 電 力<br>(mW) |                | 40typ                      | 100typ                     | 40typ                                  | 8 typ                               |
| パ ャ ケ ー ジ       |                | 22ピンDIP                    | 24ピンDIP                    | 16ピンDIP                                | 24ピンDIP                             |

注：略語説明 DIP(Dual in Line Package)

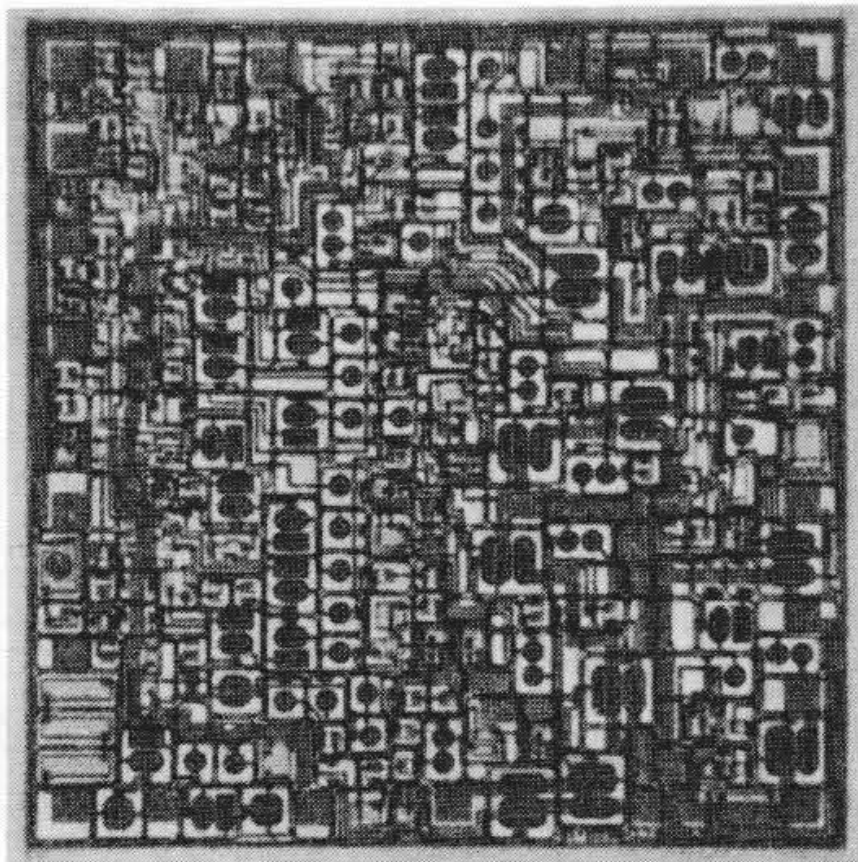


図4 RT LSIのチップ写真 誘電体(SiO<sub>2</sub>)素子分離を用いた高耐压バイポーラLSIのチップ写真を示す(チップサイズ：3.0mm×3.05mm)。



- (1) エピタキシャル層の比抵抗、厚さを通常のLSIの3～10倍とし、高耐圧化を可能にした。
- (2) 上下からのP形拡散による素子分離プロセスの採用により、素子分離領域の低減を図った。
- (3) (100)結晶ウェーハの採用により、トランジスタの低雑音化・高性能化を図り、安定な低雑音特性を得ることができた。
- (4) P形拡散抵抗を<001>結晶軸方向に形成することにより、ピエゾ効果をほぼ0にし、機械的ひずみに対する感度を最小に抑え安定な電気的特性を得ることができた。

以上のデバイス設計技術により、チップ面積27mm<sup>2</sup>の中に約500個近くのトランジスタ、ダイオード、他の素子を集積することができた。図6にチップ写真を、表1にLSIの主要諸元を示す。

### 2.3 CODEC LSI, CONT LSI

CODEC LSIは、音声アナログ信号をPCMデジタル信号に変換(Coder)、及び逆変換(Decoder)する機能を1チップ化したもので、音声帯域外の雑音を除去するためのフィルタも合わせて内蔵している<sup>9)~11)</sup>。CONT(Control)LSIは直接PCM(Pulse Code Modulation)ハイウェイとRT, BSH, CODEC LSIにインタフェースするLSIであり、ハイウェイから入ったPCMデータを制御信号と音声のデジタル信号に分離し、音声信号はCODECに、制御信号はRT及びBSHに送出する。また逆に、これらの信号を統合してPCMハイウェイに送り出す。

CODECのA-D, D-A部はキャパシタアレーを用いた逐次比較形回路を用い、基準電圧発生回路も内蔵している。更に、非線形(圧伸)符号化を用いることにより、小信号レベル時には13ビットの変換精度が得られ広範囲の音声信号に対して良好な信号対量子化雑音を得られる設計となっている<sup>12),13)</sup>。

フィルタ部はスイッチト キャパシタ回路を用いており、帯域内リップル0.2dB以下、帯域外の60Hzでの損失は30dB以上である。またCONT部には、16Hzのリング信号の直流成分を検出するフィルタが同一技術で形成されており、16Hzでの損失30dB以上を達成している<sup>14),15)</sup>。これらの高精度アナログ技術は、スイッチト キャパシタと整合性のよいCMOSデバイスを用いており、以下に示す素子設計を行なった。図7に素子の断面図を示す。

- (1) 通常のCMOSデバイスにポリシリコン、Alを各々電極とし、シリコン酸化膜を絶縁膜とするキャパシタ構造を形成して、スイッチト キャパシタ回路を可能とした。
- (2) 基準電圧トリミング調整用にポリシリコンヒューズを用いることにより、高精度なA-D, D-A変換特性を得ることが

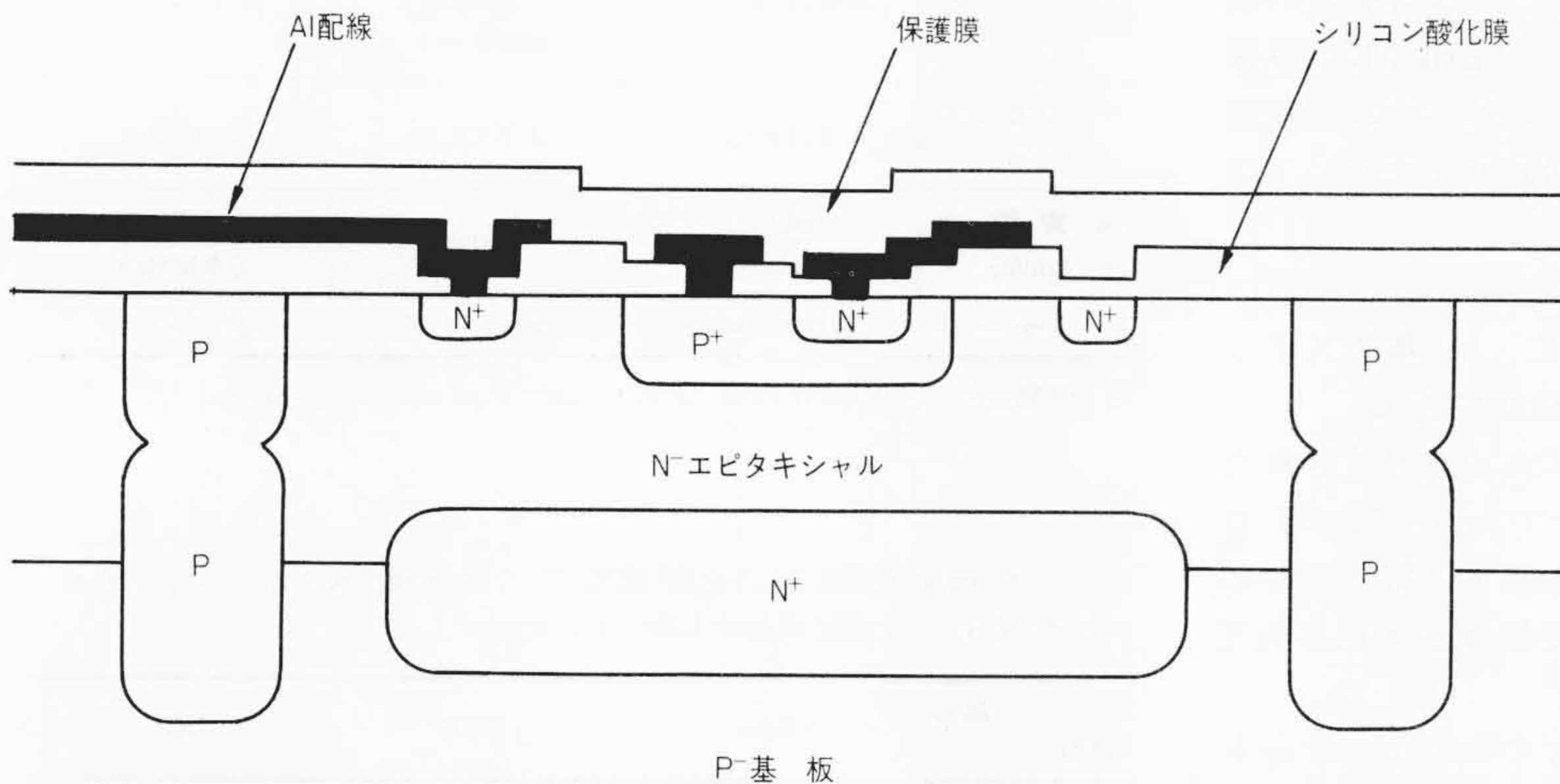
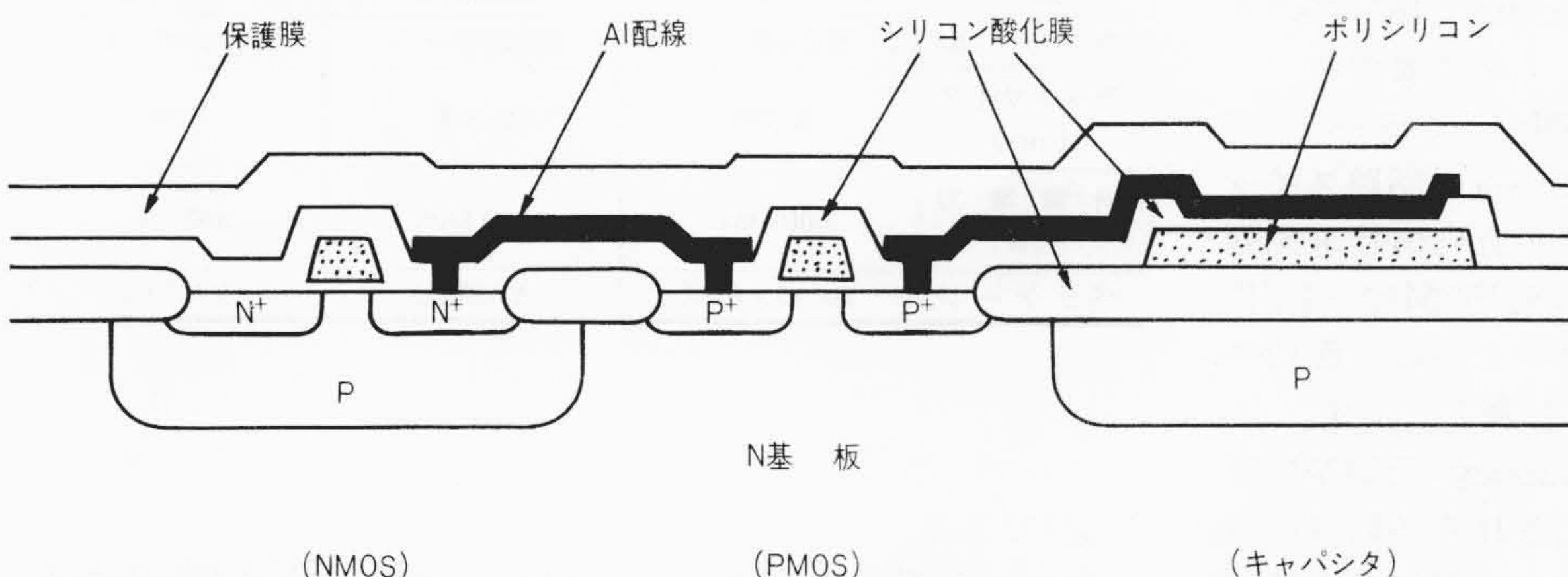


図5 PN接合素子分離BSH LSIの断面図 60V以上の素子分離耐圧を必要とするため、上下からのP形拡散を用い素子分離領域の低減を図った。



注：略語説明 NMOS(N Channel Metal Oxide Semiconductor)  
PMOS(P Channel Metal Oxide Semiconductor)

図7 局部酸化素子分離CODEC LSI, CONT LSIの断面図 通常のCMOS構造にポリシリコン、Alを各々電極とし、シリコン酸化膜を絶縁膜とするキャパシタを追加形成している。

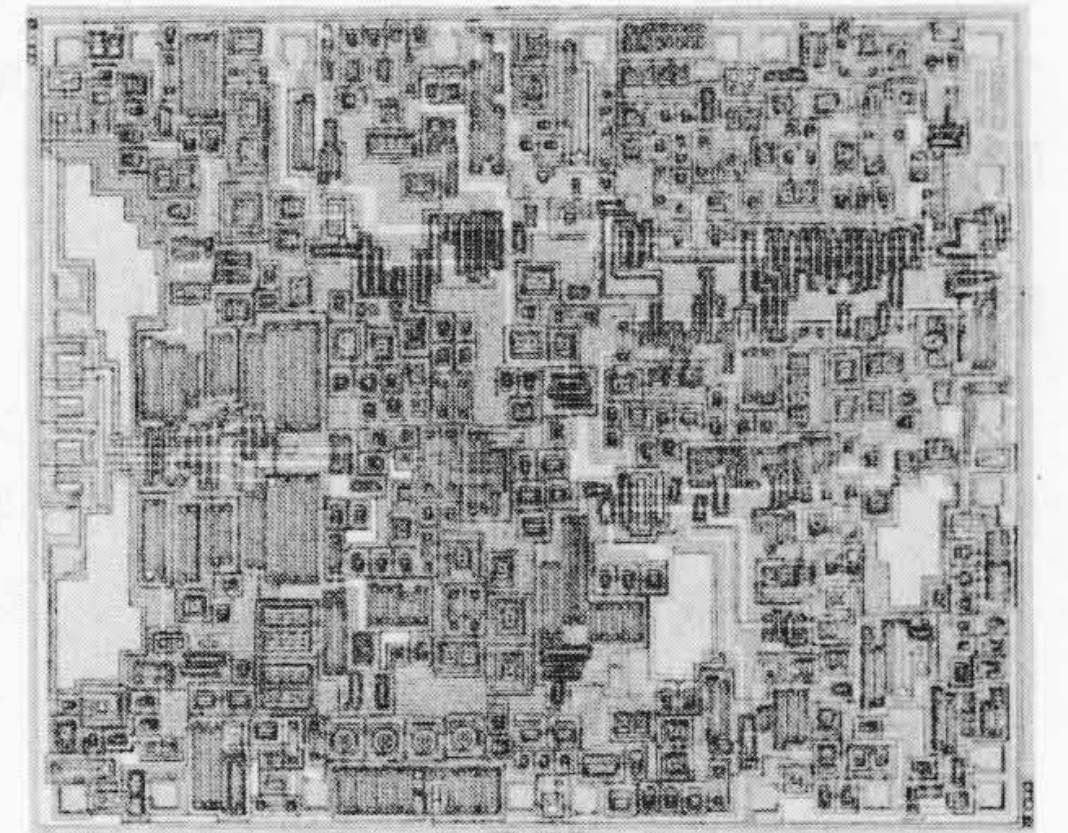


図6 BSH LSIのチップ写真 PN接合素子分離を用いた中耐圧バイポーラLSIのチップ写真を示す(チップサイズ:4.7mm×5.75mm)。

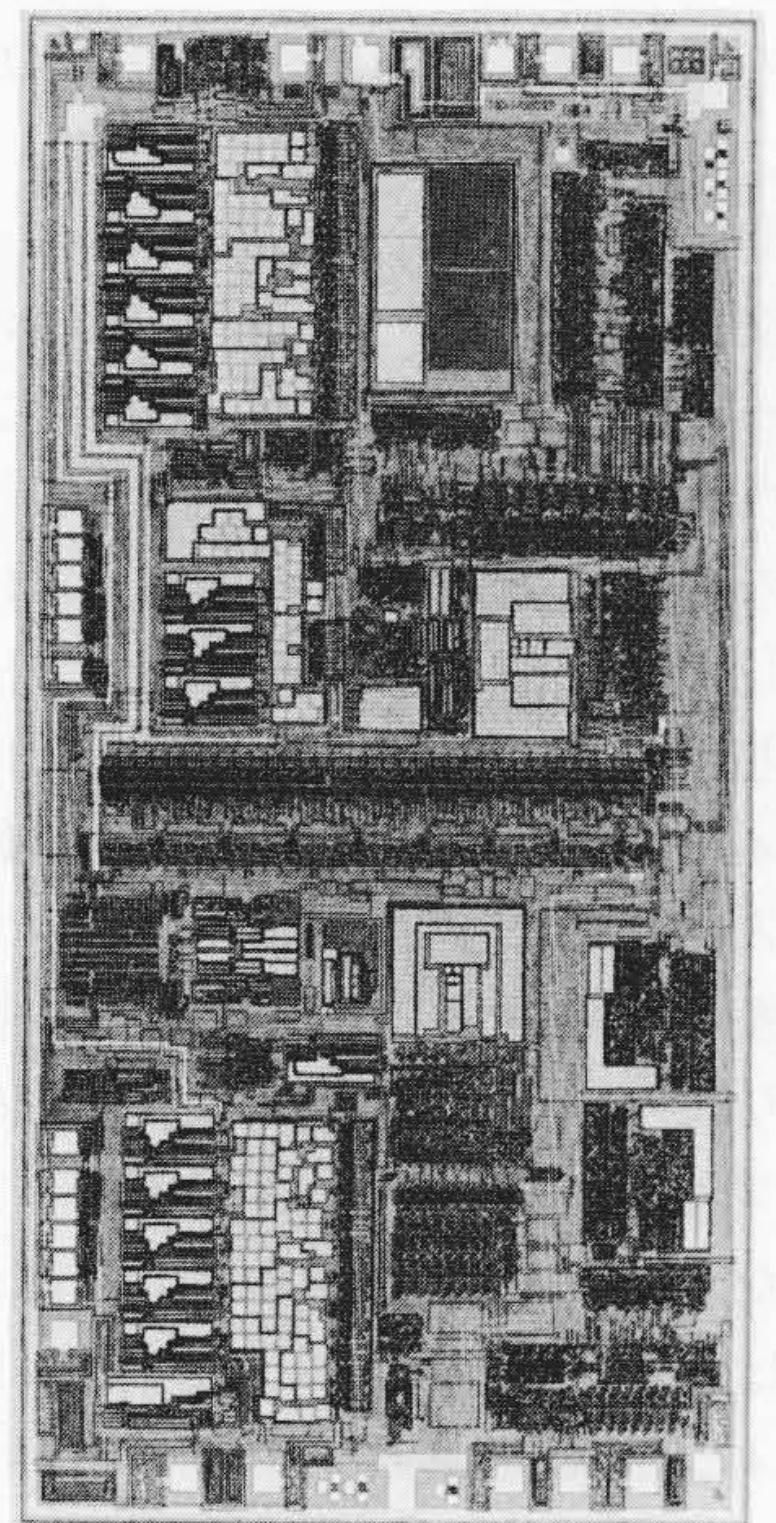


図8 CODEC LSIのチップ写真 キャパシタアレーを用いた逐次比較形A-D, D-A及びスイッチト キャパシタフィルタを内蔵している(チップサイズ:3.62mm×7.26mm)。



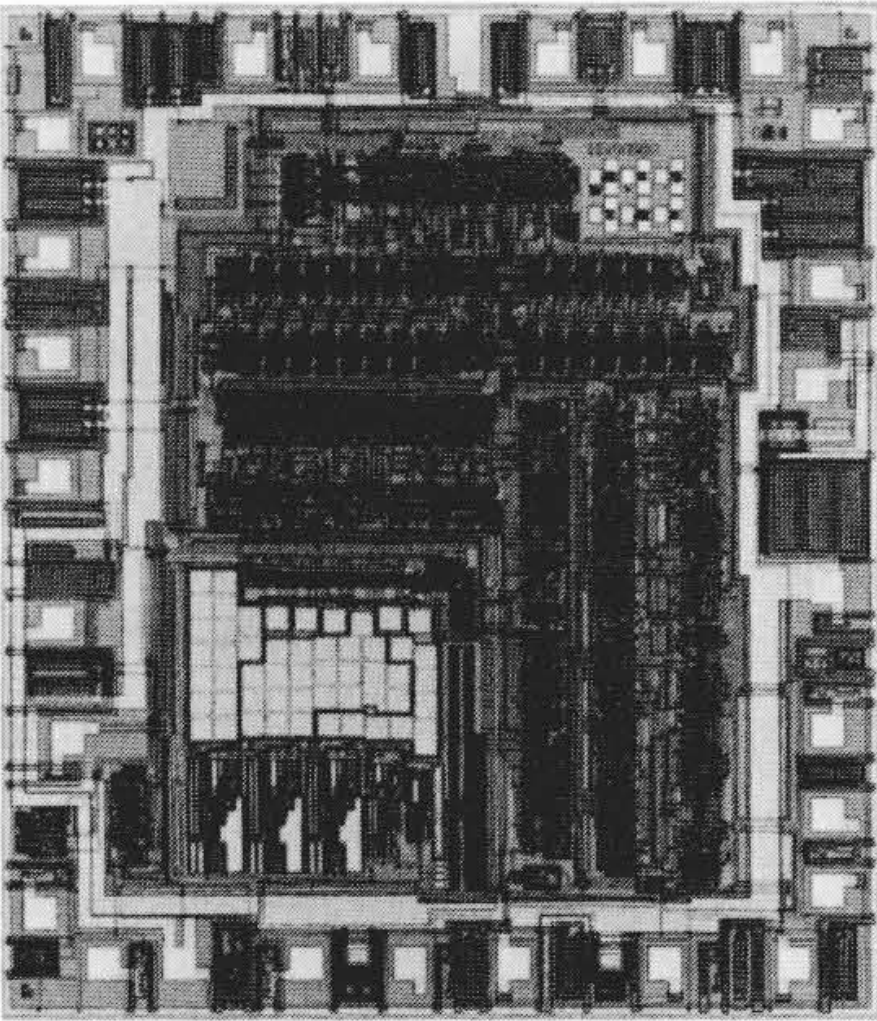


図9 CONT LSIのチップ写真  
600ゲートの制御ロジックとリングトリップ用三次のスイッチト キャパシタフィルタを内蔵している(チップサイズ: 3.6mm×4.1mm)。

できた。

(3) 異なるしきい値をもったMOSトランジスタを形成することにより、安定な基準電圧発生回路を得ることができた。

以上のデバイス設計技術により、CODEC LSIは、約1,000ゲートのロジックとフィルタなどのアナログ回路を約26mm<sup>2</sup>のチップ面積に、またCONT LSIは約600ゲートのロジックとフィルタを約15mm<sup>2</sup>以下のチップ面積の中に集積している。図8、9に各々のチップ写真を、表1に主要LSI諸元を示す。

3 通話路及び制御装置用LSI

D60・D70の通話路及び制御装置については、本特集号の別論文で解説されている。LSIとしての特徴は2μm MOS技術を用いた高集積・高密度化にあり、装置の小形化・高信頼度化に大きく寄与している。使用しているLSIの概要について以下に述べる。

3.1 通話路用LSI<sup>16)</sup>

通話路用の主なLSIは図1に示したように、(1)時間スイッチ、(2)空間スイッチ、(3)直並列変換の3種類である。

時間スイッチLSIは、入力ハイウェイ上に1,024多重されたチャンネルの時間順序を入れ替えるスイッチであり、RAM(ランダムアクセスメモリ)で構成される。高速・低電力動作に最適なNチャンネルシリコンゲートE/D MOS技術が適用されている。

空間スイッチLSIは、複数本の入・出ハイウェイ上のチャンネルを交換接続するため、ゲートマトリックスで構成される。各ゲートは1チャンネル分の時間ごとに開閉され、設定されたハイウェイに接続される。ゲートマトリックスはLSI当たり16×4の3ビット並列で構成し、12個のLSIを用いて16×16の8+1(パリティビット付加)ビットのスイッチを構成する。

直並列変換LSIは、多重度と動作速度の関係から8+1(パリティビット付加)ビットの並列動作されている通話路スイッチに入力するために、8ビットのデジタル直列信号を並列に変換して転送するLSIである。最高速度は8,192Mビット/秒であり、2μmCMOS Al2層配線技術を用いている。図10にチップ写真を示す。以上3種類のLSI諸元を表2に示す。

またPB/MF(Push Button/Multi Frequency)受信器に関しては、通話路のデジタル化に伴い受信される多周波信号もデジタル化されるため、デジタル信号処理技術を適用している。このために、汎用の信号処理用マイクロプロセッサHSP(High Performance Signal Processor)を活用した。

3.2 制御装置用LSI<sup>17)</sup>

制御装置用LSIとして主なものは、表3に示す3品種の

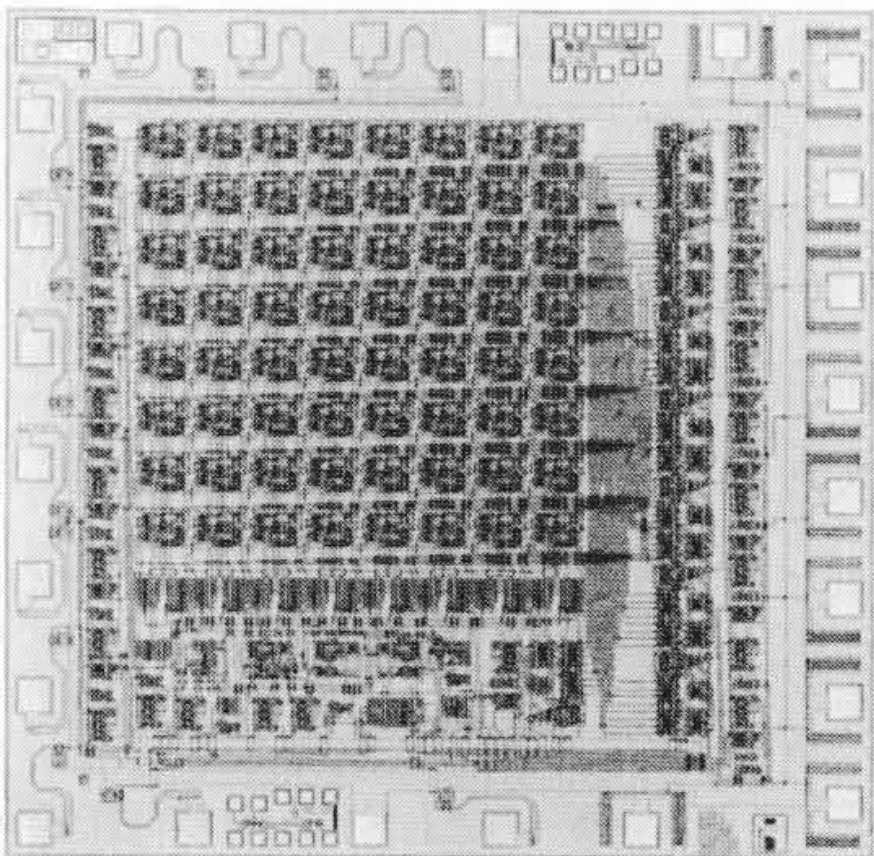


図10 直並列変換LSIのチップ写真  
2μmCMOS, Al2層配線を用いて、約2kゲートを集積している(チップサイズ: 3.6mm×3.5mm)。

表2 通話路用LSIの主要諸元<sup>15)</sup> 高集積化に適したMOS技術を基本とし、高速性を要するLSIはE/D NMOSを、低消費電力を重視するLSIはCMOSを用いている。

| 項目             |      | 品種 | 空間スイッチ           | 時間スイッチ                      | 直並列変換             |
|----------------|------|----|------------------|-----------------------------|-------------------|
| プロセス           | 素子構造 |    | CMOS             | 2層ポリシリコン<br>E/D NMOS        | Al2層配線<br>CMOS    |
|                | 加工寸法 |    | ~ 3 μm           | ~ 2 μm                      | ~ 2 μm            |
|                | 耐圧   |    | > 5 V            | 左に同じ                        | 左に同じ              |
| 素子数            |      |    | 約2.5kゲート         | 1k語×11ビット<br>SRAM<br>600ゲート | 約2kゲート            |
| チップサイズ<br>(mm) |      |    | 6.4×6.6          | 3.9×6.35                    | 3.6×3.5           |
| 消費電力<br>(mW)   |      |    | 650以下<br>(9 MHz) | 600typ                      | 150typ<br>(9 MHz) |
| パッケージ          |      |    | 120ピンPGA         | 40ピンDIP                     | 24ピンDIP           |

注：略語説明 PGA(Pin Grid Array), DIP(Dual in Line Package)

表3 制御装置用LSIの主要諸元<sup>16)</sup> 高集積、高密度VLSIに適した2μm CMOS, Al2層配線技術を用いている。

| 項目             |      | 品種 | CCA            | CCB     | DCH     |
|----------------|------|----|----------------|---------|---------|
| プロセス           | 素子構造 |    | Al2層配線<br>CMOS | 左に同じ    | 左に同じ    |
|                | 加工寸法 |    | ~ 2 μm         | 左に同じ    | 左に同じ    |
|                | 耐圧   |    | > 5 V          | 左に同じ    | 左に同じ    |
| 素子数            |      |    | 約15kゲート        | 約12kゲート | 約20kゲート |
| チップサイズ<br>(mm) |      |    | 9.7角           | 9.8角    | 12角     |
| 消費電力<br>(mW)   |      |    | 600 Max        | 200 Max | 300 Max |
| パッケージ          |      |    | 208ピンPGA       | 左に同じ    | 左に同じ    |

VLSIである。

中央制御部CC(Central Controller)では、主メモリ内の各種サービス用処理プログラムを実行し、ネットワークやI/O系を制御するが論理規模が大きいためCCA(Central Controller A), CCB(Central Controller B)の2品種のVLSIに分割されている。CCAは命令実行、演算処理の中心的機能を果たし、



外部に制御メモリを設置して論理仕様を拡張できるマイクロプログラム制御方式を採っている。一方、CCBは外部装置からの割込制御、他装置へのバス制御機能をもつと同時に、CCAと連動してマルチプロセッサ制御を行なう。

またCCからの指令により、主メモリと各種入出力装置とのデータ転送を行なうVLSIとして、DCH(Data Channel)用VLSIがある。入出力装置の増設に対しては、このVLSIを搭載したカードを増設して対応することができる。マイクロプログラム制御方式を用いており、プログラムと周辺回路を変更することで、DIPS用入出力装置を制御するなどの融通性をもたせてある。

上記3品種のVLSIの中で日立製作所が開発した最も規模が大きいDCH VLSIのチップ写真を図11に示す。これらのVLSIはいずれも2 $\mu$ m CMOS, Al<sub>2</sub>O<sub>3</sub>層配線技術を用いており、自動配置配線によるレイアウト設計手法が適用されている。

#### 4 将来の動向

加入者回路LSIでは、高耐圧高精度のアナログLSIをいかに経済的に達成するかが大きな課題であり、BiCMOS(Bipolar CMOS)の高耐圧化などのデバイス技術による対策のほか、デジタル信号処理技術によるアナログ部分のデジタル化により微細加工に適した、より経済的、より小形化の図られた新しいデジタル・アナログ混載LSIへ変化していく可能性がある。

一方、通話路、制御装置関係のLSIは、メモリ、ロジックを主体とした純デジタル回路であり、微細加工のトレンドに従って1 $\mu$ m,あるいはサブミクロンといったデバイスによるVLSIが引き続き開発、適用されていくことが期待される。

#### 5 結 言

(1) 加入者回路LSIでは、高耐圧の誘電体素子分離バイポーラデバイス、中耐圧のPN接合素子分離バイポーラデバイス、低耐圧の局部酸化膜素子分離CMOSデバイスと、それぞれの必

要耐圧に応じた最先端技術のデバイスを使い分けることにより、装置の小形化、経済化、高性能化を達成することができた。

(2) 通話路、制御装置用LSIでは2 $\mu$ m CMOSデバイス的大幅導入により、装置の小形化、高信頼度化に大きく寄与することができた。

(3) 将来の動向としては、より微細な加工技術が適用しやすいデジタル回路化が進むものと思われ、アナログ回路部に対するデジタル信号処理技術の適用がクローズアップされてくるであろう。

終わりに本LSIの開発実用化に当たり終始御指導いただいた日本電信電話株式会社殿ほか関係各位に対し、深謝する次第である。

#### 参考文献

- 1) T. Kamei: IEDM Technical Digest, p. 254, Dec. (1981)
- 2) T. Suzuki, et al.: J. Electrochem. Soc., Vol. 127, No. 7, p. 1537(1980)
- 3) Y. Sugawara, et al.: Proc. 14th. Conf. (4th. International) Solid State Devices, Tokyo, Aug. 1982: Japan J. Appl. Phys., 22, Suppl. 22-1, p. 77(1983)
- 4) Y. Sugawara, et al.: IEDM Technical Digest, p. 412, Dec. (1983)
- 5) 河原田: デジタル加入者線交換機加入者回路のLSI化, 電子通信学会誌, Vol. 66, No. 1 (昭58-1)
- 6) 北野, 外: BSH LSIの歪特性について, 電子通信学会総合全国大会誌(昭58)
- 7) 北野, 外: 複素インピーダンス終端形BSH回路の検討, 電子通信学会総合全国大会誌, 544(昭58)
- 8) 北野, 外: 内部終端形BSH LSIの試作, 電子通信学会総合全国大会誌, 457(昭60)
- 9) 木村, 外: D70デジタル交換機の加入者回路LSI, 通研実報, 33, 7, 1777~1786(昭59)
- 10) K. Yamakido, et al.: A Single Chip CMOS Filter/Codec, IEEE J. Solid State Circuits, SC-16, 4, 302~307(Aug. 1981)
- 11) A. Iwata, et al.: A Single Chip Codec with Switched Capacitor Filters, ibid, 315~321
- 12) 坪井, 外: 単一チャネルLSI CODECの機能と規格, 通研実報, 30, 2, 509~519(昭56)
- 13) 山木戸, 外: PCM・CODEC LSIの開発, 日立評論, 64, 3, 189~194(昭57-3)
- 14) 浜里, 外: 加入者回路におけるSCFを用いたリングトリップ方式, 電子通信学会総合全国大会誌, 1764(昭58)
- 15) 佐藤, 外: リングトリップ応答遅延時間の一考察, 電子通信学会総合全国大会誌(昭59)
- 16) 二階堂, 外: デジタル加入者線交換機の通話路用LSI, 通研実報, 31, 11(昭57)
- 17) 新谷, 外: 交換用VLSI処理装置の方式構成, 通研実報, 33, 7 (昭59)

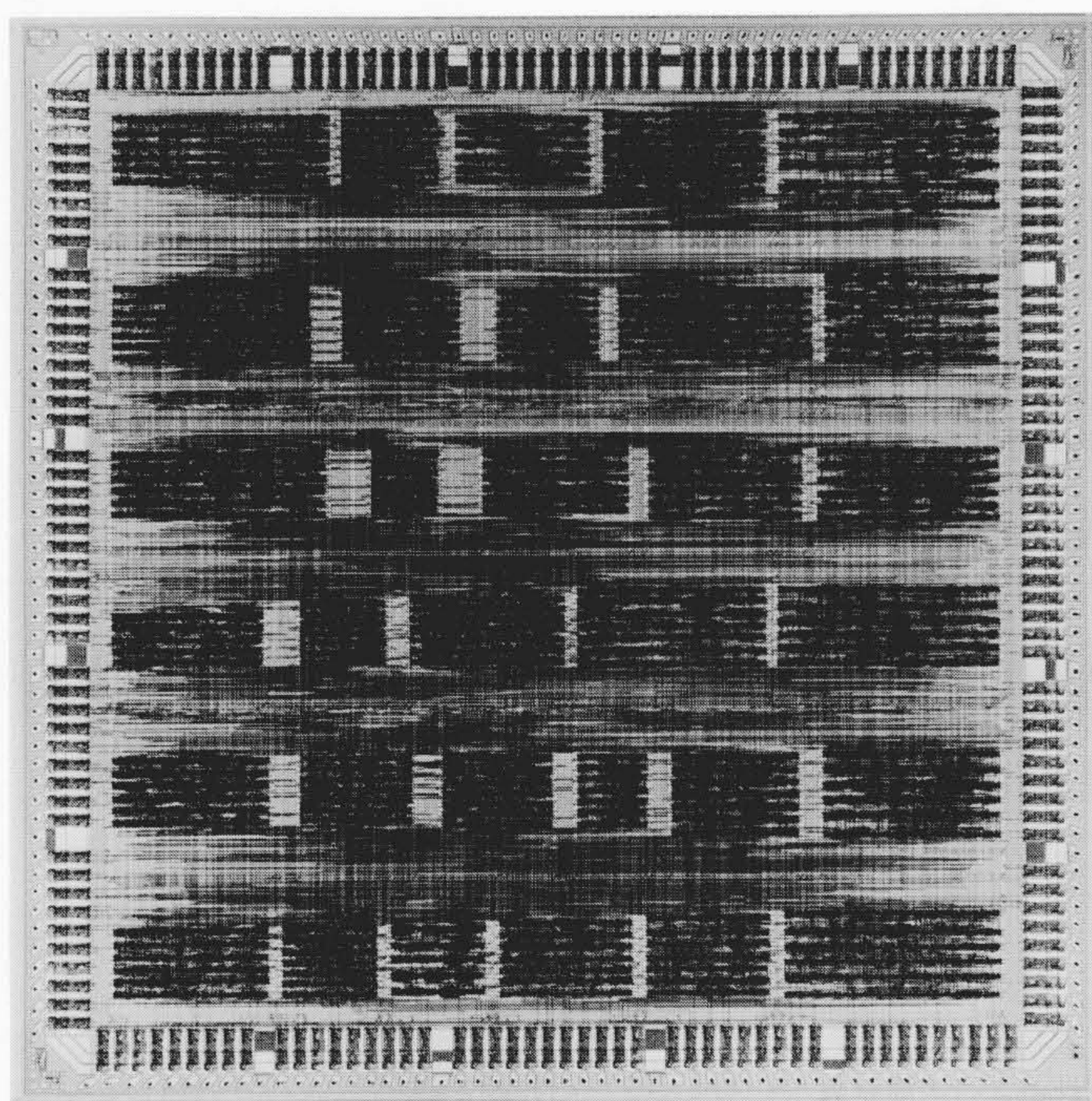
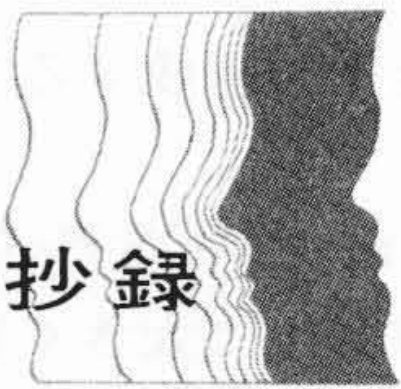


図11 DCH VLSIのチップ写真 2 $\mu$ m CMOS, Al<sub>2</sub>O<sub>3</sub>層配線を用いて、約20kゲートを集積している(チップサイズ: 12mm×12mm)。





## 非量産系機械設計におけるコンピュータの応用

日立製作所 岡田昌康

日本機械学会誌 88—796, 272—276 (昭60-3)

日立工場のような、火力・水力・原子力などの発電用機器、圧延機、電動機、半導体応用製品などの非量産品の工場での設計へのコンピュータ応用の状況を、いくつかの事例を掲げて解説している。

ここでのコンピュータ応用の目的は、設計の能率向上、及び製品の機能・信頼性向上と原価低減にあり、その対象は、設計者の肉体的・定型業務から、知的・非定型業務へと拡大してきた。そのソフトウェアは、主に社内の研究所で開発された新技術と、社外からの優れたパッケージの上に、工場向きの機能化が、推進スタッフ組織によって加えられ、実用化されているものである。

解析などのシミュレーション業務には、各種CAE (Computer-Aided Engineering) 技術が応用されていて、主に場に対する偏微分方程式を、有限要素法や境界要素法又は差分法で解く方式のものである。まず蒸気・水力タービンや原子炉内の流れ解析は、

簡単なポテンシャル流れから、乱流などの非線型流れまでに適用されている。構造物の静的・動的解析では、線型・非線型のシミュレーションが行なわれ、伝熱現象による熱応力も解析されている。そのほか、発電機や核融合炉内の電磁場解析や原子炉内の熱中性子の解析による、熱出力シミュレーションも紹介されている。ベクトル計算を行なうスーパーコンピュータHITAC S-810が最近開発・実用化され、これら非線型構造解析などの大規模計算が、10倍を超えて高速化されている。また、設計のコンピュータ化に伴って、そのデータは関係型データベースによって一元管理されるようになってきた。一方、設計業務の半も占める技術文書作成には、文章・数式・表・図面を混在して対話型で編集できるシステムが実用化されている。

製図を中心とした設計業務には、各種のCAD (Computer-Aided Design/Drawing)

技術が適用されている。下流側で製図や加工などの生産に用いられる図形処理ソフトウェアでは、寸法精度に重点が置かれ、解析用の図形処理ソフトウェアでは、取扱いやすさのほうに重点が置かれている。プラントの3次元配置設計、制御盤や機械部品の編集設計、蒸気・水力タービンの3次元曲面の設計と加工などがその例である。

「いつも多忙な設計者」をコンピュータが今後更に支援するには、上述の個々の技術のほかに、異なるシステム間の違いを埋める仕事から解放できる一貫化の技術が望まれる。その一つは、3次元形状にかかわるすべての技術情報を管理できる本格的な大規模統合エンジニアリングデータベースであり、もう一つは、多種の設計業務が、大形コンピュータと組み合わせて統一的に集中分散処理できるようなエンジニアリングワークステーションの実現であるとしている。

## 自律分散システムとその機械工業への適用

日立製作所 宮本捷二・井原廣一

日本機械学会誌 88—794, 115—121 (昭60-1)

近年のLSI・マイクロコンピュータ技術や通信技術の発達に裏付けられて、システムの分散化が急速に進められている。生産システムでも、大形コンピュータで生産計画や設計を自動化する段階から、マイクロコンピュータを使って製造現場の各機器を自動化し、有機的に結合しようとするシステムが開発されている。更に規模が大きく、複雑になるに従い、信頼性はもとより拡張性・保守性が求められており、部分的な故障によってもシステムを停止させないフォールトトレランス性やシステムを稼働させながら修理、増設を行なうオンライン柔軟性が必要とされてきている。

このニーズにこたえる新しいシステム概念として、生体とのアナロジーに基づく自律分散システムを提案するとともに、本概念によるFAシステムを構築した。

自律分散システムは、生物ではごく自然に達成されている制御システムの本質的要求である、(1)無停止、(2)段階的システム建設、(3)稼働中の保守、を実現するため、従

来と異なり「システムは常に故障した部分を含む」、すなわち「故障があるのがむしろ正常」であるという観点に立ちシステムを構成する。

具体的なシステム構成の条件として、(1)サブシステムの構成はハードウェア、ソフトウェアとも均質とする、(2)すべてのサブシステムは平等で親子の関係はない、(3)サブシステムは全体の情報を知る必要はなく、局所的情報だけで協調をとり制御する、ことの必要性を示すとともに、本概念に基づく要素技術として、生物の神経網に対応するループ伝送システムと、脳に対応する複合マイクロコンピュータシステムを開発した。

FAシステムでは、最近特に需要変動による生産品種・数量の変更や、製造装置の発展による設備の更新など、定常的とも言えるシステムの拡張・変更を容易に行なうことが要求されているが、従来はハードウェアについての拡張性が考慮されているだけで、ソフトウェアの観点からの考慮はほ

とんどなされていなかった。そこで、この要求をハードウェア、ソフトウェアの自律分散化と要素技術の適用によって解決するFAシステムを実現した。

システムの機能分担は、従来、工場にいた多くの人間が果たしていた役割をどのコンピュータや制御装置で処理するかの対応をとるとともに、現実に即し「管理は集中、制御は分散」の方針で行なった。すなわち、計画・管理レベルは汎用コンピュータで集中的に処理し、制御レベルは各部署ごとに分散設置しループ伝送システムで接続したコントローラ群によって処理するものである。これにより、フォールトトレランス性を向上するとともに、システム全体を停止させずに、機器やソフトウェアの増設・交換・保守を行なえるようにした。

今後各分野でニーズの多様化が進み、高度な機能をもって変化に対応できるシステムの実現が強く要求されてくることから、自律分散概念の広い応用が進むと考える。