

HITAC M-680H/M-682H処理装置

Hitachi Computer System HITAC M-680H/M-682H Processor

HITAC M-680H/M-682Hは、超高速処理、システムの拡張性、高信頼性の市場要求にこたえて、新たに開発した世界最高水準をゆく汎用処理装置である。

最新のハードウェア技術と論理方式の工夫に基づく高速化技術及び高信頼化技術、並びにアーキテクチャの拡張及びこれらをサポートするソフトウェアと高性能周辺装置、ハードウェア技術、生産技術の開発により上記の要求にこたえたものである。

本稿は、HITAC M-680H/M-682Hの開発思想、システム構成、Mシリーズアーキテクチャ、論理構造、高信頼化技術の特長について述べたものである。

若井勝郎* *Katsurô Wakai*
橋本眞宏* *Masahiro Hashimoto*
和田健一** *Ken'ichi Wada*
小高俊彦* *Toshihiko Odaka*

1 緒 言

近年、オンライントランザクション処理の急増、大規模データベースの量的・質的拡大、及び分散処理の拡大に伴う中央統括処理拡大などによるデータ処理量の増大と質の多様化は超高速処理を要求している。また、グラフィック処理、人工知能などのより多くの能力を必要とする新しいアプリケーションでは、アーキテクチャの拡張とシステムの拡張性が必要とされている。

一方、コンピュータが社会の中核システムとしての地位を占めるにつれて、そのシステム障害の影響がますます大きくなってきており、システムの高信頼性がいよいよ必要となってきた。

HITAC M-680H/M-682H(以下、M-68Xプロセッサグループと呼ぶ。)は、これらの要求にこたえるために新たに開発した超高速処理装置である。最新のハードウェア技術と論理方式の工夫に基づく高速化により、超高速処理の要求にこたえ、アーキテクチャの拡張とこれをサポートするソフトウェア、高性能周辺装置などにより、多様化するシステム機能への要求にこたえ、またハードウェア技術、生産技術、RAS (Reliability, Availability, Serviceability)機能の強化により高信頼性の要求にもこたえようとするものである。

図1にHITAC M-682H(以下、M-682Hと略す。)システムの外観を示す。

2 開発の概要

(1) M-68Xの位置づけ

M-68XはHITAC Mシリーズ(以下、Mシリーズと略す。)の最上位機種であり、汎用機として世界のトップクラスに位置づけることができる。HITAC M-680HはHITAC M-280H¹⁾(以下、M-280Hと略す。)と比較して、事務処理で約2~2.5倍、科学技術計算で約2~3倍の処理能力をもつ。M-682HはM-680Hの約1.7~1.9倍の処理能力をもつ。

M-68Xシステムは、Mシリーズのソフトウェア、周辺装置、端末のほとんどをシステム構成品としてもつことができる。なかでも、Mシリーズ拡張アーキテクチャをサポートする新しいプログラムプロダクト VOS 3/ES 1 (Virtual-storage Operating System 3/Extended System Product 1)、H-6585大容量ディスク駆動装置(5 Gバイト/台)、H-6915半導体記憶装置(512Mバイト/台)などとのシステム構成は、高度化する



図1 M-682Hシステムの外観 中央に位置するのがM-682H処理装置である。

ユーザーニーズによりよく適合できると考えている。

(2) 高速処理

並列オペランド制御などのパイプライン制御の強化、3階層記憶構成、浮動小数点レジスタの拡張を含む超高速演算処理、内蔵アレープロセッサなどの工夫を行ない高速化を図った。

(3) 最新のハードウェア技術

論理回路に、チップ当たり最大2,000ゲート・5,000ゲートの超高速論理LSIを使うなど、最新のハードウェア技術を使用した。

(4) システム機能の拡張

システムの枠組み・仕様を拡張するMシリーズ拡張アーキテクチャを開発した。Mシリーズ拡張アーキテクチャは、31ビットの論理アドレス・実アドレスと拡張チャンネルシステムから成る。

M-680HからM-682Hへの設置場所での変更が可能で、主記憶容量が32Mバイトから256Mバイトまで32Mバイト単位

* 日立製作所神奈川工場 ** 日立製作所中央研究所

に増設可能なこと、16チャンネルから64チャンネルまで8チャンネル単位にチャンネル数を増設可能なことなど、段階的にシステムを拡張できるようにした。

(5) 高信頼性

高集積LSIの全面的採用により、部品点数をM-280Hの数分の一に削減、高密度実装により接続点数を削減などハードウェアの信頼度を高め、更に、部品テスト技術やシステムテスト技術の向上、RAS機能の強化などによりシステム全体の信頼性を高めた。

(6) 設備条件の改善

最新の半導体及びその実装技術の採用により、小形化(設置面積はM-680HでM-280Hの80%、M-682HでM-280Hマルチプロセッサの50%)、省エネルギー化(消費電力はM-680HでM-280Hの90%、M-682HでM-280Hマルチプロセッサの65%)を図るとともに強制空冷方式を採用し、設備条件を改善した。

(7) 操作性の向上

ディスプレイ部の上下・左右回転及びテーブルの昇降など、人間工学を生かしたコンソール装置やセンタ自動運転支援機能により操作性を向上した。

(8) ソフトウェアサポート

OS(オペレーティングシステム)としては、VOS 3の基本制御プログラム及び連動するプログラムプロダクトVOS 3/ES 1とVOS 3/SP 21(System Product 21)でサポートされる。VOS 3/ES 1はMシリーズ拡張アーキテクチャをサポートする。また、仮想計算機システムとしてプログラムプロダクトVMS/ES(Virtual Machine System/Extended System Product)でサポートされる。VMS/ESは31ビットアドレッシング機能をサポートしており、これにより、1台のプロセッサ上にあたかもアドレス空間を拡大した複数のプロセッサを動作させているかのように使うことができる。

3 基本仕様

3.1 システム構成

M-682Hの最大システム構成例を図2に示す。この構成からIP(Instruction Processor: 命令プロセッサ)を1台取り除いたものがM-680Hである。M-68XはIP、SC(Storage Controller: 記憶制御装置)、MS(Main Storage: 主記憶装置)、IOP(Input Output Processor: 入出力プロセッサ)、SVP(Service Processor: サービスプロセッサ)とMCD(Main Console: 主コンソール)/SCD(Sub Console: 副コンソール)から成る処理装置複合体である。

IPは、プログラムの実行を行なう。プログラムの実行に必要な命令語やデータは、通常IP内の高速なBS(Buffer Storage: バッファ記憶)に格納され使用される。MSは256kビットの大容量MOS(Metal Oxide Semiconductor)メモリを使用し、最大256Mバイトまで実装可能である。SCはMSとIP間、及びMSとIOP間のデータ転送を制御する装置であり、性能向上のため高速・大容量のWS(Work Storage: ワーク記憶)をもつ。

IOPは入出力デバイスとMS間のデータ転送を制御する装置であり、入出力デバイスをMシリーズの標準入出力インタフェースで接続する。最大2台のIOPが接続可能であり、最大64チャンネルまで接続できる。

SVPは、M-68X全体の監視及び制御を行なう。SVPはイニシャルプログラムロードなどのシステム操作の制御や、オペレータとコンピュータの通信手段であるオペレータコンソールのサポート、及び保守サービスの支援などをコンソールを

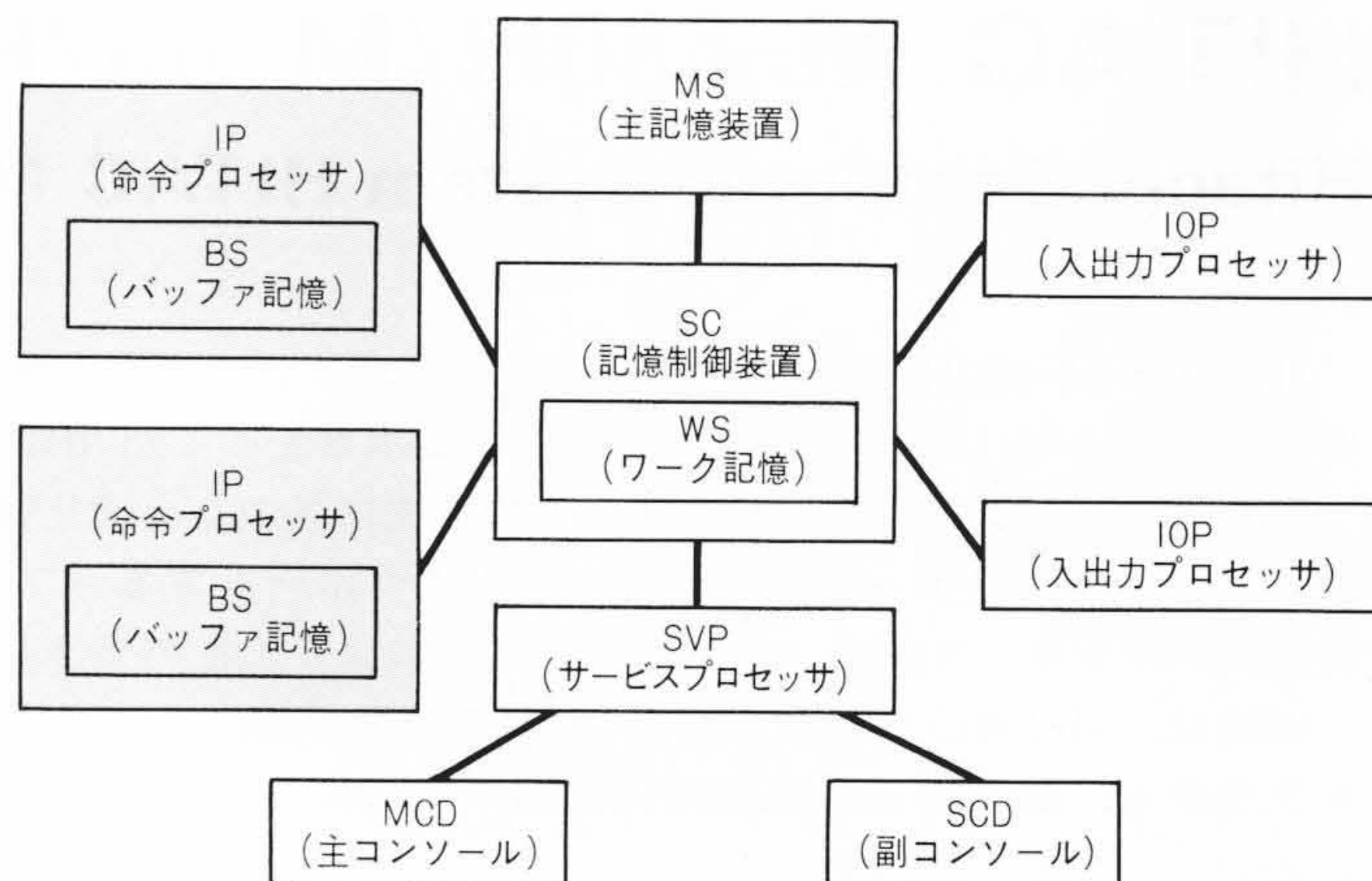


図2 M-682Hのシステム構成 M-682Hは2台のIP(命令プロセッサ)、2台のIOP(入出力プロセッサ)、最大256MバイトのMS(主記憶装置)、及び最大64台のチャンネルなどで構成できる。

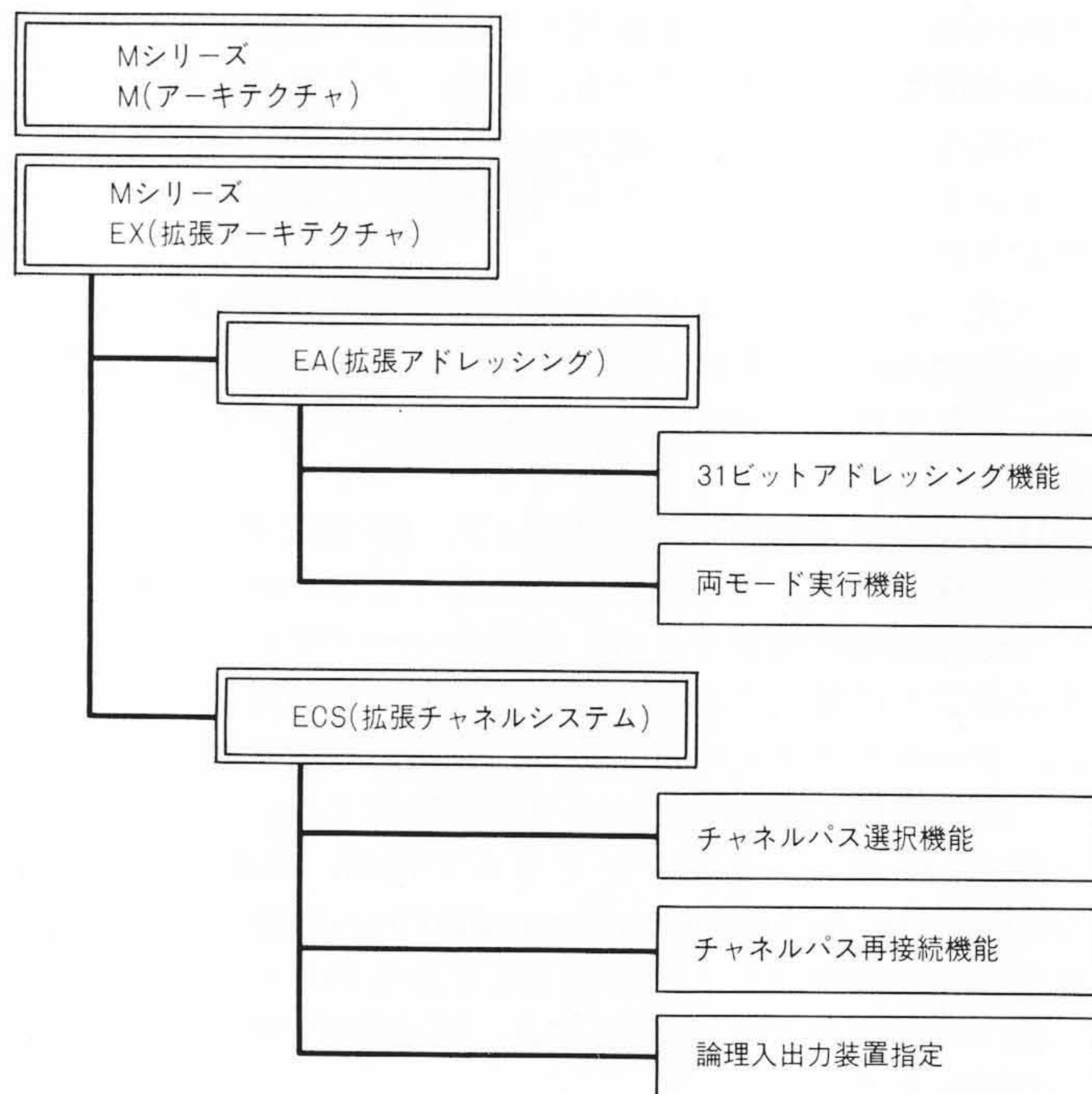


図3 Mシリーズのアーキテクチャ 新たに、拡張アドレッシング機能と拡張チャンネルシステムをサポートする。

介して行なう。

3.2 Mシリーズアーキテクチャ

図3に現在のMシリーズのアーキテクチャを示す。従来との互換性を保つMシリーズアーキテクチャと、新たに追加した拡張機能を有効とするMシリーズ拡張アーキテクチャの2種類を標準とした。M-68Xは、次に示す3種類の処理モードをもち、どのモードにも自由に設定できる。

- (1) 従来のオペレーティングシステムを動作させるためのMモード
- (2) 31ビットアドレッシングを実現するためのM/EAモード
- (3) Mシリーズ拡張アーキテクチャを実現するためのM/EXモード

31ビットアドレッシングの採用により、従来の128倍に当たる2Gバイト(2,048Mバイト)のアドレス空間を実現する。実質2Gバイトに近い大きさのジョブ領域を提供し、大規模なア

アプリケーションプログラムへの適用性を高めている。従来の24ビットアドレッシングを使用しているプログラムも、31ビットアドレッシングを使用するプログラムと並行、混在して実行できる両モード実行機能を備えている。これにより従来のプログラムがそのまま使え、また既存システムからの移行が容易になる。また、システムソフトウェアの一部を16Mバイトを超える仮想アドレス空間で動作可能としたため、16Mバイト以内のユーザー使用可能領域が拡大する。一方、実記憶アドレッシングも31ビットで行なうため、今後の実記憶容量の拡大に対しても十分な拡張性をもっている。

拡張チャネルシステムでは、従来オペレーティングシステムが行っていたチャネルパスの管理や入出力要求待ち行列の処理を、IOPが行なう。更に、入出力装置からの任意のチャネルパスへの再接続を可能とするなど、入出力処理能力を大幅に向上している。

3.3 概略仕様一覧

表1に、M-68Xのこれまでの最上位機種M-280Hと比較した概略仕様を示す。

4 論理構造

4.1 命令プロセッサ

(1) 論理構造の特長

論理方式面での具体的な性能向上策の主なものは、次に記すとおりである。

- (a) 命令語の読み出しとオペランドの読み出し、及び演算結果の格納を1マシンサイクル内で同時実行可能とする。これらの三つの動作を同時実行するために、アドレス生成論理、TLB(アドレス変換バッファ)、BS、オペランド用バッファ、演算器の構成及びこれらの制御方式に並列度を高める工夫をした。
- (b) 複数の命令を同じマシンサイクル内で、並列にあるいはオーバーラップして実行可能とする演算パイプライン方式

表1 M-68Xの概略仕様 M-68Xは処理速度が向上している。また主記憶容量、チャネルなどのシステム仕様が拡張されている。

項番	項目		仕様		
			M-680H	M-682H	M-280H
1	命令処理速度	事務処理	M-280Hの約2~2.5倍	M-680Hの約1.7~1.9倍	1
		科学技術計算	M-280Hの約2~3倍		
2	命令プロセッサ数		1	2	1(ただしMP可)
3	主記憶容量		32~256Mバイト	64~256Mバイト	16~64Mバイト
4	大容量ワーク記憶容量		1Mバイト	1Mバイト	なし
5	バッファ記憶容量		256kバイト	256kバイト×2	64/256kバイト
6	高速演算機構		標準実装	標準実装	標準実装
7	高速10進演算機構		標準実装	標準実装	標準実装
8	IAP(内蔵アレブプロセッサ)		付加機構*	付加機構*	付加機構
9	チャネル	チャネル数	16~64	32~64	16~32
		トータルスループット	最大192Mバイト/秒	最大192Mバイト/秒	最大96Mバイト/秒
10	冷却方式		強制空冷	強制空冷	強制空冷
11	サポートソフトウェア		• VOS3/ES1(Mシリーズ拡張アーキテクチャサポートソフトウェア) • VOS3/SP21 • VMS/ES		

注：* M-280Hに比べて機能が強化されている。

- を開発した。
- (c) SS(Storage to Storage)命令は、二つのメモリオペランドを読み出して演算しメモリへ格納する命令である。この三つのメモリオペランドの読み出しと格納の動作を、1マシンサイクル内で処理できるようにパイプラインを強化した。
- (d) 演算の種類に応じて最適化した専用の高速演算器を設け、高速処理を行なっている。大部分の固定小数点演算、論理演算を行なう汎用演算機構、及び固定小数点乗除算器、高速10進演算器、高速浮動小数点加減算器、高速浮動小数点乗除算器を設置した。

図4に、M-68Xの命令プロセッサの論理構造概略ブロック図を示す。以下、主な論理ユニットの要点について概説する。

(2) 命令制御ユニット

命令の読み出し、実行の準備をするIU(Instruction Unit：命令制御ユニット)は他のユニットと独立に動作し、演算ユニットに解読後の命令とそのオペランドを1マシンサイクルピッチに供給することができる。M-68Xのパイプライン制御の例を図5に示す。M-68XのパイプラインはM-280Hと同様四つのステージから成る。同図の①の命令は、Load、Addなどの基本命令を示している。SS形式の論理演算命令と10進命令では、その演算の実行のためにメモリオペランドを二組み必

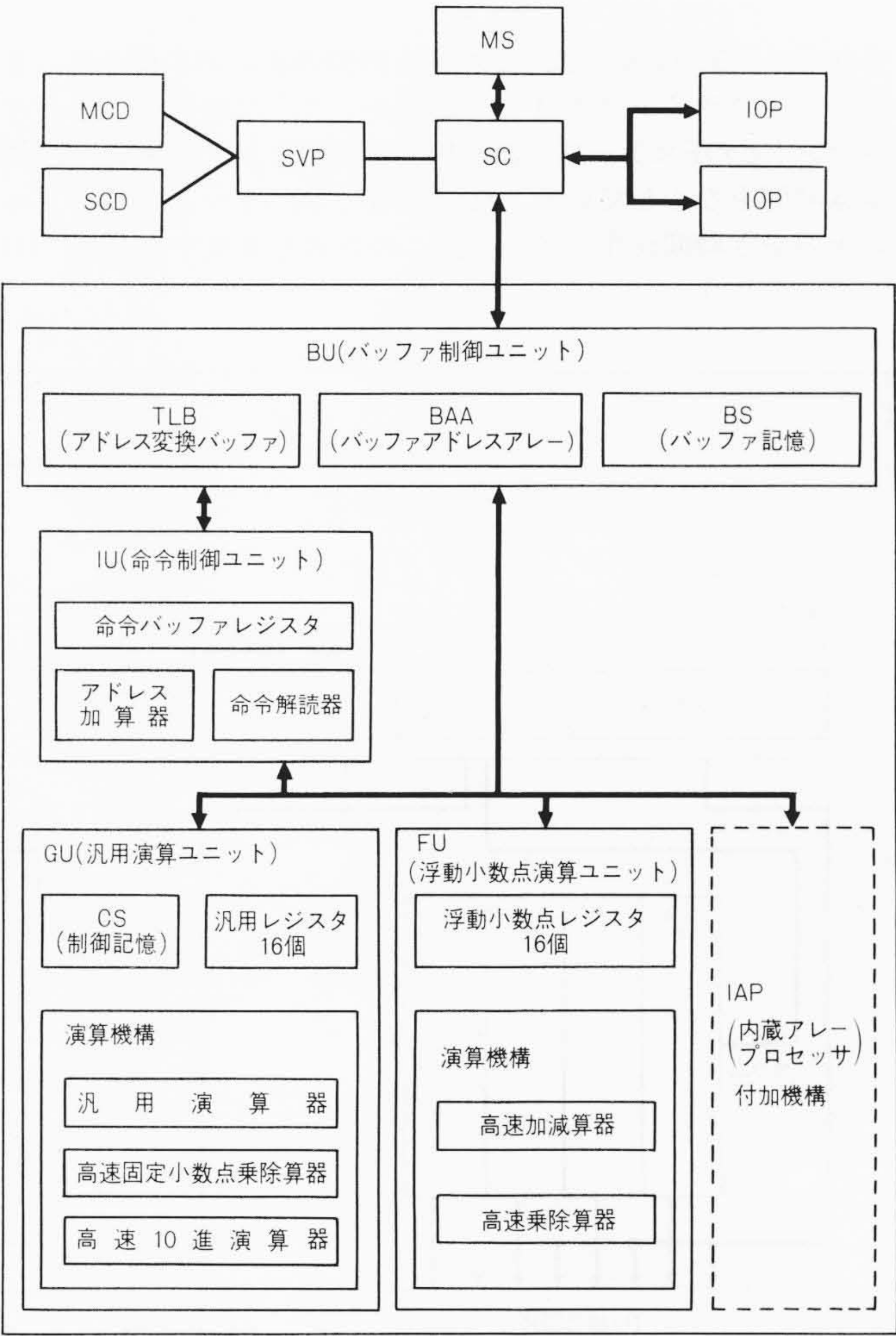


図4 M-68X命令プロセッサの論理構成 IP(命令プロセッサ)は、バッファ制御ユニット、IU(命令制御ユニット)、GU(汎用演算ユニット)、FU(浮動小数点演算ユニット)及びIAP[内蔵アレブプロセッサ(付加機構)]から構成される。

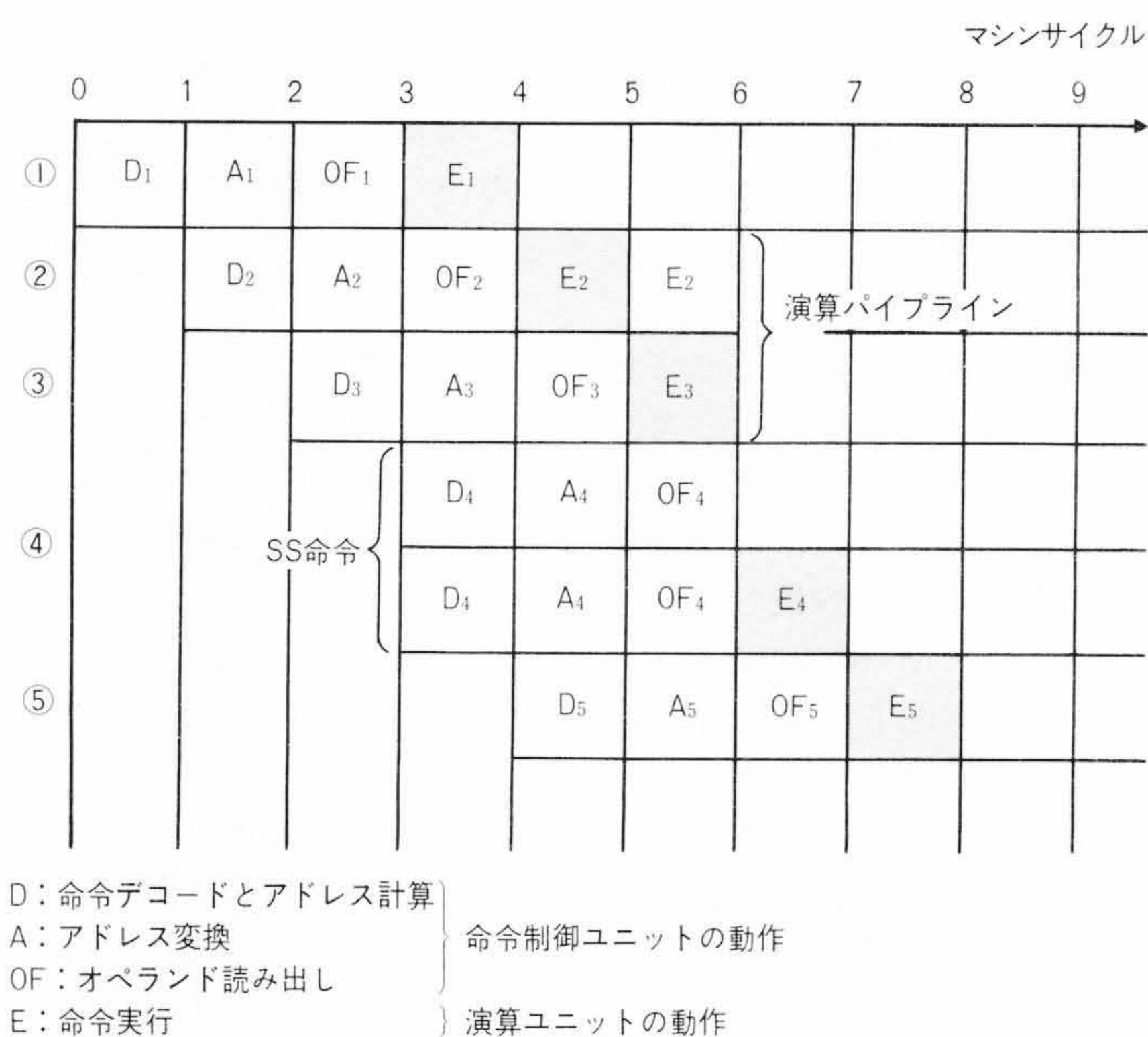


図5 M-68Xのパイプライン制御 命令の多重処理の様子を表わす。

要とする。M-68Xでは、この場合図④に示すように、2本のパイプラインストリームを動かして、二組のメモリオペランドがOFステージで読み出せる構造として、実行開始の空き時間をなくしている。従来機種では、1マシンサイクル以上の空き時間が生じている。この方式を実現するため、IU

内に二組みのアドレス加算器を設置し、二つのオペランドのアドレス計算を同時実行可能とした。

(3) 演算ユニット

演算アルゴリズムの種類に応じて、各々最適化した専用の演算器を設けることにより、実行マシンサイクル数を低減した。また、実装的な面でもコンパクト化が図れマシンサイクルが向上する。

演算パイプライン制御の様子を図5の命令②と③で示す。命令②をAE命令(浮動小数点加算命令)、命令③をLE命令(浮動小数点レジスタへのロード命令)と仮定する。M-280Hでは、AE命令の実行に2マシンサイクルを要し、次のLE命令の実行は前のAE命令の実行完了まで待たされた。M-68XではAE命令の第2の実行サイクルとLE命令の実行サイクルをオーバーラップさせ高速化を実現している。

(4) バッファ制御ユニット

256kバイトの高速バッファ記憶をもち、後述するWS、MSにより3階層記憶を構成している。論理アドレスから実アドレスへの変換に用いられるTLBは、必要なアドレス変換対が高い確率で求められるように、512対のエントリを用意した。

4.2 3階層記憶構成

従来のプロセッサでは、MSとBSから構成される2階層記憶を採用するものが多いが、M-68XではBSとMSの間に高速大容量のWSを置く3階層記憶構成を採用している。図6に3階層記憶構成のブロック図を示す。3階層記憶の背景と効果を以下に述べる。

(1) メモリの実効的な読み出し時間の高速化によるプロセッサの処理性能の向上

M-68Xの超高速マシンサイクルと同期して動作する超高速BSと大容量MSのアクセスタイムの差が拡大し、命令やデータがBSにないときにMSからの読み出し時間が相対的に大き

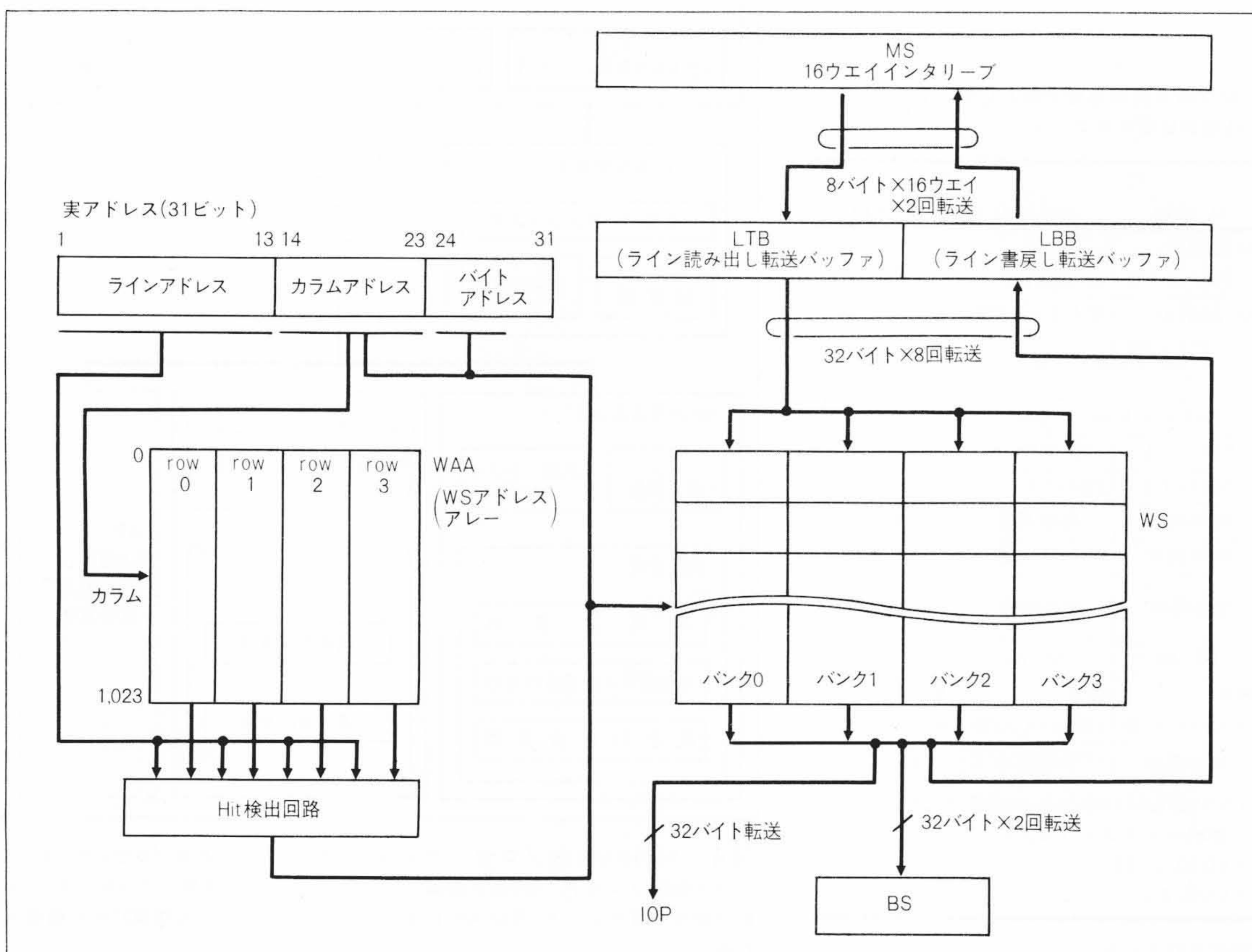


図6 3階層記憶構成 MS(主記憶), WS(ワーク記憶), BS(バッファ記憶)間のデータ転送能力をバランスよく設計している。

くなる。そこで、MSの前段に高速な大容量バッファ(WSと呼ぶ。)を新設し、メモリの実効的な読み出し時間を高速化した。WSの容量は1Mバイトであり、OSやプログラムの頻繁に使用される部分はほとんどこの中に入る。

(2) メモリの実効的スループットが向上し、大規模システムの構成が可能

- (a) WSの16kビット高速メモリ使用による高速参照
- (b) WSの4バンク構成と各バンクの並列動作(4ウェイインターリーブ)による高速参照
- (c) WSのパイプライン制御(多重リクエストの同時処理)などにより高速処理、高スループットを実現した。

一般にメモリ部などの使用率が高くなると、処理を待つ時間が急激に増えることが知られている。M-68Xでは、上記技術により、最大構成であるM-682Hに64チャンネルを接続した場合でも、各々のプロセッサからのメモリ参照要求を処理するのに十分な能力をもたせた。

(3) 高信頼性の確保

- (a) WSのデータ部及び管理テーブル部にECC(Error Checking and Correction)コードを採用し、メモリの1ビットエラー訂正と2ビットエラーを検出する。
- (b) ソリッドエラー部を一部切り離して、処理の続行を可能なようにしている。

(4) ストアイン方式の採用

書込み動作では、高速なWSだけにいったん格納し、MSには同時に書き込まない。WSからこのデータが追い出されるとき、一度に大量のデータをまとめてMSへ書き戻す。この書き戻し動作は、新たなMSからの読み出し動作の陰で並行して行なわれる。このストアイン方式の採用により、

- (a) MSの部分書き込み機能が不要
- (b) MSデータの読み出しと書き込みが一度に大量化となり、MSの小形化とスループット性能の向上を実現している。

4.3 入出力プロセッサ

(1) 拡張チャンネルシステム

ECS(Extended Channel System: 拡張チャンネルシステム)は、主としてOSの処理の一部をIOPが実行することにより、入出力処理効率の向上及びシステムのトータルスループットの向上を図るものである。その機能を以下に記す。

- (a) IOPがチャンネルパス選択機能により、入出力経路の効果的な選択を行なう。
- (b) 入出力装置や入出力制御装置が使用中の場合には、IOP内で入出力要求待ち行列処理を行ない、入出力割込みを発生させない。
- (c) ディスク回転待ち後のチャンネルパス再接続時、ハードウェアが空きチャンネルパスを自動的に選択し、不要な待ち時間を発生しない。
- (d) 拡張リザーブ機能により、システムの可用性を向上させる。
- (e) 論理入出力装置指定により、OSの物理的構成からの独立性を向上させる。また、これによりシステム構成変更の容易性・柔軟性が向上している。
- (f) どちらの命令プロセッサからも任意のチャンネルパスを介して入出力装置にアクセスでき、また入出力割込みは、任意の命令プロセッサに報告することができるなど、特にM-682Hでの入出力動作の効率が向上する。

(2) IOPの構成

図7にIOPの構成を示す。IOPは、1台で最大32チャンネルを

集中制御することができる。M-68X当たり2台のIOPを接続できるようにし、プロセッサ当たり64チャンネルまで接続できる。

IOPはMシリーズ標準の入出力インタフェースを介して入出力デバイスと接続し、入出力デバイスとMS間のデータ転送を効率よく行なう。IOPは8チャンネル単位のチャンネル部、16チャンネルを一括制御するチャンネル制御部、及び2台のチャンネル制御部を制御するチャンネル処理部から構成される。いずれの制御部も書き込み可能な制御記憶をもち、3階層分散マイクロプログラム制御を採用している。

IOPは、CS(Control Storage)のマイクロプログラムを入れ換えることにより、従来の入出力システム動作とECS動作をサポートすることができる。

5 高信頼化技術

(1) 開発の目標

(a) 故障しにくいシステム

使用部品の信頼度の向上と部品点数の大幅な削減、自動回復と障害の局所化及び自動再構成の機能の強化を図った。

(b) 迅速に修復できるシステム

障害発生時のハードウェア状況情報の確実な採取、サービスプロセッサによる自動診断機能や遠隔保守機能により迅速な修復を可能とした。

(2) 高信頼性ハードウェア技術

高集積度LSIの全面採用により、大幅な部品点数の削減と高密度実装により接続点数の大幅な削減を行ない、装置の信頼性を飛躍的に向上させた(半導体部品数はM-280Hの $\frac{1}{4}$ 以下である)。

(3) 高信頼性生産技術

部品テスト技術、生産技術や経験に裏づけられた論理テスト技術により、システムとしての機能をテストする。

(4) RAS機能

一時的なエラーの自動回復機能、特にRAM(Random Access Memory)のエラーに対する回復機能を強化した。その他エラーの検出機能、ステージトレサ、自動診断などを改善した。M-68Xで強化した主なものを以下に述べる。

- (a) MS及び大容量WSの1ビットエラー訂正と2ビットエラー検出を行なう。
- (b) 特殊な命令を除きほとんどの命令で、その実行中に誤動作を検出した場合の命令再実行を可能としている。命令再実行は最高7回繰り返され、この機能により演算実行時の偶発的誤りを回復できる。
- (c) 高速BS、バッファアドレスアレー、TLBなどでは、回復不能の障害が発生した場合、障害部分を切り離して処理を続行することができる。更にM-682Hでは、2台の命令プロセッサのうち片方が障害の場合、残りの1台で運転続行が可能である。
- (d) 記憶保護キーなど特に重要な部分は、二重化構成により信頼性を向上させている。
- (e) プロセッサの内部情報の履歴を記録するステージトレサを、プロセッサ内の主要なパッケージに分散して搭載している。ステージトレサに記録する情報は、障害発生時にこれらを解析すれば障害の経過、原因、影響などが究明できるように配慮し、選択したものである。記録できる情報の量(信号数)はM-280Hの約2倍であり、障害部分の追求を精密に行なうことを可能とし、障害からの復旧を迅速に行なえるようにしている。

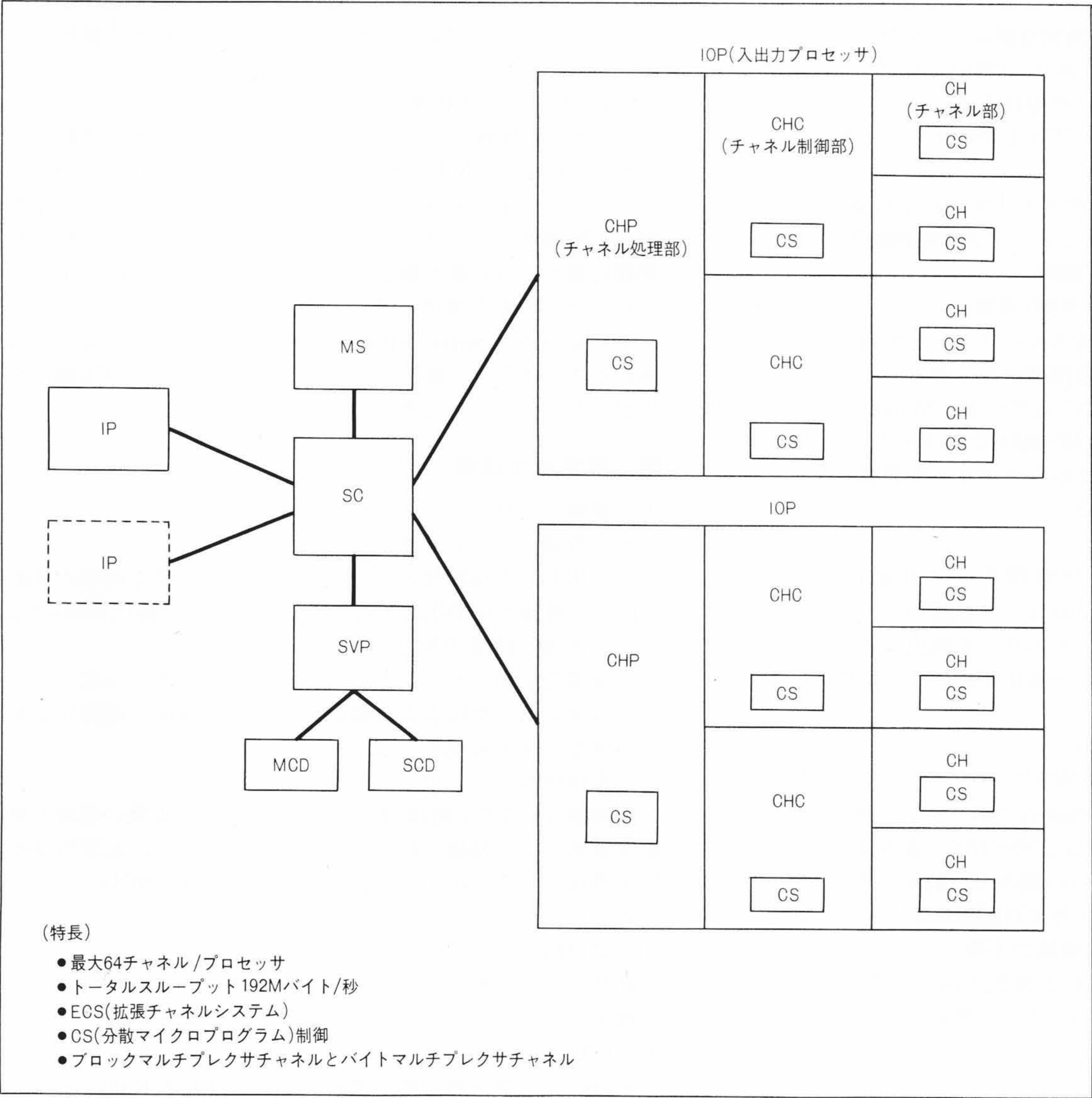


図7 入出力プロセッサの構成 入出力プロセッサ1台で最大32台のチャンネルを制御できる。

(f) サービスプロセッサは、ハードディスクの内蔵やメモリの大容量化により大幅に保守機能を拡張し、保守性を向上させている。万一、エラーが発生した場合にはサービスプロセッサによる自動診断機能により、故障部分の指摘が行なわれる。

6 結 言

以上、M-680H/M-682H超大形処理装置の高速化と高信頼化のための技術について述べた。この技術は、論理方式技術とハードウェア技術の改善により実現されたと言える。今回は紹介できなかったが、性能評価、設計自動化、論理検証の

ためのシミュレーション、及びLSI・RAM・パッケージの診断などの技術が本開発のために改善され、大きな役割を果たした。

M-68Xの開発によって得られたこれらの技術を基にして、今後もより良いシステムの開発に努力する考えである。

参考文献

- 1) 泉, 外: HITAC M-280H処理装置の開発, 日立評論, 63, 9, 627~632(昭56-9)
- 2) 小高, 外: HITAC M-200H汎用超高速処理装置, 日立評論, 61, 12, 841~846(昭54-12)