U.D.C. 681.322.012-181.2-185.4:621.3.049

HITAC M-680H/M-682Hのハードウェア技術

Packaging Technologies for HITAC M-680H/M-682H

小林二三幸* *Fumiyuki Kobayashi*
安斎昭夫** *Akio Anzai*
正木　亮*** *Akira Masaki*
和嶋元世**** *Motoyo Wajima*
山崎　進***** *Susumu Yamazaki*
横野　中****** *Hitoshi Yokono*

HITAC Mシリーズの最上位機として，HITAC M-680H/M-682H超大形プロセッサを開発した。

このプロセッサは，超高速処理性能，高いシステム信頼性，省スペース，省エネルギーなどを特長としている。

これを実現するため，ハードウェアとしては，半導体，ハイブリッドモジュール，多層プリント基板，電気部品，冷却機構，給電機構などに従来から一段と飛躍した技術を開発し使用した。

本稿ではこれらの新技術について述べる。

1 緒　言

HITAC M-680H/M-682H超大形プロセッサ(以下，M-680H/M-682H又はM-68Xと略す。)は，Mシリーズの最上位機として，かつHITAC M-280H(以下，M-280Hと略す。)の上位機として開発した最新鋭機である。M-680Hは，M-280Hの2～2.5倍の処理能力をもち，ユニプロセッサでは世界最高速レベルにある。またM-682Hは2台の命令プロセッサ構成により，M-680Hの1.7～1.9倍の超高速性能を達成した。

これらの高速化処理を実現するために，ハードウェアの面では最新の半導体技術を駆使し，高速化のための論理方式に応じた多様な高速・高集積LSIとメモリを開発した。

また，多層セラミック基板上に高速ECL(Emitter Coupled Logic)論理LSIと高速バイポーラメモリを混在実装した高速RAM(Random Access Memory)モジュールを開発した。更に，容積当たりの実装密度の向上を図るために，パッケージとプラッタを高密度多心コネクタを介して組み合わせた3次元高密度実装方式の開発を行なった。

高密度実装に伴って派生する発熱密度の増大に対処するため，LSIパッケージの低熱抵抗化，冷却風量の最適化，高性能ブロワの使用による高効率冷却技術を開発し，超大形機でありながら，設置性と保守性に優れた強制空冷方式を実現した。

大容量の低電圧電流を得るための電源方式としては，電動発電機に直流電流ユニットを組み合わせる方式を採用した。直流電源ユニットは，従来に比べ容積で約$\frac{1}{2}$以下の小形化を図り，これを可動架に搭載し，論理プラッタと同一きょう体内に実装した。

これらの高度なハードウェア技術の採用により，M-68Xプロセッサでは処理能力，省スペース，省電力の面で大幅な向上が実現できた(**表1**)。

表1　M-68XとM-280H技術の比較　M-68Xは，M-280Hに比べ大幅な性能向上と省スペース，省電力化を実現した。高密度な3次元実装形態をとり，空冷式である。

項目		M-68X		M-280H
		M-680H	M-682H	
相対性能比		2～2.5	M-680H×(1.7～1.9)	1
床面積(m^2)		7.1	9.2	9.2
消費電力(kVA)		35	52	40
実装技術	実装形態	3次元 全LSI＋RAMモジュール		3次元 LSI，SSI 混在
	実装密度比	17		1
冷却技術	冷却方式	強制空冷(パッケージ間風量制御) 風速＞5 m/s		強制空冷 風速＞5 m/s
	電力密度比	5		1

注：略語説明　RAM(Random Access Memory)

2 高速・高集積半導体

M-68Xプロセッサでは，M-280H[1]から一段と飛躍した半導体技術を用い，システム遅延の低減と実装密度の向上を図った。

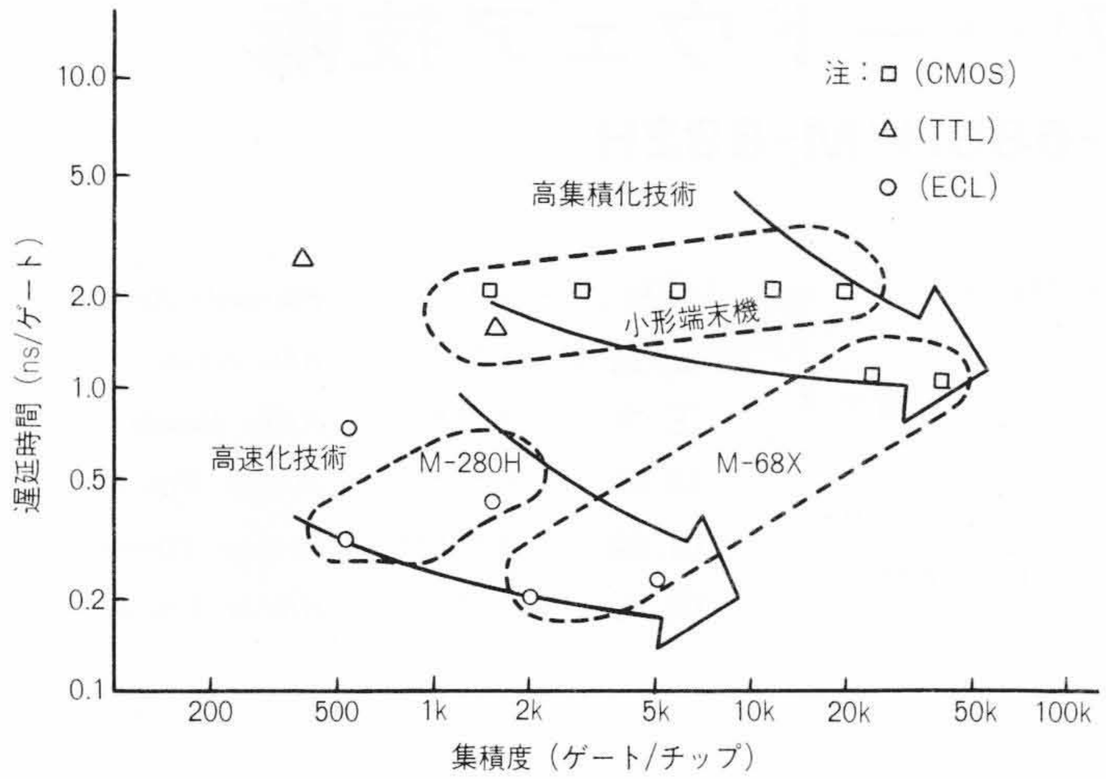
(1)　論理LSI

論理LSIの開発動向は，高速化技術としてはバイポーラECLが，高集積化技術としてはCMOS(Complementary Metal Oxide Semiconductor)技術が主流となりつつある。M-68Xでも両技術によるLSIを開発し，有効に使い分けた(**図1**)。

現状で実用としては世界最高速の2,000ゲート，200psバイポーラ論理LSIを開発し，IP(命令プロセッサ)の高速論理に全面的に使用した。5,000ゲート，250psの高速・高集積バイポーラ論理LSIを開発し，論理構造が比較的規則的なIOP(入出力プロセッサ)に使用した。また40kゲートと24kゲートのCMOS論理LSIを開発し，論理構造が比較的単純で繰返し性があるチャネル部分に全面的に使用し，高集積化と大幅な消費電力低減を実現した。

2,000ゲート及び5,000ゲートバイポーラ論理LSIの消費電力は平均6 Wであり，M-280Hで使用した550ゲート及び1,500ゲートLSIと比較し，内部回路1ゲート当たりの遅延時間，消費電力積を約$\frac{1}{5}$に改善した。これはLSI製造プロセスの改良により，回路遅延時間を60%以下に低減できたことと，回路改良により電源電圧を−4.5Vから−3.0Vに下げることができたこ

* 日立製作所神奈川工場　** 日立製作所デバイス開発センタ　*** 日立製作所中央研究所 工学博士　**** 日立製作所日立研究所
***** 日立製作所機械研究所　****** 日立製作所生産技術研究所 工学博士



注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)
TTL(Transistor Transistor Logic)
ECL(Emitter Coupled Logic)

図1 論理LSIの動向 論理LSIの開発動向は，高速化技術としてはバイポーラECLが，高集積化技術としてはCMOS技術が主流となりつつある。M-68Xでも両技術によるLSIを開発し有効に使い分けている。

とによる。

2,000ゲートLSIの基本回路はECL形式の回路である。5,000ゲートLSIでは内部回路の一部にNTL(Non-Threshold Logic)形式の回路を使用し，低電力化と高速化を図った。ラッチ回路には，従来のECL形式の回路を用い，動作マージンを確保した。

2,000ゲート，5,000ゲートのLSIパッケージには，新たに開発した高熱伝導SiC(シリコーンカーバイド)をベース基板に使用し，低熱抵抗化，構造の簡素化，軽量化を図った。SiC基板にはアルミの冷却フィンを高熱伝導シリコーンゴムにより接着し，風速5 m/sのもとで熱抵抗5 ℃/W以下を実現した。LSIパッケージのリードは20ミル(0.508mm)ピッチのフラットリード形で，端子数は160ピンである。**図2**にバイポーラ論理LSIの写真を示す。

CMOS論理LSIとしては，40kゲートのフルカスタムLSIと24kゲートのゲートアレーの2種を開発した。

40kゲートフルカスタムLSIチップは，54種のスタンダード，セルライブラリを用意し，階層設計手法を用いて，全自動化設計を行なっている。

24kゲート，ゲートアレーチップは，18.5kゲート相当の基本セルと，64ワード×36ビットのRAM 2個により構成している。

いずれのLSIも，1.3μmのデザインルールにより設計したものであり，内部ゲートの遅延時間は平均負荷条件で1 nsである。また入出力レベル及び負荷駆動能力は，ショットキーTTL(Transistor Transistor Logic)と同等である。平均消費電力は0.45～0.6Wである。

パッケージは両LSI共に240ピンのPGA(ピングリッドアレー)形を使用し，信号用として192ピンを，＋5 V及びグランド用として48ピンを割り当てている。**図3**にCMOS論理LSIの写真を示す。

(2) 高速バイポーラメモリ

高速バイポーラメモリとして1 kワード×4ビット構成でアクセス時間4.5nsのメモリと，16kワード×1ビット構成でアクセス時間12nsのメモリの2種を開発した。4 kビット，4.5 nsバイポーラメモリはその超高速性を生かし，IPのBS(バッファ記憶)やCS(制御記憶)に使用している。16kビット，12nsバイポーラメモリは，その高速，高集積性を生かし，SC(主記憶制御)のWS(ワーク記憶)に使用している。

これらのメモリでは，1.5μmのデザインルールとU溝アイソレーション技術※)により，高速化及び高集積化を図るとともに，パッケージ材料から出るα粒子によるソフトエラー障害に対しても高純度な材料系の選択，レイアウトルールの工夫などにより十分な信頼性をもつように配慮した。特に16kビットバイポーラメモリでは，PNP負荷形セルを採用することにより，ソフトエラー率を従来に比べ二けた以上改善した。

4 kビット超高速バイポーラメモリでは，チップ内のアドレス入力部にラッチを設けることにより，入力信号間のスキューが性能に及ぼす悪影響を排除している。**図4**にこのチップ

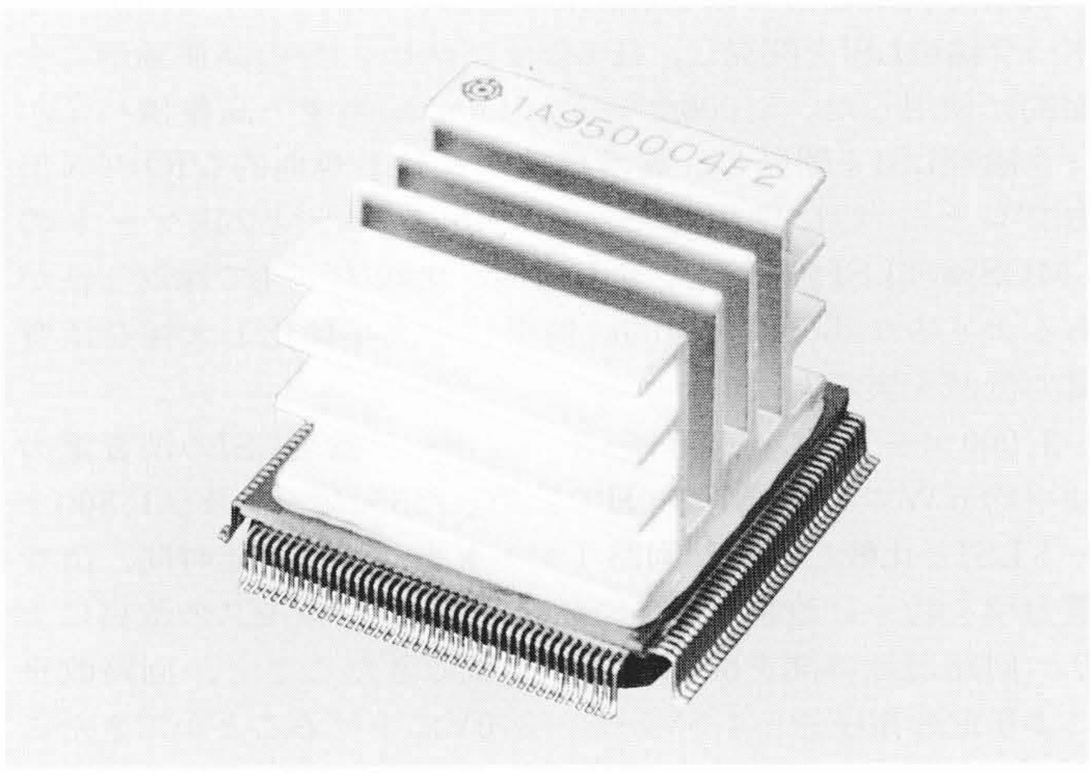


図2 2,000ゲート200ps高速バイポーラ論理LSI 5,000ゲート250 psの高速バイポーラ論理LSIとロジックインメモリLSIも同じパッケージを使用している。端子数160，平均消費電力6 Wで，ベース基板には高熱伝導SiCを使い，チップと外気との熱抵抗は5 ℃/W(風速5 m/s)である。

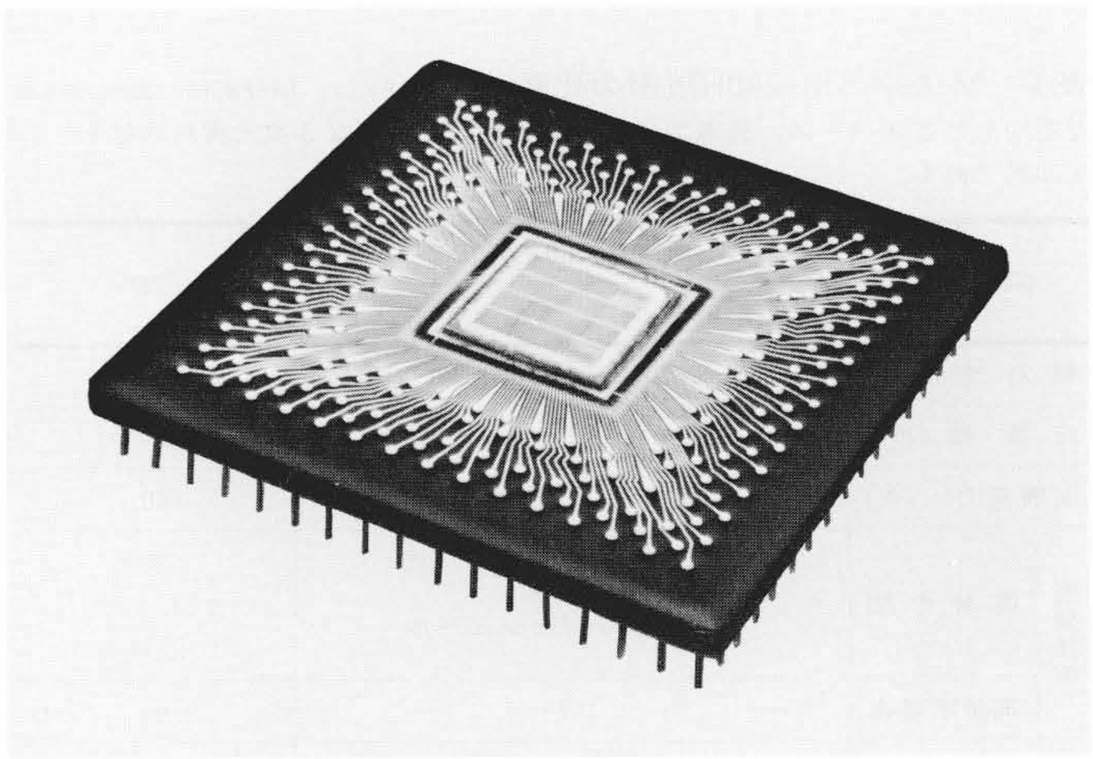


図3 高集積CMOS LSI 40kゲートと24kゲートの2種がある。共にゲート遅延時間1 ns，消費電力0.45～0.6Wである。チップを240ピンPGA形パッケージにダイボンディングし，ガラス封止する。

※) Si基板にU形の溝をエッチングすることにより，素子を分離する方法である。従来の酸化膜アイソレーション方式に比べて，分離領域の幅が約$\frac{1}{3}$に縮小でき，寄生容量も低減できる。

写真を示す。

4kビットメモリの消費電力は1W，16kビットメモリは0.85Wである。チップを収容するパッケージには両者共に28ピンのLCC(リードレス チップキャリア)を使用し，後述の多層セラミック基板に搭載する。

(3)　ロジック イン メモリLSI

BSの制御，アドレスの変換バッファ用には1,200ゲートのバイポーラ論理回路と7kビットのバイポーラメモリを一つのチップに混在させたロジック イン メモリLSIを開発し，使用している。これはM-280Hで開発したものよりも更に多くの機能を取り込んだものである。平均消費電力は6Wであり，LSIパッケージは，2,000及び5,000ゲート論理LSIと全く同一の160ピンフラットリード形である。

(4)　インタフェースLSI

装置固有の各種インタフェース回路は，仕様の特殊性や多様性のため，従来高集積化が進まない領域であった。例えば，多数のダイナミックメモリを駆動するメモリドライバ，ECLとTTLのレベル変換回路，入出力装置とのドライバ，レシーバなどであり，実装密度の向上を妨げていた。M-68Xでは，500ゲートの論理機能をもち，かつこれらの各種インタフェース回路をサポートするLSIをマスタスライス方式で開発し，使用している。

LSIパッケージは，120ピンのPGA形である。

3　高速RAMモジュール

高速バイポーラメモリの性能を十分に引き出すためには，メモリ制御用の論理LSIをメモリチップのごく近くに高密度に実装する必要がある。これを実現するために，スーパーコンピュータHITAC S-810で開発した多層セラミック基板とLCCを組み合わせたモジュール実装技術[2]を更に発展させて，1個の論理LSIと最大8個までの高速バイポーラメモリを，多層セラミック基板上に混在させた高速RAMモジュールを開発した(**図5**)。論理設計者から見るとこの高速RAMモジュールはマスタスライス形式の高密度ロジック イン メモリと等価に見える。

導体層数が9層で，30mm×40mmの多層セラミック基板の裏面に高速バイポーラ論理LSIをダイボンディングし，表面にLCC封止された4kビット又は16kビットの高速バイポーラメモリを最大8個はんだ接続する。高速RAMモジュールに使用する論理LSIのチップの外部回路領域には，モジュール内で閉じている配線の終端用に終端抵抗素子が準備されており，必要に応じてLSIの入出力パッドに接続することができる。このLSIの使用ゲート数は最大700ゲートに制限しているが，チップ設計は終端抵抗部以外は2,000ゲートの高速バイポーラ論理LSIと全く同じである。

セラミック基板中央部，すなわち論理LSIチップのダイボンド部の反対面とLCC上面には最適形状設計されたアルミ製の冷却フィンを高熱伝導シリコーンゴムで接着している。風速5m/sで論理LSIの熱抵抗は10℃/W，バイポーラメモリの熱抵抗は30℃/Wである。

モジュールのピン数は96ピンで，リードピッチ30ミル(0.762mm)の2辺フラットリード形である。外形サイズは，高密度論理パッケージの1LSI領域に収まるようにした。このため，論理パッケージの任意の領域にバイポーラ論理LSIと混在して実装でき，高速メモリ部分は，従来の実装法に比べてプリント基板上で3倍以上も実装密度が高められた。

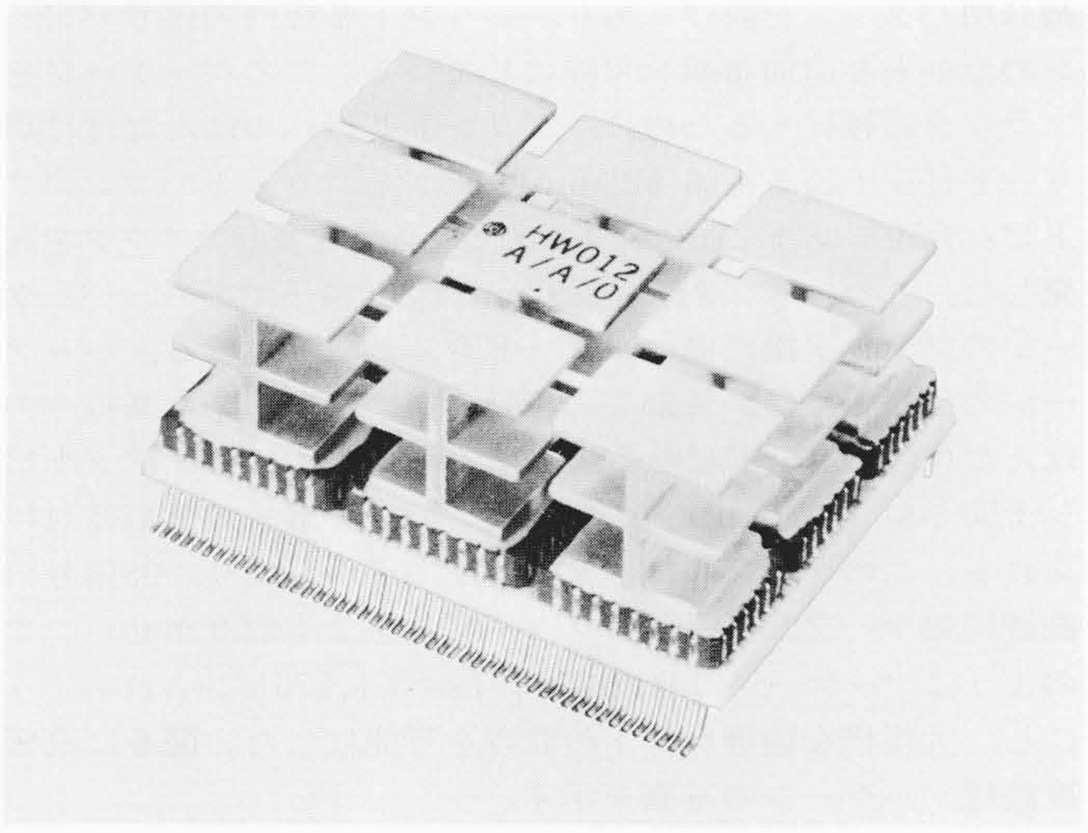


図5　高速RAMモジュール　4kビット，4.5ns，1W 又は16kビット，12ns，0.85Wの高速バイポーラメモリを8個搭載している。導体層数9層30mm×40mmの多層セラミック基板の裏面には，制御用に700ゲート，200psの論理LSIが付いている。モジュールでの平均消費電力は11W，端子数は96である。

4　パッケージ，プラッタ

M-68Xでは，新たに大きさ420mm×280mmの多層プリンタ基板を使った3種類の大形高密度パッケージを開発した。

これらのパッケージはバックボードと呼ぶ多層プリント基板に3次元実装され，プラッタを構成する。

(1)　高密度論理パッケージ

高密度論理パッケージには，最大72個のLSI領域が用意されており，プリント基板の表面層のボンディングパターンの選択により，160ピン論理LSIか，96ピンの高速RAMモジュールのどちらかを搭載することができる。また160ピン論理LSIを搭載した場合，外部信号終端用にリードピッチ25ミル(0.635mm)，44ピンの終端抵抗モジュールを論理LSI1個当たり2モジュール，抵抗素子数にして64素子を搭載できる。高密度プリント基板に搭載する部品はすべてフラットリード形に統一し，表面実装を行なった。これはプリント基板上のピン密度を上げてピン間接続配線長を短縮し，部品リードの微細化によってインダクタンスや容量を低減し，実装遅延時間を改善するためである。また基板の裏面には設計変更や製造欠陥の

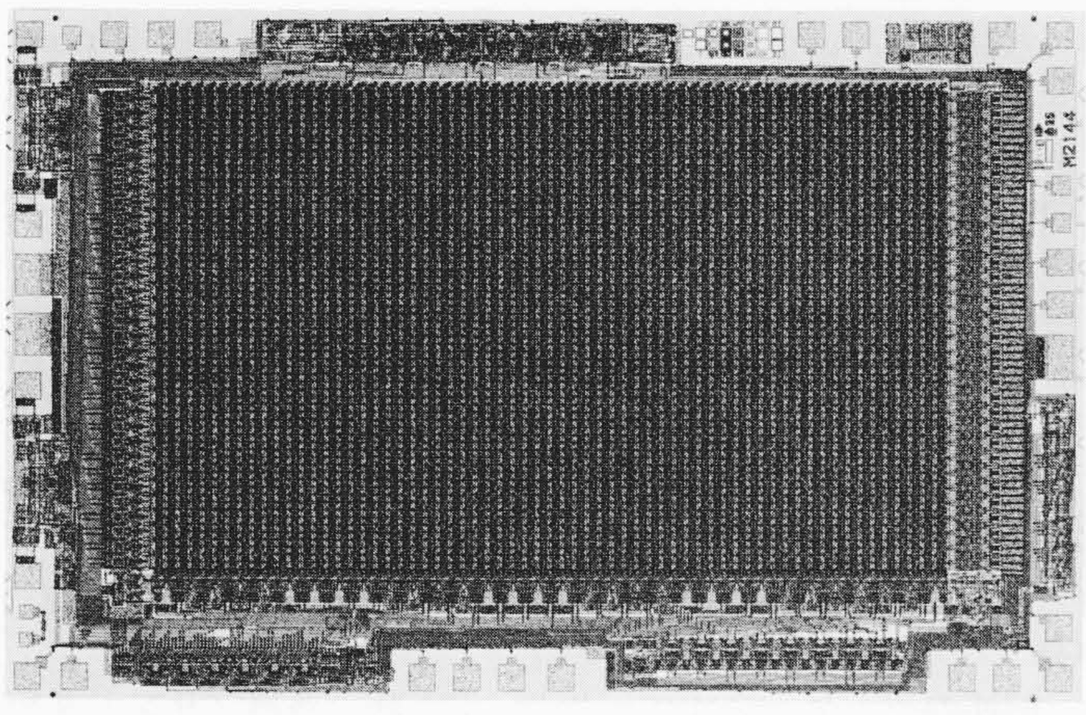


図4　4kビット，4.5nsの高速バイポーラメモリのチップ写真
アドレススキュー対策にラッチを内蔵している。平均消費電力1W，1.5μmのデザインルールとU溝アイソレーション技術により，高速化・高集積化を図っている。

補修用パターンを設けてあり，プリント基板内の信号パターンのカットと追加布線を可能にしている。このパッケージをプラッタに接続するために，プリント基板へのはんだ付け用リードピッチ25ミル(0.635mm)，ピンとソケットのコンタクトピッチ50ミル(1.27mm)の2ピース高密度多心コネクタを開発した。このコネクタは全長97mmで260端子であり，パッケージのプラッタ接続側にソケットを4個取り付ける。パッケージの反対側には，外部との接続のためにプリント基板へのはんだ付け用リードピッチ25ミル(0.635mm)，コンタクトピッチ50ミル(1.27mm)のケーブルコネクタを最大8個取り付けられる。このケーブルコネクタは92端子から成り，28信号の高速同軸ケーブル又はテープケーブルを2本取り出せる。このようにパッケージの前後端子合わせて1,776ピンとれるようにし，大規模な論理ゲートの収容を可能にした。**図6**に高密度論理パッケージの写真を示す。

この高密度論理パッケージには，M-280Hなどに使用している論理パッケージ10枚以上に相当する平均100kゲートの論理を実装することができ，高速演算ユニットなどの主要な論理ブロックを収容するのに十分な規模になっている。また論理LSIと高速RAMモジュールを混在実装することにより，4kビットのバイポーラメモリを使った場合には100～200kバイト，16kビットのバイポーラメモリを使った場合には350～750kバイトの高速メモリとその制御用論理を実装することができる。

使用している多層プリント基板は，格子間隔50ミル(1.27mm)で導体層数は合計20層である。電源グランド10層，信号8層，部品ボンディングと補修パターンのための表裏2層から成る。信号層は2層ずつ対になって各々X，Y方向の信号ラインを形成している。信号層のスルーホール形式には一つの格子点の上下で別個に信号の層渡りが可能な多重スルーホール技術を採用した。これによってM-280Hなどのパッケージに使用した75ミル(1.91mm)10層基板に比べてパッケージ当たりの接続端子数で3倍，配線長で5.7倍以上を収容することができるようになった。

このプリント基板を実現するため，

(a) 多層化に適した寸法安定性の高いポリイミド系の薄いプリント基板材料

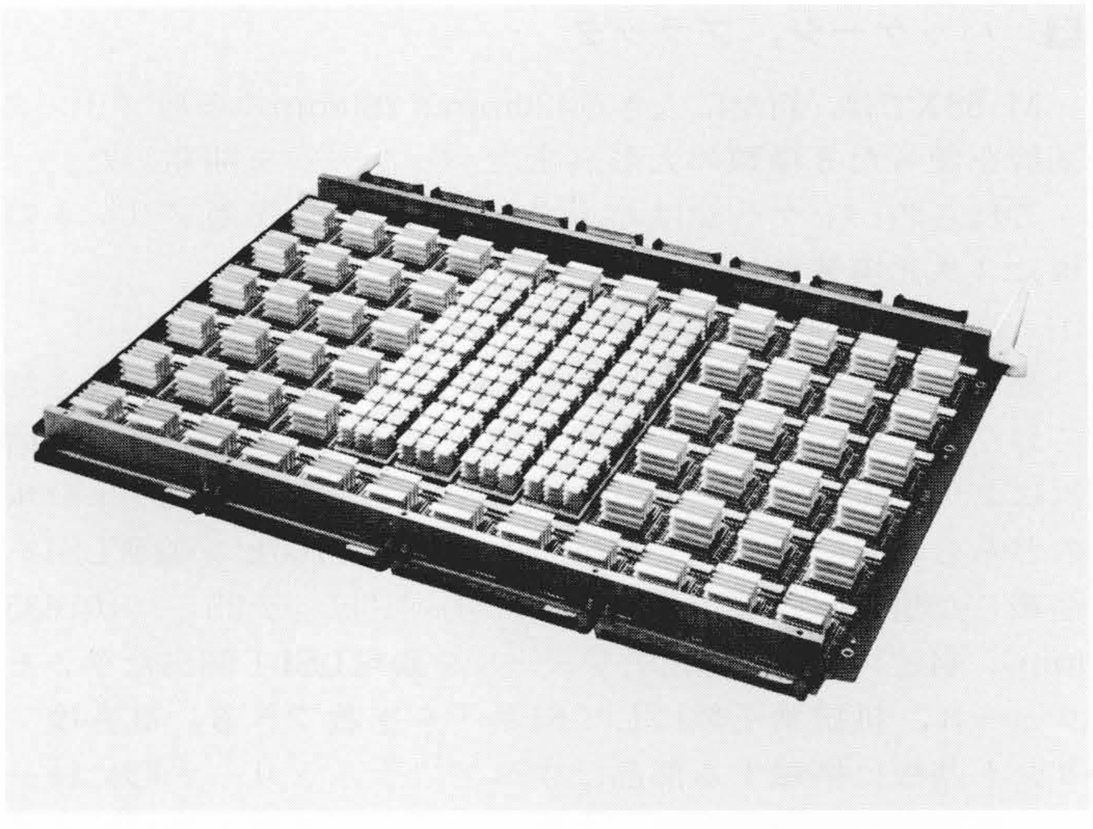


図6 高密度論理パッケージ バイポーラ論理LSIとRAMモジュールを合わせて72個実装できる。搭載ゲート数は平均100kゲートである。プリント基板は420mm×280mm，20層，50ミル(1.27mm)格子で，基板両側から1,776ピンまで取り出せる。

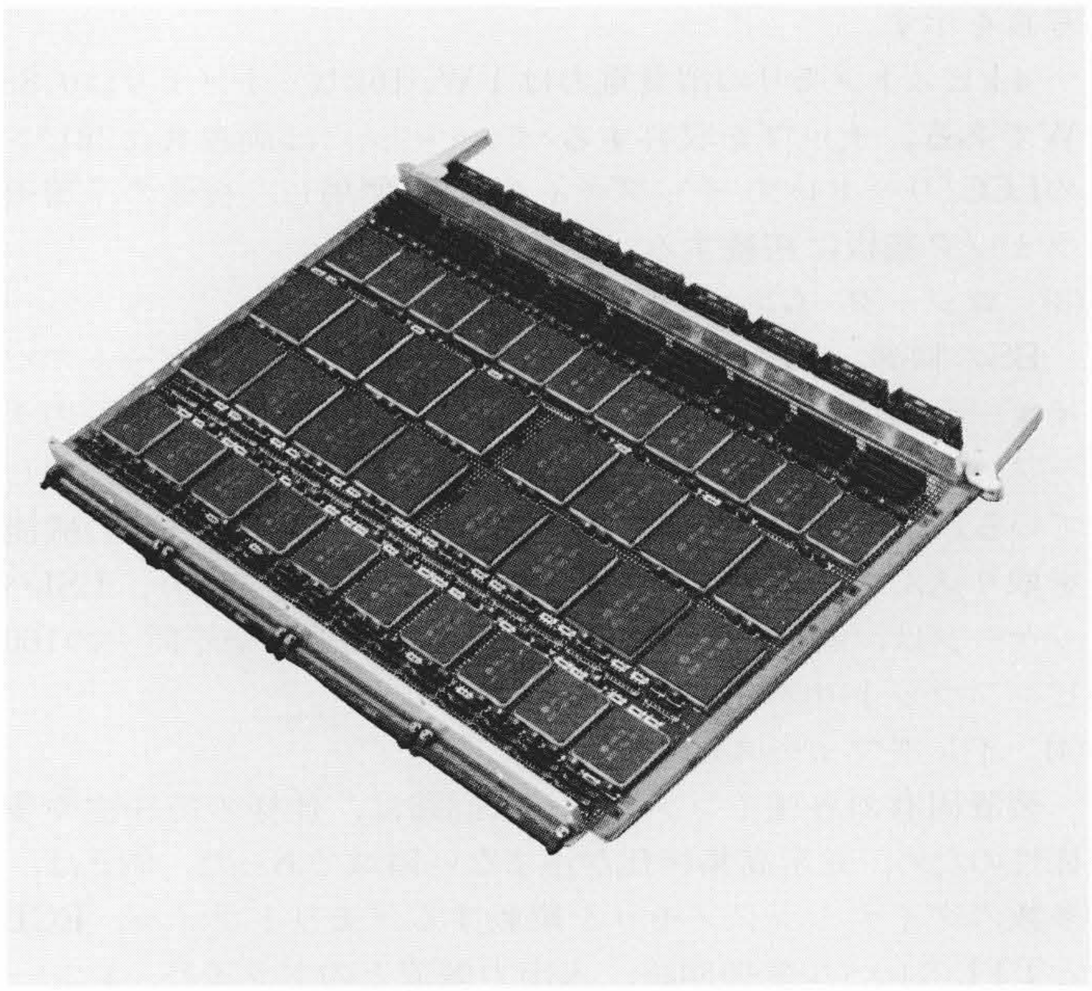


図7 高密度チャネルパッケージ 高集積CMOS論理LSI16個とインタフェースLSI21個を搭載し，1パッケージに8チャネルを収容した。

(b) アスペクト比(孔径/板厚比)1対8.5を可能にした小径孔開け技術及びスルーホールめっき技術

(c) 100μmの細いパターン幅を歩留まり良く実現するためのパターン形成技術

などを開発した。

(2) 高密度チャネルパッケージ

高密度チャネルパッケージには，格子間隔100ミル(2.54mm)，12層のガラスエポキシ材の多層プリント基板を使用している。信号層数は8層である。高密度チャネルパッケージに搭載される部品の形状はすべてPGA形である。パッケージのプラッタ側にはECL～TTLレベル変換回路のインタフェースLSI10個を，ケーブルコネクタ側には入出力装置とのドライバ・レシーバ回路をもつインタフェースLSI11個を搭載する。基板の中央には16個の高集積CMOS論理LSIを配置する。こうして1枚のパッケージに8チャネルを収容した。ちなみにM-280Hなどでは1チャネルに1枚のパッケージが必要であった。**図7**に高密度チャネルパッケージの写真を示す。

(3) 大容量主記憶パッケージ

大容量主記憶パッケージには，格子間隔100ミル(2.54mm)8層のガラスエポキシ材の多層プリント基板を使用している。信号層数は4層である。この大容量主記憶パッケージには，256kビットダイナミックRAM288個と，ECL～TTLレベル変換回路とアドレスデータ バッファ機能などをもつインタフェースLSI12個を搭載した。こうして1枚のパッケージに8Mバイトを収容した。**図8**に大容量記憶パッケージの写真を示す。

大容量主記憶パッケージでは，高密度論理パッケージほどプラッタ側のピン数を多く必要としない。このために，97mmの長さに130ピンの端子をもつソケット コネクタを使い，プラッタ上のパッケージ実装間隔を短縮できるようにした。

(4) プラッタ

前述のパッケージはバックボードと呼ぶ多層プリント基板に3次元実装し，プラッタを構成する。このバックボードの大きさは570mm×420mmで，格子間隔50ミル(1.27mm)である。導体層数は電源，グランド12層，信号8層，表裏2層の

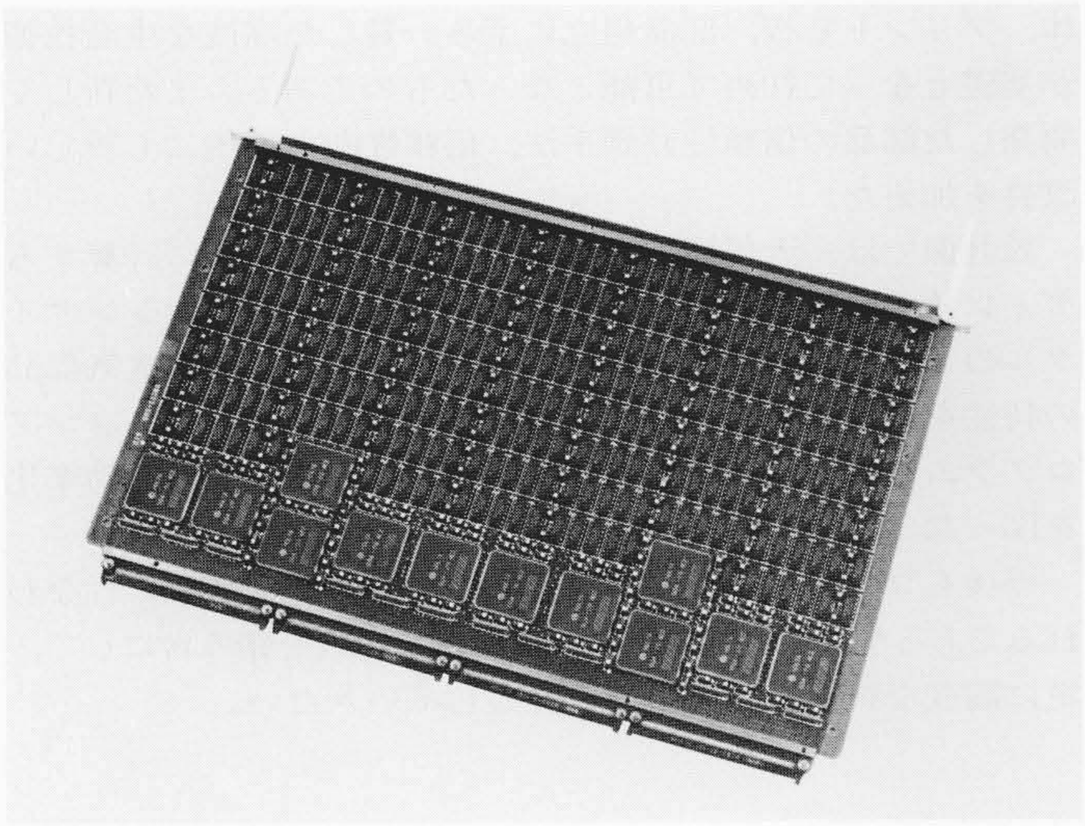


図8　大容量主記憶パッケージ　256kビットダイナミックRAM288個とインタフェースLSI2個を搭載し，1パッケージに8Mバイトを収容した。

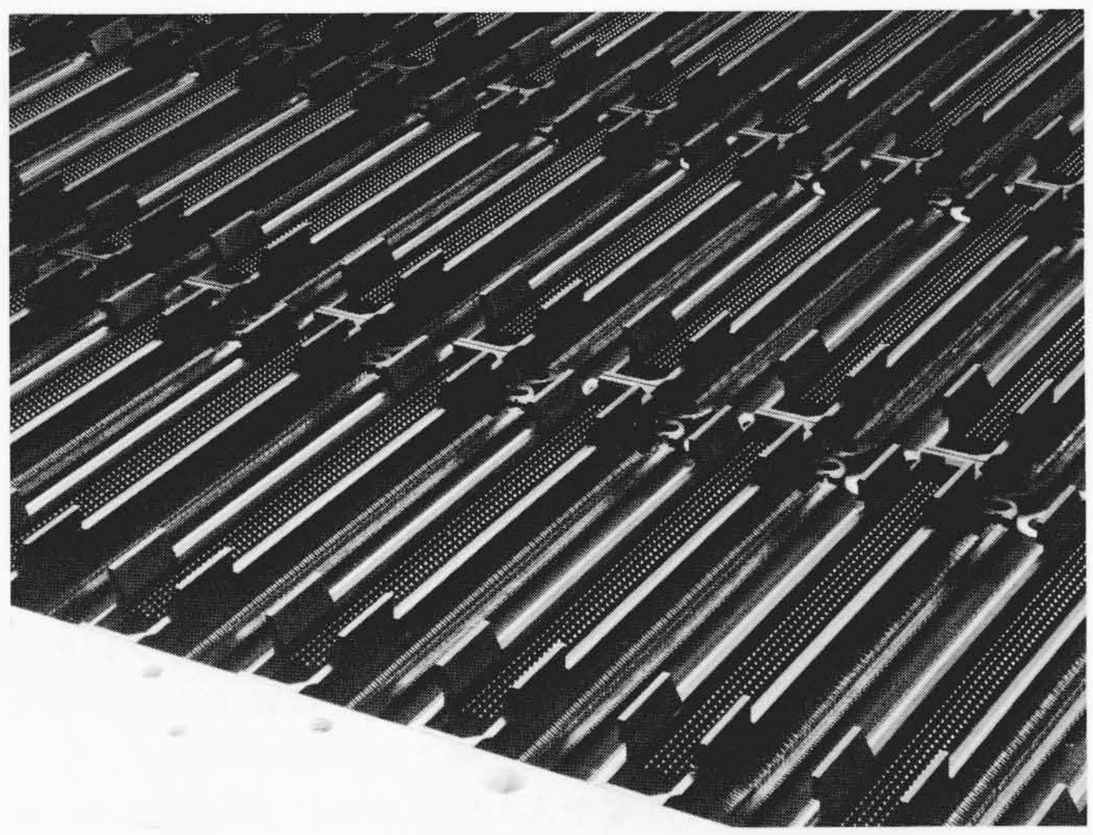


図9　パッケージを接続する高密度コネクタを搭載したプラッタ　260端子のコネクタが縦に4個，計1,040ピンで1パッケージを接続する。バックボードへのはんだ付け用リードピッチは25ミル(0.635mm)，ピンとソケットのコンタクトピッチは50ミル(1.27mm)である。

計22層である。バックボードには新開発の高密度多心コネクタのピン側を表面実装する。IPとIOPプラッタは1 in(2.54cm)間隔で，SCとMS(主記憶装置)プラッタは1 in(2.54cm)と0.5 in(1.27cm)間隔混在で縦に4個ずつ搭載した。**図9**にプラッタのコネクタ搭載面の写真を示す。1 in間隔の場所には，論理パッケージとチャネルパッケージを，0.5in間隔の場所には主記憶パッケージを実装する。IPとIOPプラッタには最大21枚の論理パッケージを収容できる。

このようにして，プロセッサを構成する主要装置であるIP，SC，MS，IOPなどを各々一つのプラッタに収めることができた。ちなみにM-280HではIPだけで6～7プラッタが必要であった。

5　実装架構造

先に述べた各プラッタは，冷却用のブロワとともに固定架に取り付ける。そして可動架に搭載したDCU(直流電源ユニット)とともに幅830mm，奥行900mm，高さ1,720mmの標準きょう体に実装する。IP，IOPはプラッタ当たりの発熱量が大きいため，各々1きょう体に，SCとMSプラッタは発熱量が比較的少ないため2段実装により1きょう体に収容した。**図10**にM-680Hきょう体の写真を示す。

各きょう体間(プラッタ間)の信号伝搬遅延時間は，きょう体の小形化によるプラッタ間のケーブル長の短縮に加え，新たに開発した4 ns/mの高速同軸ケーブルによって，M-280Hなどと比べて約$\frac{1}{2}$に短縮することができた。

M-68Xでは，3次元高密度実装の採用によりプラッタ容積67 l 当たりの消費電力の最大は7 kWにもなるにもかかわらず，水冷のような特殊な冷却を使わずに強制空冷方式による冷却を実現した。これは前述のLSIパッケージの低熱抵抗化に加え，パッケージ間の冷却空気の量を制御する冷却構造と，高性能ブロワの開発により可能となったものである。

パッケージ，プラッタによる3次元実装では，パッケージに搭載したLSIから冷却空気への放熱性は，LSIパッケージの内部熱抵抗とパッケージ間の冷却風量に依存する。冷却風量は各パッケージの圧力損失によって決まる。しかしパッケージの圧力損失特性は，搭載部品の数や配置状態によって異なり予測が難しい。

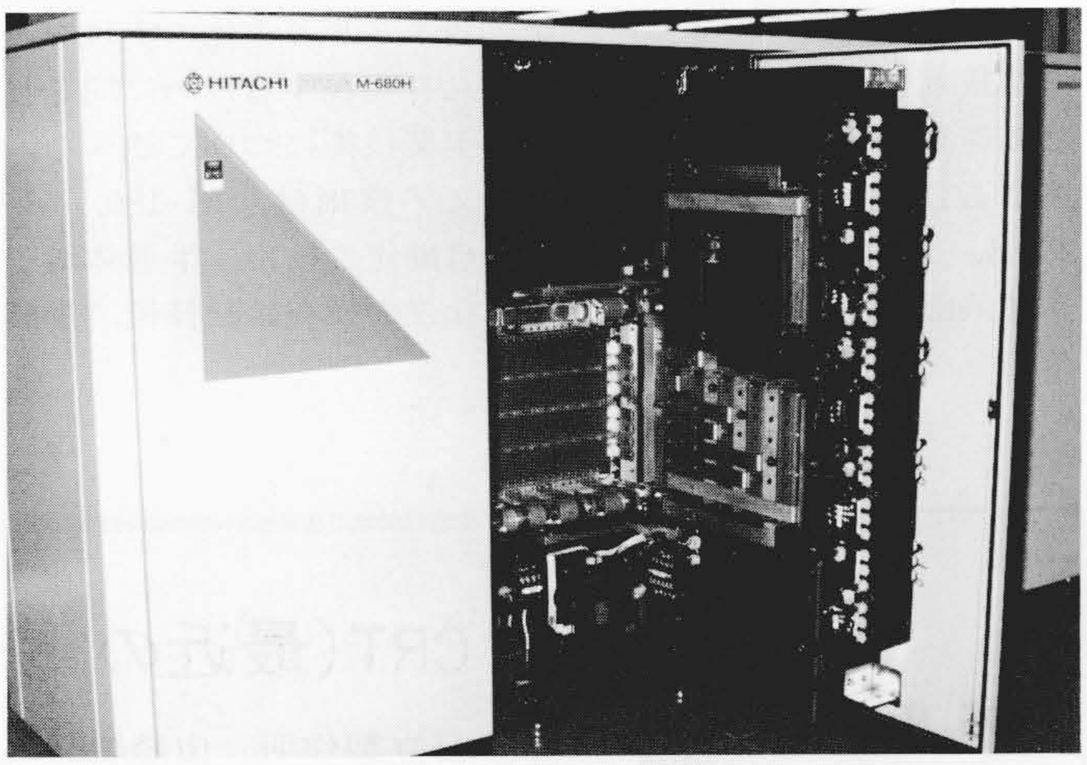


図10　M-680Hきょう体　固定架に取り付けたプラッタに，可動架に搭載したDCUからバスバーとフレキシブルバスバーを使って直流電源を給電する。3次元高密度実装プラッタとDCUの小形化により，床面積をM-280Hの77%に小形化した。

今回，パッケージ上のLSIが搭載される各部の通風断面の平均値である代表通風面積でパッケージ間を流れる風量を割った代表風速と，パッケージの圧力損失との間に比例関係があることを見いだした[3]。この関係を利用して，各パッケージの発熱量，代表通風面積に応じた風量調整機構を挿入する。このようにして，パッケージ間を流れる冷却空気の流量をパッケージの発熱量に対応して最適化し，素子間の温度ばらつきを抑えている。

論理架の下部のブロワ箱には，今回新たに開発した高性能ブロワが収納されており，床下からの冷却空気をプッシュ方式でパッケージ間に送る。このブロワは，羽根車の形状と空気流路の形状を流体力学的に最適設計し，高い圧力損失にも十分対応できるようにした。

以上のような冷却技術の採用により，パッケージ間の平均風速7～8 m/s，最低風速5 m/sを実現し，通常のコンピュータの設置環境下での全素子の接合温度範囲を約60～80℃に抑えることができた。

大容量の低電圧電流を得るための電源方式としては，M-180以来実績のある電動発電機とDCUを組み合わせる方式を採用している。DCUには電動発電機からの出力を降圧し整流を行なうためのトランスとダイオードを搭載しており，従来に比べ容積で約$\frac{1}{2}$以下と小形化した。これを8ユニット単位で可動架に収め，論理プラッタと同一きょう体内に実装した。このためM-280Hなどに比べ，きょう体の小形化，設置面積の大幅な低減ができた。

DCUの降圧トランスの一次側には多数のタップが準備されており，このタップの組み合わせを変えることにより，−1.8Vから−5.2VまでのDCU出力電圧の設定を行なうことができる。DCUから論理プラッタまでの接続はバスバーとフレキシブルバスバーの組合せにより最短の長さで接続する。これにより，大容量の電流を少ない電圧降下で給電している。

電動発電機は，瞬時停電や入力電圧変動，外来ノイズに強く，DCUは使用部品が他方式の電源に比べて一けた以上少ないため信頼性の極めて高い方式になっている。

6 結　言

M-680H/M682H超大形プロセッサは，超高速処理性能，高いシステム信頼性，省スペース，省エネルギー化の実現などを特長としている。本稿は，これらを実現するために開発した高速高集積半導体技術，高密度実装技術について述べた。

ここに述べた新しいハードウェア技術は，M-180，M-280H，S-810などで培われた設計自動化の技術，半導体素子や電気部品及び高密度パッケージなどの検査診断技術，半導体，プリント基板，部品組立に至る一貫した高度な生産技術が基礎となって初めて可能となったものである。また新しく開発した部品の信頼性評価手法，信頼性向上技術にも新しい改良を加えた。

設計面では，大規模論理回路の遅延時間を正確に計算するディレイチェックプログラムを開発し，組立前にマシンサイクルの予測を可能とした。また，コネクタのような電気部品の特性を評価するための3次元電気特性シミュレーションプログラムを開発し，新規部品の特性評価の高精度化と効率化を図った。

今後もコンピュータ性能向上への努力は，限りなく行なわれるであろう。この開発で培った貴重な経験を踏み台にして，更に高度な技術を開発すべく努力していきたい。

参考文献

1) 泉，外：HITAC M-280H処理装置の開発，日立評論，**63**，9，627～632(昭56-9)
2) 小林，外：スーパーコンピュータHITAC S-810アレイプロセッサ ハードウェア技術，日立評論，**65**，8，547～550(昭58-8)
3) 小方，外：LSIを搭載したパッケージの圧力損失について，昭和60年度電子通信学会総合全国大会，論文No. 1709(昭60-3)

論文抄録

CRT(最近の電子ディスプレイデバイス小特集)

日立製作所　山崎映一

電気学会雑誌　105−7，618～622（昭60-7）

既に成熟期にあるとみられていたテレビジョン産業も，近年着実な伸びを示している。これは中華人民共和国の新市場，ニューメディアと呼ばれる新分野，そしてOA機器などの急速な伸長によるものである。

このような新しい用途に対しては，表示能力が従来より優れたCRTが必要とされ，シャドウマスクピッチの精細化，フォーカス及びコンバーゼンスの向上がなされた。またテレビジョン用CRTの新しい傾向として，フルスケア管すなわち完全に4：3の直角画面を表示できるようなものが導入された。

一方，大形テレビジョンとしての投写形受像機も特に米国で急速な普及を見せ，昭和60年は20万台前後の出荷が予想され，更に年25%程度の伸びを示している。CRTも専用の液冷方式などが開発され，明るくて鮮明な画像が得られるようになった。

日本放送協会が提唱してきた高品位テレビジョンもしだいに現実のものとなりつつあり，40形という巨大なCRTが開発される一方，投写形では54形のリヤ方式で解像度1,000本，340cd/m²の明るさをもつものが試作展示された。

小形化に目を向けると2形画面をもつフラットCRTを使用したフラットテレビジョンが商品化され，ビデオカメラ用としては1.5形のビームインデックス管がカラービューファインダとして実用化されている。

ところで，コンピュータターミナルなどのディスプレイ用途のCRTとして，まずモノクロームCRTには根強い需要があり，5.5形ないし15形までのものが用途に応じて用いられている。

カラーディスプレイ管は，パーソナルコンピュータから高級グラフィックディスプレイに至るまでの各種OA機器の進展に伴って，急速な伸びを示している。ゲーム用などのローエンド用としては，一般テレビジョン用のCRTが可能であるし，2,000文字表示などの一般表示用として中精細管もしくは高精細管が適しており，更に高級なグラフィックディスプレイ用には超高精細管を必要とする。

精細度を増すに従って，単にシャドウマスクのピッチだけでなく，これに伴って電子ビームの大きさ，及び3色ビームのコンバーゼンスの精度向上が必要である。電子ビームスポット径縮小のために，電子レンズを大口径化して収差を減らすことが有効で，AP，EA，OLF，LAT，CFFなど各種電極構造が実用化されている。また，コンバーゼンスの精度向上のためには，偏向コイルの改善が必要で，HSA，PCS，SPM，STC，SSTなどの新しい偏向コイルが開発されている。更に必要に応じて，ディジタルメモリを応用したディジタルコンバーゼンスも実用化されている。

OA機器の普及に伴って人間の健康に及ぼす影響が問題となっている。目を疲れさせない良い環境を作ることがまず重要であるが，CRT側でも長残光蛍光体，各種透過率のガラス，反射防止処理ガラスなどのオプションを用意してこれに対処している。