

アナログ・デジタル共存デバイス技術とその応用

Analog/Digital Compatible Device Technology and Applications

情報産業の目覚ましい発展を支えるLSIの中で、アナログ・デジタル共存形LSIの重要性が増大している。本稿では、日立製作所でのアナログ・デジタル共存LSIの展開について、デバイス・プロセス技術の面からその特徴を明らかにするとともに、若干の応用例について紹介した。

まず初めに、バイポーラプロセスと優れた適合性をもったデジタル機能素子としてIILデバイスの導入について述べ、製品適用例を含め、その技術の有用性を明らかにした。

次にBiCMOSプロセスについて取り上げ、アナログ・デジタル共存デバイスとしての概要と特徴を、構造及び特性面から明らかにした。代表的な応用例として、フロッピーディスク駆動用信号処理LSIを紹介した。

保谷和男* Kazuo Hoya
 里中孝一郎* Kōichirō Satonaka
 松浦 彰* Akira Matsuura

1 緒 言

近年、高度情報化社会への移行とともに、情報機器産業は目覚ましく発展してきた。その発展の一翼をさまざまな専用LSIあるいは汎用LSI群が担ってきており、今後も情報化社会の発展とともに重要性は増大してゆく。このような背景の中で、アナログLSIとデジタルLSIはそれぞれ独自の発展をしてきており、システムの拡大のため、高集積化と多機能化を進めてきた。特に、デジタルICは、大形コンピュータ用LSIあるいはマイクロコンピュータ用LSIを考えると明らかなように、アナログICに比べ高集積かつ大規模化に適している。これが何十万ゲートものトランジスタを、1チップに集積したVLSIが可能な理由である。しかし、我々が住んでいる世界はまさにアナログの世界であり、そこから拾い上げた情報は時間軸を含めアナログ量である。この情報を効率良く、経済的にデジタル信号に変換しあるいは逆変換するために、アナログとデジタル双方の信号処理機能をもつインタフェースLSIが必要となる。そして今後、情報化社会の進展とともに、このインタフェースLSIの重要性が増大する。

日立製作所では、このアナログ・デジタル共存形LSIを経済的かつ効率良く実現するために、アナログ・デジタル共存形デバイス及びプロセス技術の開発を10年来進めてきた。以下に、アナログ・デジタル共存デバイス技術としてIIL(Integration Injection Logic)技術、及びBiCMOS(Bipolar Complementary Metal Oxide Semiconductor)技術について、その概要と今後の動向を中心に述べ、同時に、代表的な本プロセス適用製品例について簡単に紹介する。

2 アナログ・デジタル共存形デバイス

現在、アナログ信号処理LSIの多くは、バイポーラ形のトランジスタを中心に回路構成されており、その高増幅率特性、低雑音特性、高駆動能力、優れた高周波特性などを十分に活用している。表1にバイポーラ形とMOS形トランジスタを用いた増幅器の一般的な性能比較を示す。同表からも明らかなように、アナログ信号処理に対してはバイポーラ形トランジスタが断然優位となる。これが今日アナログLSI用プロセスとしてバイポーラ形が主流となっている理由である。

表1 バイポーラ形及びCMOS形増幅器の性能比較 CMOS形に比べバイポーラ形増幅器は、消費電力、占有面積を除き有利である。特に、アナログ特性として重要な利得、オフセット、雑音特性で際だっている。

項 目	バイポーラ	CMOS
電 圧 利 得	100~120dB	60~80dB
出 力 電 圧 ・ 電 流	±15/±30mA	±5/±10mA
ダイナミックレンジ	120~140dB	80~100dB
直流オフセット電圧	~1mV	~10mV
雑 音(20~20kHz)	0.1~10μVrms	10~100μVrms
消 費 電 力	50~100mW	2~20mW
帯 域 幅	~10MHz	~10MHz
占 有 面 積	~0.65mm ²	~0.32mm ²

注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)

このようなアナログLSIに対する、より高機能化、多機能化の市場要求にこたえるため、日立製作所ではアナログデバイスと共存するデジタル機能素子の開発を行なった。その一つが本章で述べるIILデバイスである。IILデバイスは、バイポーラプロセスとの共存性が極めて良好であり、ほとんどプロセス変更なしにデジタル機能の導入が可能であった。表2に代表的なIILプロセスの特性を示す。また、図1にその断面構造を示す。同図(a)は従来プロセス(5μmプロセス)、また(b)はHIT(High density Integration Technologyの略、3μmプロセス)である。ここで同図(a)と(b)の最大の違いは、素子分離構造及びベース エミッタの形成法にある。HITでは、素子分離方式を従来の接合拡散分離方式から高精度エッチング技術による浅溝分離方式に変更した。この結果、バイポーラ形デジタルLSIで広く用いられている酸化膜素子分離技術のような複雑なプロセス技術を用いずに、微細化、高集積化を実現している。また、従来のような素子分離のための接合がないため、Si基板との間の寄生容量(Cob)が低減され高周波特性の改善に大きく寄与している(例えばf_{Tmax}など)。このように

* 日立製作所高崎工場

表2 IILプロセスにおけるNPNトランジスタ及びIILデバイスの特性
 従来プロセスに比べてHITプロセスは、アナログ部、デジタル部ともに素子面積を大幅に低減し、また動作速度は5~10倍向上している。

素子	項目	特性	
		従来プロセス	HITプロセス
NPNトランジスタ (アナログ部)	h_{FE}	200typ.	100typ.
	BV_{CEO}	35V	7V
	f_{Tmax}	0.4GHz	4GHz
	素子面積	1	0.1
IILデバイス (デジタル部)	$Bieff$	~5	~5
	t_{pdmin}	20ns	2ns
	$T-FFf_{max}$	2MHz	20MHz
	素子面積	1	0.2
加工レベル		5~7 μ m	3 μ m

注：略語説明 IIL(Integration Injection Logic)

3 μ mルールという比較的緩いレイアウトルールのまま、デバイス・プロセスの精度を上げることでアナログ・デジタル共存LSIの諸要求を満たしているのがHITプロセスの特徴である。

このHITプロセスへのIILデバイスの集積も当然可能であり、

$t_{pd\ min}$ (最小遅延時間) \approx 2 nsと当社従来比で $\frac{1}{10}$ に改善されている。デバイスサイズの縮小とともに無視できないのが配線領域の問題である。特にアナログICでは、配線層の寄生容量あるいは寄生抵抗により、ブロック間のクロストーク、発振、ひずみ率の劣化などさまざまな悪影響が発生する。特に高周波回路ではこの傾向が顕著となる。日立製作所では、従来のリニアICで多数の実績がある有機材料(ポリイミド系樹脂)を用いた多層配線技術を更に発展させ、HITプロセスで微細化多層配線技術として確立した。本技術では、下地段差を有機材料の粘性を利用して吸収することにより、ステップカバレッジの良好な高信頼度3層の配線技術として実用化した。

HITプロセスを適用した製品の例としては、30MHz以上の高速で動作するフラッシュ形A-D変換、D-A変換LSIシリーズがあるが、詳細内容については本号特集論文「A-D、D-Aコンバータ系列²⁾」を参照されたい。

IILプロセスのもう一つの特徴は、バイポーラ・パワーデバイスとの共存性の良さである。一般的にパワーICはバイポーラ素子により構成されているが、IIL素子を導入することで容易にデジタル機能を付加することができる。本プロセスを採用することで、種々の信号処理機能とパワードライブ機能を1チップに収め、高度にインテリジェント化されたパワーICが可能となる。図2にその例としてハードディスク用スピンドルモータドライバLSI HA13426の内部機能図と、そこで使用したデバイスの種類について示す。センスアンプ、過熱保護回路、パワードライブなどのアナログ機能とデジタル

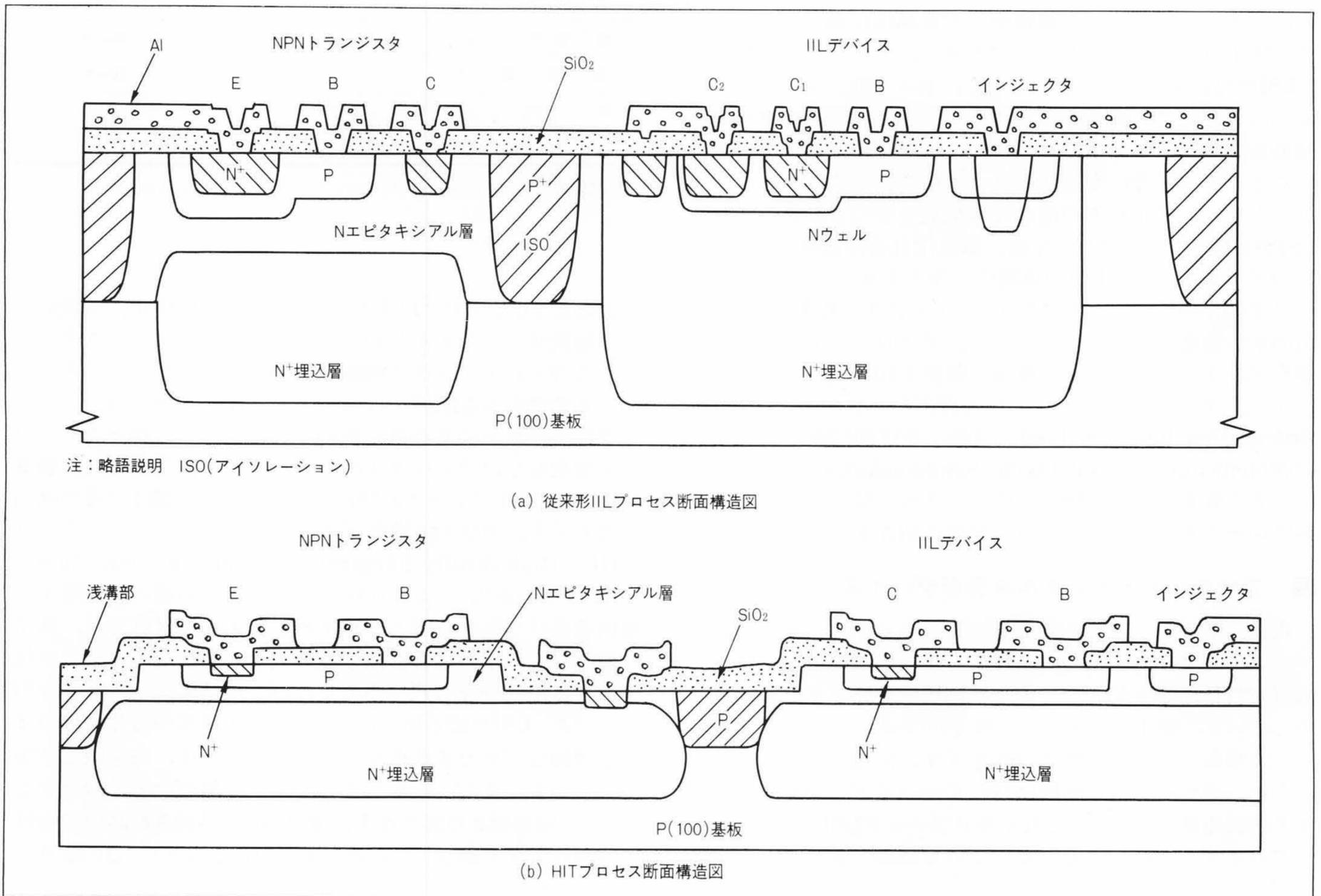


図1 IILデバイスの断面 HIT(High density Integration Technology)プロセスでは、浅溝による素子分離が特徴である。従来形に比べて $\frac{1}{5}$ ~ $\frac{1}{10}$ の素子面積低減を行なっている。

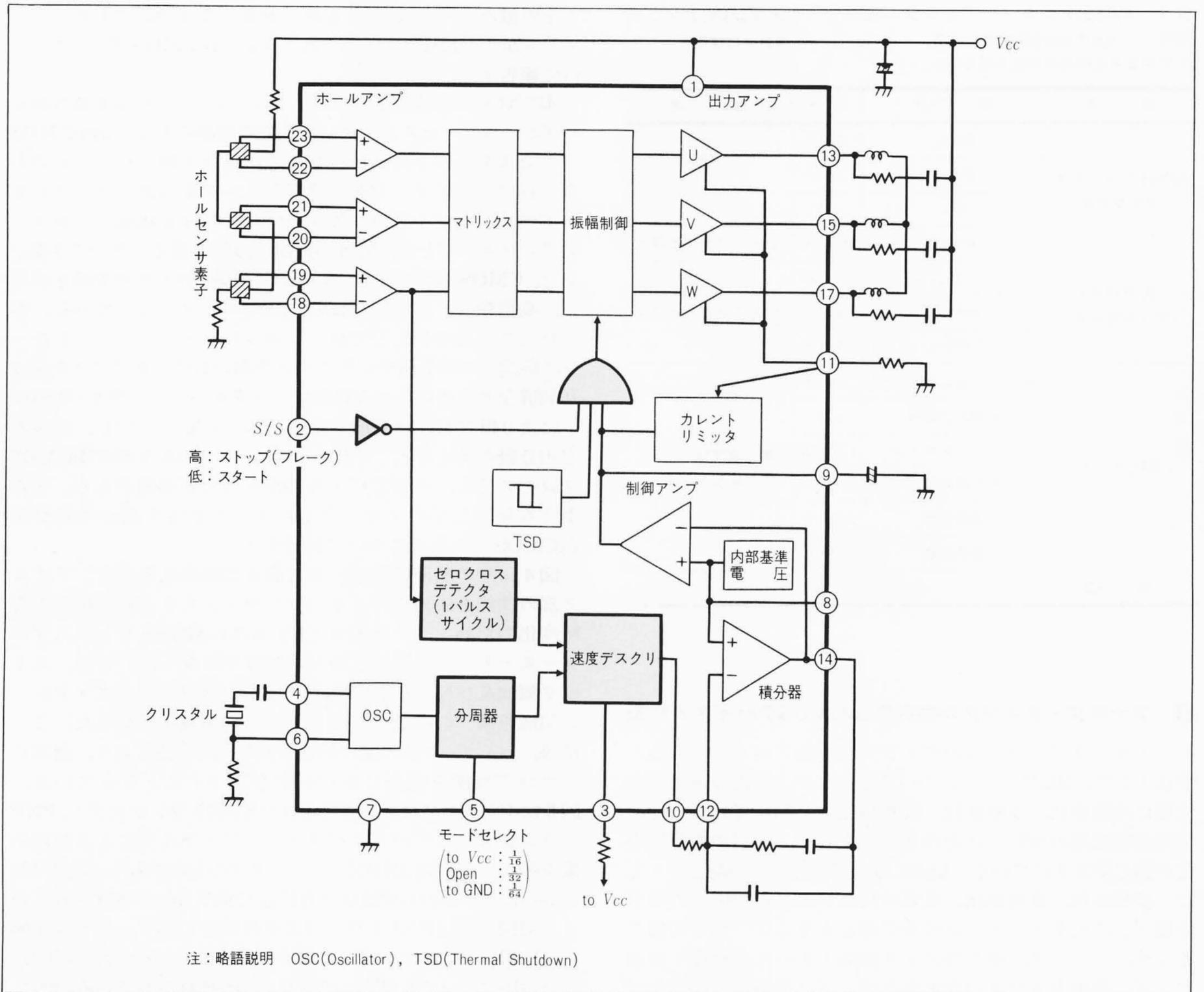


図2 HA13426内部機能図 分周器はECL回路、IIL回路により構成している。図中太線のブロックがデジタル動作をしており、他のブロックはOPアンプ、パワードライバなどアナログ動作をする。

サーボのためのカウンタ、フリップフロップ、その他論理ゲートが効率良く1チップに集積されている。本ICは±3Aの駆動能力をもった出力段を3回路内蔵しているが、IILデバイスの採用、パワーICでの高度のレイアウト技術の活用により、CMOS-LSIで問題となるラッチアップ、及びロジック雑音の

発生がない。この結果、安定なサーボ特性をもった、出力段を含めた完全1チップLSIができた。

このようにIILデバイスを用いることで、大電力、高耐圧アナログ・デジタル共存LSIの可能性は大きく広がる。図3に、その応用の一つとしてセミウェル分離技術を用いた150V耐圧のIIL共存デバイス構造図を示す。トランジスタ耐圧 BV_{CE0} は150Vあり、またIILの性能は $t_{pd\ min}$ で20nsと従来と同等の性能を得ている。このプロセスの適用例としては、本号特集論文「平面ディスプレイドライバLSI³⁾」に詳述されている。本プロセスの特徴は図3に示すようにウエットエッチング法を用いて、部分的に厚さの異なるN形エピタキシャル層(トランジスタのコレクタ領域)を得ることにある。更に、素子分離拡散をエピタキシャル層の薄い部分で行なうことで、素子分離のための領域を従来の $\frac{1}{2}$ 以下とすることができた。表3に、本プロセスを用いたデバイス及び高耐圧OPアンプの特性を示すが、150~200Vの高耐圧アナログ・デジタル共存LSIが可能なが分かる。

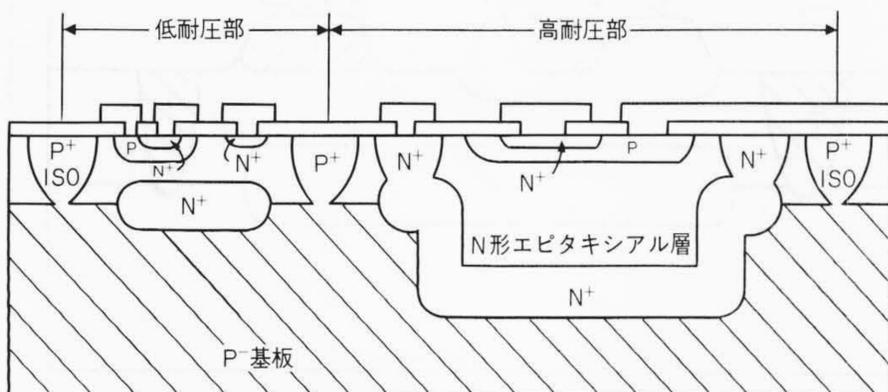


図3 高耐圧アナログ・デジタル共存デバイス構造 高耐圧部と低耐圧部の素子分離は、低耐圧部の薄いエピタキシャル層の部分でできるので、低耐圧部の高集積化が容易である。

表3 高耐圧アナログ・デジタル共存デバイス及びOPアンプの特性
 セミウェル分離技術の採用により、耐圧以外の項目はほぼ従来の5 μ m IILプロセスと同等の特性を得ている。

素子	項目	特性	備考
NPNトランジスタ (アナログ部)	BV_{CEO}	150V	—
	BV_{CBO}	200V	—
	h_{FE}	100	—
	f_{Tmax}	400MHz	従来プロセスと同等
IILデバイス (デジタル部)	β_i	3~5	—
	t_{pdmin}	20ns	従来プロセスと同等
	T_{FFfmax}	2MHz	—
OP-アンプ	オープンループゲイン	100dB	電源電圧は、 $\pm 75V$ で測定した。
	同相入力範囲	$\pm 75V$	
	スルーレイト	1.0V/ μ s	
	出力最大振幅	148V _{P-P}	
	消費電力	150mW	
	素子面積	2.5mm ²	
加工レベル		5 μ m	

3 アナログ・デジタル共存形BiCMOSデバイスの特長

バイポーラプロセスへのデジタル機能デバイスの取込み手法として、IILデバイスについて述べたが、最近の市場動向は更に高機能化、多機能化、高集積化へと動いており、特に情報産業機器の分野ではその普及とともに、機器の軽薄短小化が強く要求されている。LSIに対しても集積度の向上とともに、多機能化、高機能化、低電力化及び部品点数削減の要求は強い。これをデバイスレベルで考えるならば、信号切換スイッチ、フィルタ、種々のメモリ機能あるいは高精度・高速アンプ、高出力ドライバなどを1チップに集積し、高速かつ低電力で動作させることが必要となる。このような要求を満たすプロセスとして、バイポーラCMOS共存プロセス(BiCMOSプロセスと略す。)が近年注目を浴びている。日立製作所でも各種BiCMOSプロセスの開発が行なわれており⁴⁾、本号で

もその報告⁵⁾がなされているが、本論文では特にアナログ・デジタル共存LSI用に開発された5 μ m BiCMOSプロセスについて報告する。

本プロセスの特長としては、リニアICで十分な実績のあるバイポーラプロセスと、ロジックICで実績のある5 μ m CMOSプロセスをそれぞれの長所を失うことなく融合したことにある。特に、バイポーラ部は豊富なリニアIC設計ノウハウを生かすべく、デバイス特性及びプロセス条件を決定しており、従来のリニアICと全く同等の性能、機能を得ることができる。また、CMOS部についても5 μ m CMOSプロセスの実績を活用し、高信頼度、高性能なBiCMOSプロセスとなっている。本プロセスの適用例としては、フロッピーディスクコントローラの機構制御用LSIやビデオカメラ用のLSI、更にファクシミリ装置などに用いられる感熱プリンタ用ヘッドドライバLSIなどにより既に数年の量産実績をもっている。しかし、今後の応用分野を考えると、アナログ・デジタル共存形のBiCMOSプロセスでも、そのデバイス特性を高める必要がある。そのような例としてバイポーラデバイスの耐圧を高めた高耐圧BiCMOSプロセスについて紹介する。

図4にその断面構造を、また表4に諸特性を示す。アナログ部の性能を決めるバイポーラトランジスタと拡散抵抗の高精度化のため、ベース領域とPチャンネルMOSトランジスタのソース・ドレイン領域を別々の拡散で形成した。また、エミッタ領域及びNチャンネルMOSトランジスタのソース・ドレイン領域を同一の拡散で形成し、工程の削減を行なった。この結果、バイポーラ部の素子耐圧は80V minを得ており、通常のアナログ機能を完全にカバーするデバイスとなっている。

図5に本プロセスによって得られたNPNトランジスタと、PNPトランジスタのデバイスパラメータアナライザによる測定結果を示す。同図(a)はNPNトランジスタのものであり、 h_{FE} が100と高いにもかかわらず耐圧は BV_{CEO} で80V minが確保されている。同図(b)にはPNPトランジスタの特性を示す。ラテラル構造のPNPトランジスタであるにもかかわらず、 h_{FE} でほぼ200、また耐圧についても BV_{CEO} で80V minが確保されている。更に、従来のバイポーラプロセスでは、抵抗体としてベース拡散(通常P形)などを用いた拡散抵抗が普通で、エピタキシャル層との間に逆バイアスを印加して素子分離をしていた。このため、電源電圧が高くなると、抵抗体中に空乏層が伸び、いわ

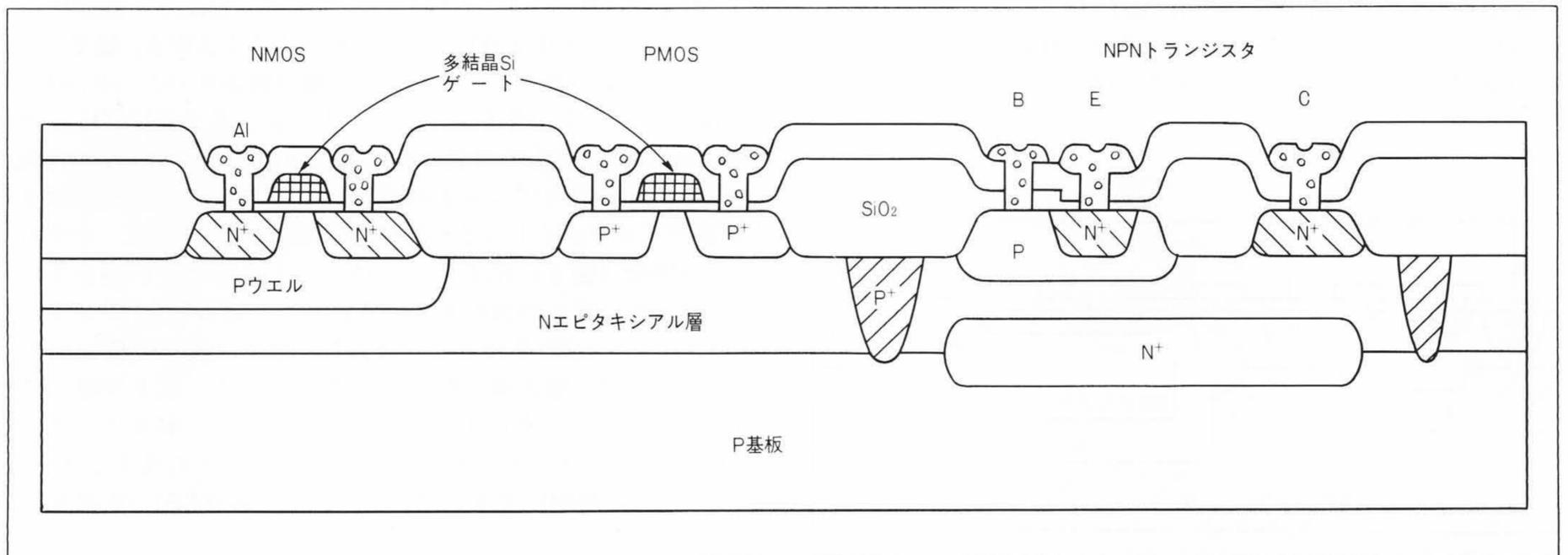


図4 アナログ・デジタル共存形BiCMOSデバイスの断面 5 μ m Si-Gate CMOSトランジスタと5 μ mバイポーラトランジスタを同一チップ内に集積している。Nエピタキシャル層内にPウェルを形成し、CMOSを得ている。

表4 アナログ・デジタル共存形BiCMOSデバイスの特性
バイポーラ部、CMOS部ともに従来のLSIと同等の性能が得られるデバイスであることが分かる。加工は5 μ mネガプロセスで行なっている。

素子の種類	項目	特性	備考	
バイポーラ トランジスタ	NPN	BV_{CED}	80min(V)	エミッタサイズは 20 μ m平方
		BV_{CBO}	100typ.(V)	
		h_{FE}	100typ.	
		f_{Tmax}	400MHz	
	PNP	$ BV_{CEO} $	80min(V)	ベース幅は18 μ m
		h_{FE}	100typ.	
f_{Tmax}		2.5MHz		
M O S トランジスタ	Nチャンネル	BV_{DS}	10V	ゲート長はP,Nと もに5 μ mである。
		V_{TH}	0.5V	
	Pチャンネル	$ BV_{DS} $	10V	
		$ V_{TH} $	0.5V	
	フリップ フロップ	最大動作周波数	10MHz	T形回路 $V_{DD} = 5V$

ゆるジャンクションFET(フィールド効果形トランジスタ)動作となり、抵抗値が変動してしまう。この結果、アナログ回路ではひずみの増加などで特性上好ましくない。本プロセスではMOSトランジスタのゲートを構成しているポリシリコン層を用いて、高精度抵抗体を得ている。ポリシリコン抵抗はSiO₂の上に形成されており、印加電圧による抵抗値の変動がないばかりでなく、絶縁耐圧、絶縁抵抗特性ともに優れたものとなっている。CMOS部については従来の5 μ m CMOSプロセスと同等の性能であり、 V_{th} (スレッシュホールド電圧)絶対値は0.5V_{typ.}である。このアナログ・デジタル共存形BiCMOSデバイスの特徴は、P形(100)方位のSub基板の上に、N形の高精度エピタキシャル層を成長させ、正確に表面濃度を制御して

いる点にある。この結果、MOSトランジスタの V_{th} は精度良く制御されるとともに、そのばらつきも低減されている。

また、バイポーラプロセス特有のN⁺埋込層及びP⁺素子分離拡散層を利用することで、ラッチアップを起こしにくい素子設計が可能であり、本プロセスの大きな特長となっている。

パッシベーション膜については、信頼性確保の面から重要である。本プロセスでは、高信頼度リニアIC、及び5 μ m CMOS LSIと同様に耐湿性に優れたP-SiN(プラズマナイトライド)膜によるパッシベーション技術を適用しており、プラスチックパッケージの場合の信頼性を確保している。また、MSP(Mini Square Package)など、今後プラスチックパッケージの主流となりつつある面付形パッケージの場合は、更にリニアIC 2層配線技術で実績のあるPIQ(ポリイミド系有機樹脂)をファイナルパッシベーション膜として追加してチップを機械的ストレスから保護し、DILP(Dual In Line Plastic)パッケージと同等の高信頼性を得ている。

以上述べたように、リニアICの豊富な実績をベースに5 μ mバイポーラプロセスと5 μ m CMOSプロセスを合理的に融合し、アナログ・デジタル共存LSIに最適なBiCMOSデバイスを得ることができた。

BiCMOSデバイスを適用した製品の一例として、図6にフロッピーディスク駆動装置用制御信号処理LSIの構成図を示す⁶⁾。アナログ・デジタル機能をバランスよく集積している。

4 アナログ・デジタル共存デバイスの今後の展開

今後ともアナログ・デジタル共存LSIの市場は拡大していく。特にそれは情報産業の分野で顕著である。しかし、民生機器のデジタル化(デジタルテレビジョン、デジタルオーディオ)も無視できない。それらのシステムは、入出力はアナログでありながら内部の信号処理はすべてデジタルで行なわれるからである。また、INS(Information Network System)あるいはISDN(Integrated Service Digital Network)といった情報サービス網の発展を支えるVLSIシス

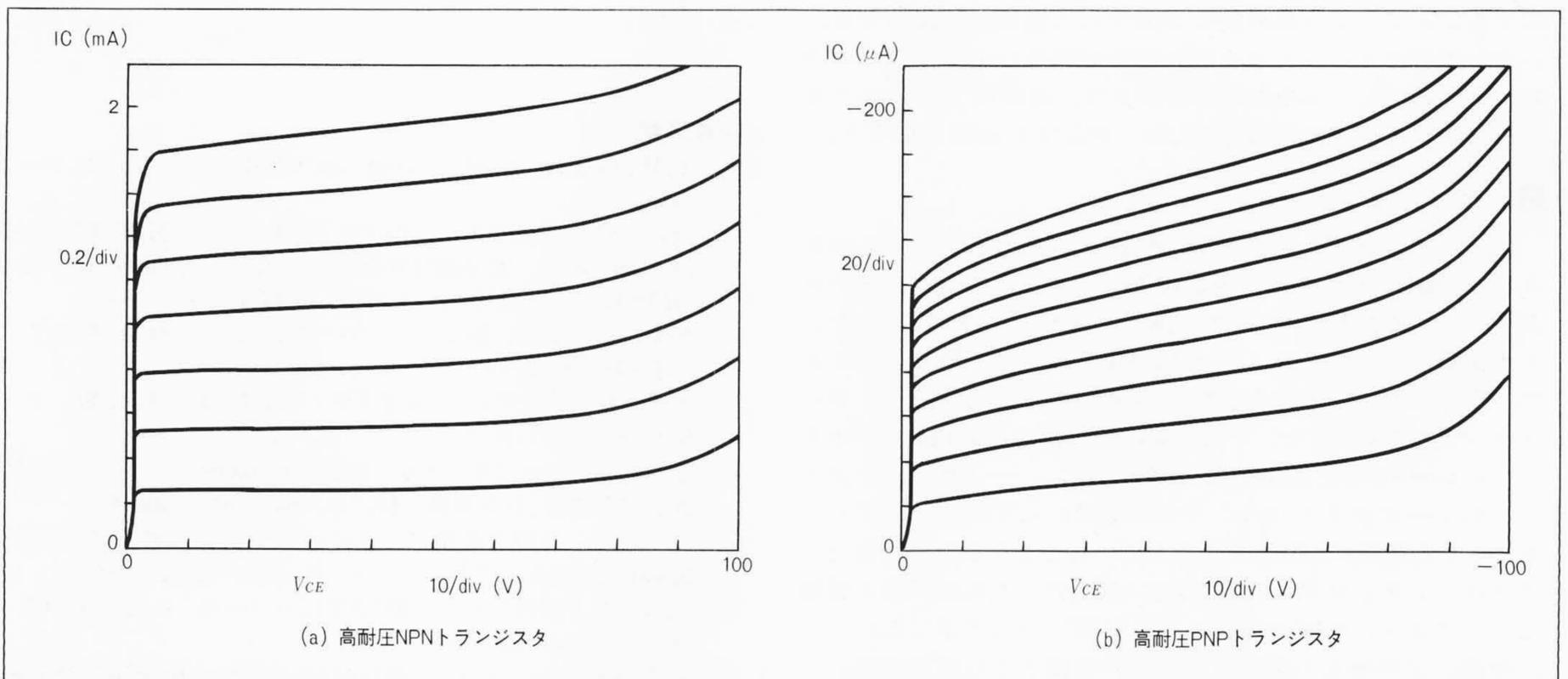


図5 高耐圧BiCMOSプロセスにおけるバイポーラトランジスタの特性 (a)にNPNトランジスタ、(b)にPNPトランジスタの $V_{CE}-I_{CE}$ 特性を示す。ベース電流のステップはそれぞれ4 μ Aと-0.1 μ Aである。 $V_{CE}=80V$ まで十分なデバイス特性が得られていることが分かる。

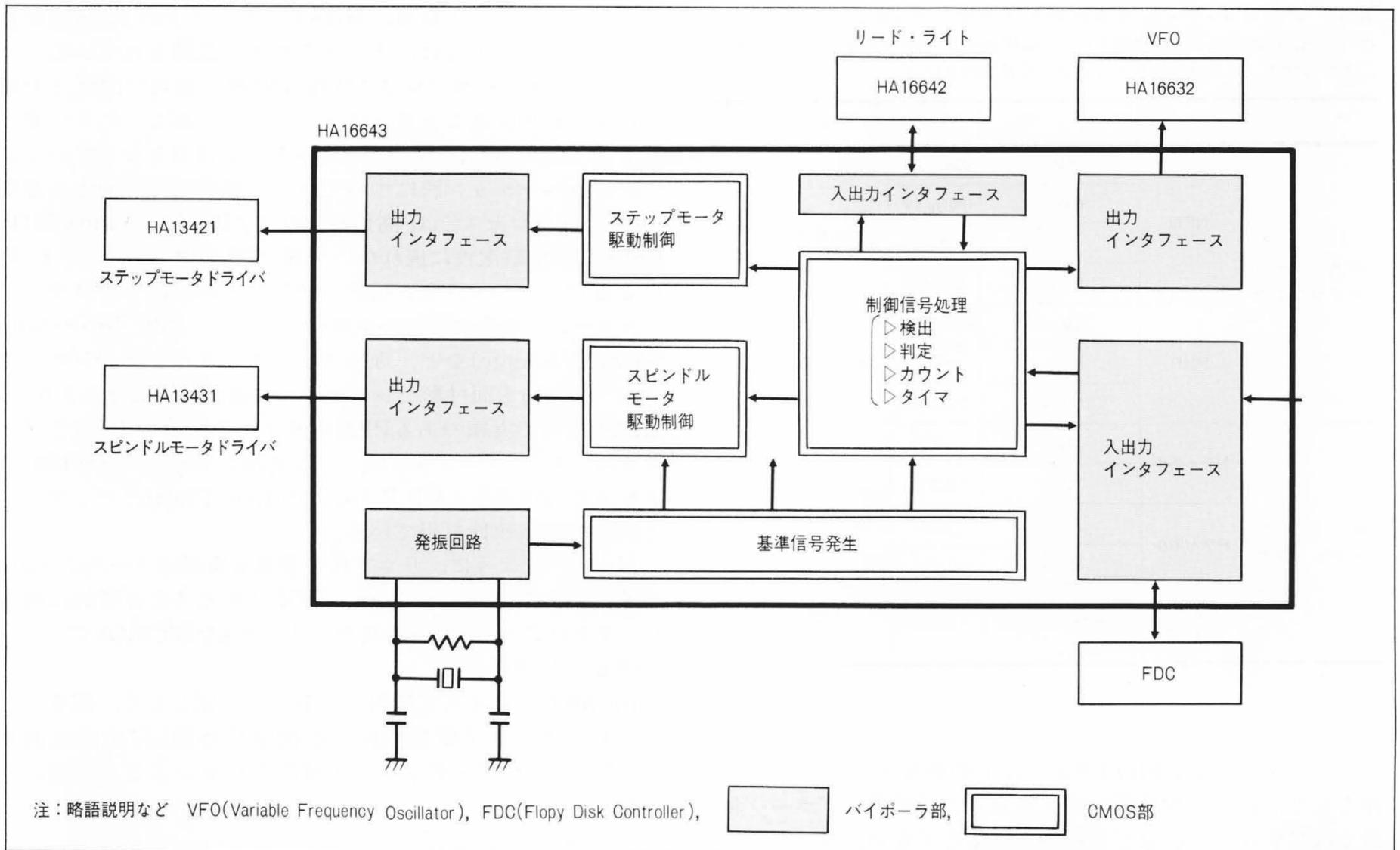


図6 フロッピーディスク駆動制御信号処理用LSIの内部ブロック図 制御信号処理部を、BiCMOSデバイスにより1チップにまとめた。その結果、低消費電力化するとともにラインドライバ回路を取り込むことで、4個の専用LSIでフロッピーディスクシステムの構成が可能となった。

テムの中でも、そのI/O(入出力)を取り扱う分野、すなわちマンマシンインタフェース用LSIはアナログ・デジタル共存デバイスが重要な役割を果たす。このような分野のため、より高速・低電力・多機能LSIを支えるデバイスとして、日立製作所の二つの研究所を中心にSICOS⁷⁾(側壁ベースコンタクト構造)、あるいはHi-BiCMOS⁵⁾などのデバイス開発を行ってきた。このようなデバイスをアナログ・デジタル共存LSIに応用することで、より高機能なシステムの集積が可能となる。一方、微細化という大きな流れの中で見逃してはならない分野として高耐圧・高出力の分野があり、高集積・多機能で高耐圧パワーデバイスを備えたLSIの製品化も必要となろう。

5 結 言

以上、アナログ・デジタル共存LSIを支えるデバイス技術として、IILデバイス及びBiCMOSデバイスを中心に、アナログ・デジタル共存プロセスの概要及び特長について述べた。まず初めにバイポーラプロセスにIILデバイスを取り込むことで、デジタル信号処理機能を容易かつ経済的に、バイポーラチップ上で実現した。その応用範囲は、単にVTR(ビデオテープレコーダ)など民生用にとどまらず、ハードディスクドライバ用モータドライバのような大電流から平面ディスプレイのような高耐圧のLSIにまで及んでいることを示した。また、アナログ・デジタル共存形BiCMOSデバイスの構造と特徴について述べ、実際の製品への応用例について示した。

今後、プロセス・デバイス技術の進展とともにアナログ・デジタル共存LSIもその微細化度を高め、集積度を上げてゆくとされる。しかし、単にその微細度・集積度を競うので

はなく、豊富なプロセス技術の中から最適なデバイス・プロセスを注意深く選択し、システム技術・回路技術との巧みな融合の中で、性能・機能あるいは経済的メリットといった、市場の要求を満たすLSIを早期に実現することがアナログ・デジタル共存技術の使命と考える。

参考文献

- 1) T. Watanabe, et al.: Symp. on VLSI Tech., Japan 7~8 (1982)
 渡辺, 外: 高密度アナログ/デジタルLSI用P²L(HIT構造)の検討, 昭和58-4, 電子通信学会総合全国大会 No.606, p.2~343
 HIT関係の論文として上記に詳しい報告がされている。
- 2) 笠原, 外: A-D, D-A コンバータ系列, 日立評論, 68, 7, 577~580(昭61-7)
- 3) 志水, 外: 平面ディスプレイドライバLSI, 日立評論, 68, 7, 581~584(昭61-7)
- 4) 上遠野, 外: サブナノセカンドHi-BiCMOSゲートアレー「HG 28シリーズ」, 日立評論, 67, 8, 645~648(昭60-8)
- 5) 荻上, 外: 高速高集積メモリに台頭するバイポーラ-CMOS RAM, 日経エレクトロニクス, No.390, p.199(1986-3)
- 6) 花田, 外: 磁気ディスク用リニアICシリーズ, 日立評論, 67, 8, 637~640(昭60-8)
- 7) T. Nakamura, et al.: Self-Aligned Transistor with Side-wall Electrode, ISSCC Digest of Technical Papers, p.224~225(Feb.1984)