

# CMOS16ビットMPUとDMAC

## CMOS 16bit MPU and DMAC

16ビットマイクロコンピュータの応用分野は、高機能・高性能で、かつ低消費電力動作が要求されるコンパクトなOA機器や通信分野へと拡大しており、CMOS版が不可欠となってきている。ここで、日立製作所では、このキーデバイスとなるMPU“HD68HC000”及びDMAC“HD63450”を製品化した。これらは、既存のNMOS版とソフトウェアコンパチブル性及び差し替え可能なピンコンパチブル性をもち、かつ消費電力の大幅低減、最高動作周波数12.5MHzの高速動作、顧客ニーズの強い新機能の追加などを実現した。また、DMACでは、レイアウト設計にVLSIレイアウトCADシステムを採用し、早期製品化を図った。

鈴木芳人\* *Yoshito Suzuki*  
 中野公一\* *Kôichi Nakano*  
 稲吉秀夫\* *Hideo Inayoshi*  
 阿部正義\* *Masayoshi Abe*

### 1 緒言

16ビットマイクロコンピュータは、パーソナルコンピュータ、ワークステーションなどのデータ処理分野や、NC (Numerical Control)、ロボットなどのリアルタイム制御分野、及び高機能ファクシミリ、LAN(Local Area Network)などの通信分野で、急速に普及し始めている。しかし、これらの応用分野でも高機能・高性能化と同時に、機器の小形化・ポータブル化が進む傾向にある。16ビットマイクロコンピュータに対しても、多機能・高性能化に加え低消費電力化・小形パッケージ化の要求が強まっている。日立製作所では、この動きに対応して16ビットマイクロコンピュータHMCS68000ファミリデバイスのMPU(Micro Processing Unit) HD68000のCMOS(Complementary Metal Oxide Semiconductor)版HD68HC000と、DMAC(Direct Memory Access Controller) HD68450のCMOS版HD63450を開発した。これにより、既に開発したHDC(Hard Disk Controller) HD63463とACRTC(Advanced Cathode Ray Tube Controller) HD63484などを加え、CMOSラインアップがそろい、多様な市場ニーズに対応できるようになった。

本稿では、このたび開発したHD68HC000MPU及びHD63450DMACの機能・性能を中心に紹介する。

### 2 HD68HC000の機能及び性能<sup>1)</sup>

#### 2.1 LSI概要

図1にHD68HC000MPUのチップ写真を示す。HD68HC000は2 $\mu$ m CMOSアルミ1層プロセスを採用し、7.51mm $\times$ 6.75mmのチップ上に約10万トランジスタを集積し、消費電力は既存の約 $\frac{1}{10}$ の0.1Wを実現した。また、既存のHD68000との命令コンパチブル性、ピンコンパチブル性となっている。したがって、ユーザーがシステム開発にNMOS版と同一の開発装置が使えるため、システムの早期立上げが可能である。

表1にHD68HC000の特長と仕様概要を示す。動作周波数は最大12.5MHzである。このときの処理速度として、レジスタ間加算は0.32 $\mu$ s、メモリ-レジスタ間乗算は6.24 $\mu$ sとなる。内部レジスタは32ビットから成り、ビット、BCD(Binary Coded Decimal)、バイト、ワード、ロングワードのデータを扱える。アドレスバスは23ビットから成り、16Mバイトのメモリ空間を直接アドレッシングできる。更に、強力な割込み機能を備えているほか、ファンクションコードを使ったメモリ空間分離によるメモリ保護や、リトライアドレスエラー、バスエラーなどのエクセプション処理機能により、高信頼性システムを構成できるよう考慮している。

表1 HD68HC000MPUの特長と仕様概要 32ビットMPUのアーキテクチャと機能をもった16ビットCMOS MPUである。

項目	仕様
クロック周波数	HD68HC000-12(12.5MHz), HD68HC000-10(10MHz), HD68HC000-8(8MHz)
基本命令数	56
内部レジスタ	データレジスタ 32ビット $\times$ 8 アドレスレジスタ 32ビット $\times$ 7 スタックポインタ 32ビット $\times$ 2 プログラムカウンタ 32ビット $\times$ 1 ステータスレジスタ 16ビット $\times$ 1
アドレッシングモード	14種
アドレススペース	16Mバイト
処理データ単位	1, 4, 8, 16, 32ビット
処理速度	レジスタ間加算 0.32 $\mu$ s メモリ-レジスタ間乗算 6.24 $\mu$ s
処理	7レベルの割込み トラップ トレース バスエラー, アドレスエラー, 不当命令 ほか
動作状態	スーパバイザ状態・ユーザー状態
その他	マルチプロセッサ機能 HMCS6800周辺LSIインタフェース機能

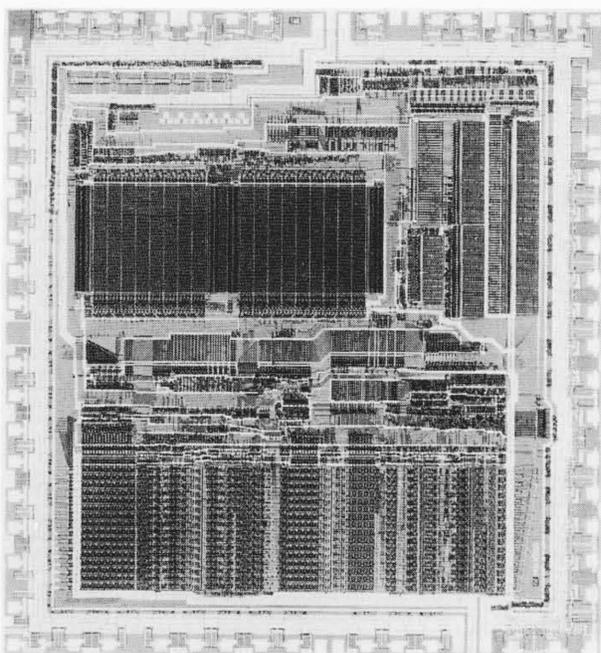
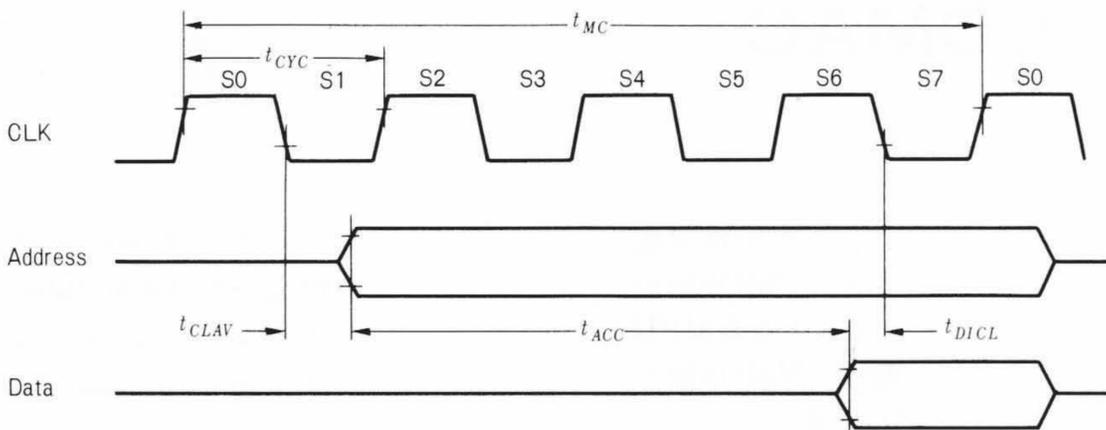


図1 HD68HC000 MPUチップ写真  
 7.51mm $\times$ 6.75mmのチップ上に約10万トランジスタを集積し、高機能・高性能を達成している。

\* 日立製作所武蔵工場



$$t_{ACC} = (3+W) \cdot t_{CYC} - (t_{CLAV} + t_{DI CL})$$

$$t_{MC} = (4+W) \cdot t_{CYC}$$

スピードバージョン スペック値	8MHz	10MHz	12.5MHz
$t_{CYC}$ (ns)	125	100	80
$t_{CLAV}$ (ns)	70	60	55
$t_{DI CL}$ (ns)	15	10	10

図2 MPUのメモリサイクルタイムとメモリアクセスタイム MPUのメモリサイクルタイムは、 $t_{CYC}$ 、 $t_{CLAV}$ 、 $t_{DI CL}$ のスペック値とメモリのアクセスタイムによって決まる。

パッケージは、標準の64ピンDIL (Dual In Line)とそのシュリンクタイプ、及び68ピンのPGA (Pin Grid Array)やPLCC (Plastic Leaded Chip Carrier)タイプがある。

### 2.2 性能

HD68HC000の性能と密接な関係をもつ、メモリアクセスタイムとメモリサイクルタイムについて以下に述べる。図2に

示すように、MPUから見たメモリアクセスタイム $t_{ACC}$ とメモリサイクルタイム $t_{MC}$ は、次式で与えられる。

$$t_{ACC} = (3 + W) \cdot t_{CYC} - (t_{CLAV} + t_{DI CL}) \dots\dots\dots(1)$$

$$t_{MC} = (4 + W) \cdot t_{CYC} \dots\dots\dots(2)$$

- ここに  $t_{CYC}$  : 1クロックサイクル時間
- $W$  : ウェイトサイクル数
- $t_{CLAV}$  : アドレス遅延時間
- $t_{DI CL}$  : データ入力セットアップ時間

8 MHz、10MHz、12.5MHz版を用いた場合のメモリアクセスタイムとメモリサイクルタイムの関係を図3に示す。これより、10MHz版でメモリサイクルタイム400nsを実現するには、アクセスタイム230ns以下の高速メモリが必要であるが、12.5MHz版を用いれば255ns以下のアクセスタイムのメモリでもよいことが分かる。更に、12.5MHz版では、175ns以下のアクセスタイムのメモリを用いれば、320nsの高速メモリサイクルタイムを実現できる。処理能力の向上により68000MPUのバス使用率は高いため、以上のようなメモリサイクルの高速化は、システム性能向上に有効である。

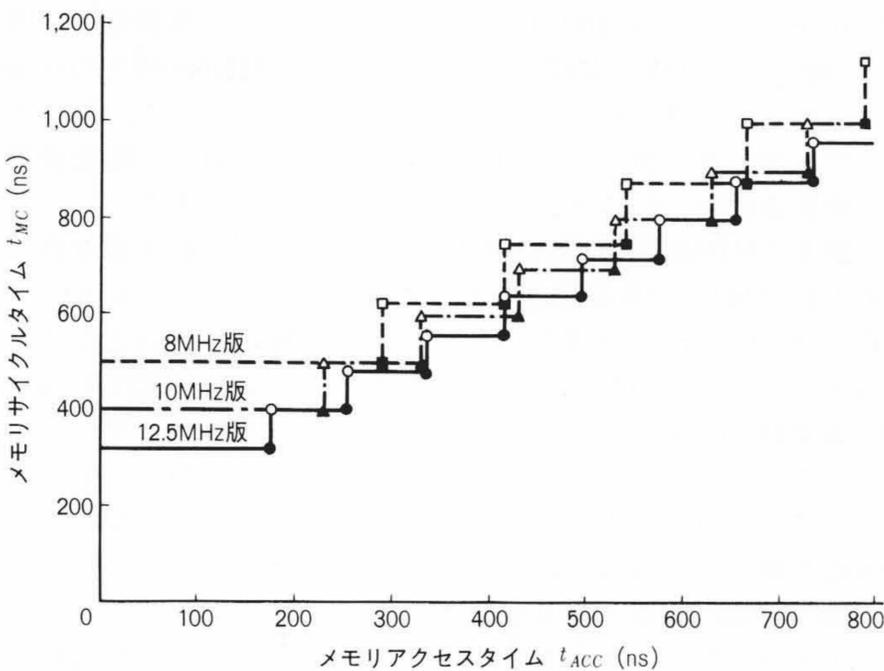


図3 メモリサイクルタイムとメモリアクセスタイムの関係 メモリサイクルタイムは、システム性能と密接に関係するため、システム設計でメモリアクセスタイムとメモリアクセスタイムの関係を考慮する必要がある。

表2 HD63450DMACの特長と仕様概要 最高動作周波数12.5MHzで、効率の良いデータ転送を行なえるように多様な転送モードをもっている。

項目	単位	仕様				
クロック周波数	MHz	6, 8, 10, 12.5				
電源電圧	V	5±5%				
消費電力(typ.)	W	0.3				
チャンネル数	チャンネル	4				
直接アドレス空間	バイト	16M				
転送語長	ビット	8, 16, 32				
1ブロック最大転送データ数	バイト	256k				
最高転送速度	入力クロック周波数	MHz	6	8	10	12.5
	シングルアドレスモード	Mバイト/秒	3	4	5	6.25
	デュアルアドレスモード	Mバイト/秒	1.33	1.78	2.22	2.78
複数ブロック転送機能		<ul style="list-style-type: none"> <li>●アレーチェーン</li> <li>●リンクアレーチェーン</li> <li>●コンティニュー</li> </ul>				
DONE付き複数ブロック転送(ブロック転送再スタート機能)		<ul style="list-style-type: none"> <li>●完全終了</li> <li>●ブロック転送終了後引き続き次のブロック転送再開</li> </ul>				
アドレス更新	メモリアドレス	UP/DOWN/NO COUNT				
	I/Oアドレス	UP/DOWN/NO COUNT				
転送モード		<ul style="list-style-type: none"> <li>●バースト</li> <li>●サイクルスチール(2種)</li> <li>●オートリクエスト(3種)</li> </ul>				
チャンネル間優先順位制御		チャンネルごとに優先指定可能(同位の場合はローテートする。)				
バス例外処理機能		<ul style="list-style-type: none"> <li>●リトライ</li> <li>●ホールド</li> <li>●バスエラー</li> </ul>				
エラー検出機能		<ul style="list-style-type: none"> <li>●オペレーションタイミングエラー</li> <li>●カウントエラー</li> <li>●コンフィギュレーションエラー</li> </ul>				
割込み機能		正常割込みとエラー割込みの2種の割込みベクターを発生する。				

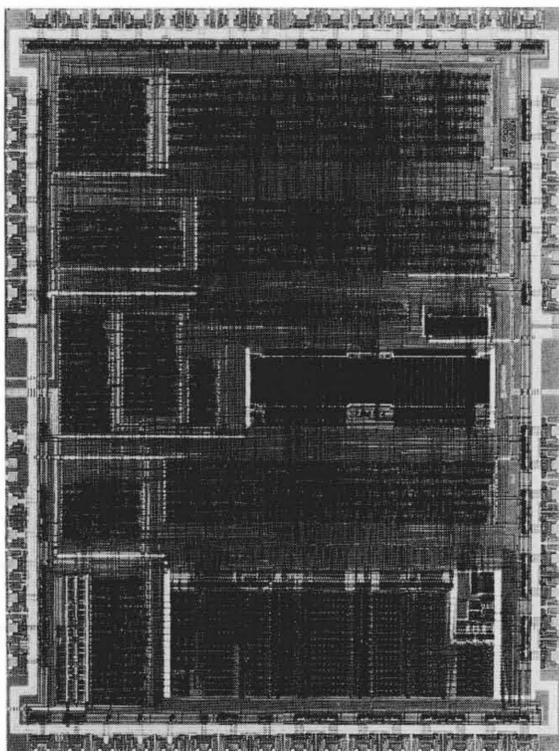


図4 HD63450DMACチップ写真 2μm CMOSアルミ2層プロセスを用い、自動レイアウト技術を駆使して10.56mm×7.88mmのチップ上に約8万トランジスタを集積し、高性能・高性能DMACを実現している。

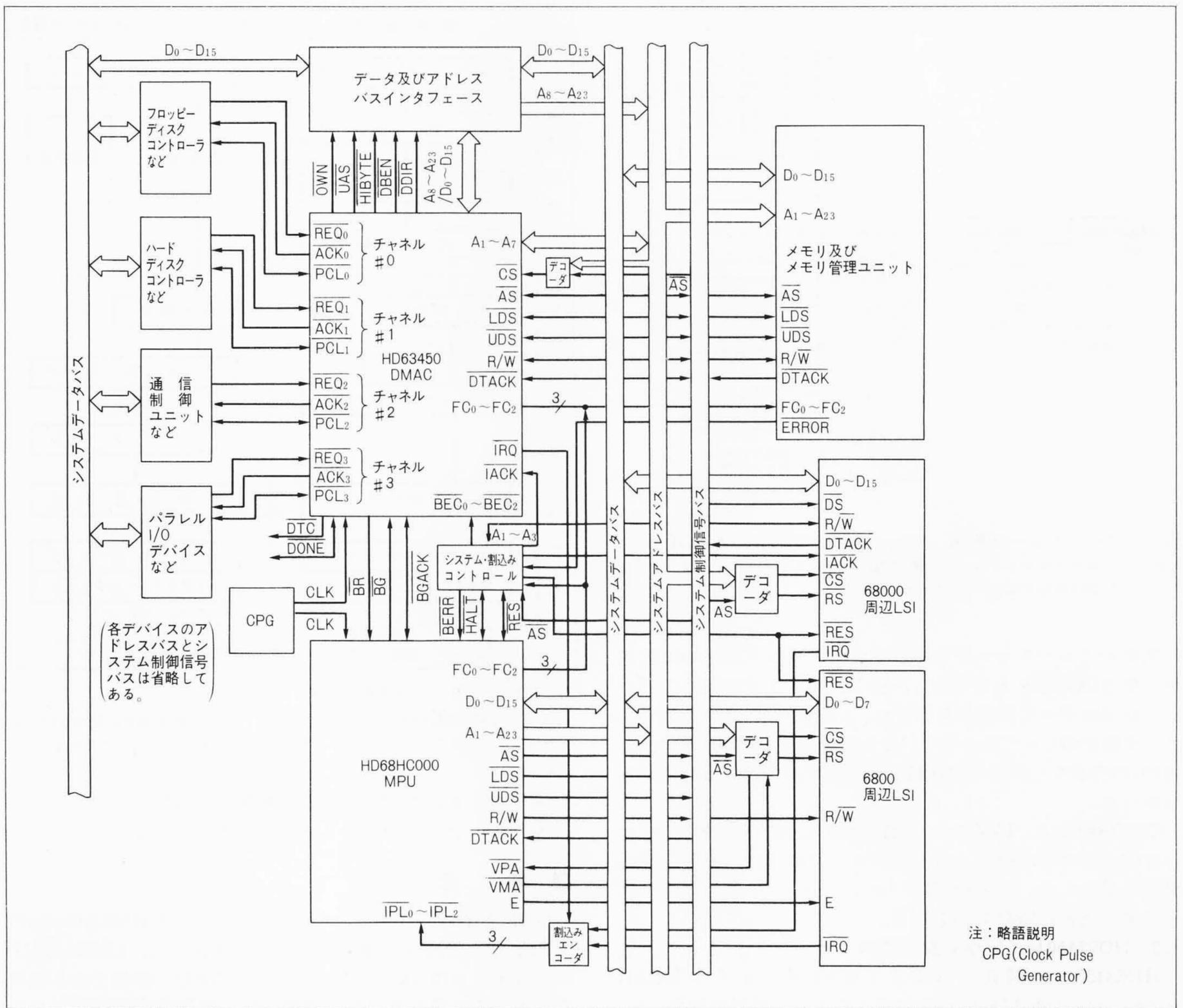


図5 HD63450 DMACを用いたシステム構成例 MPUと同一のバスインタフェースをもち、最高6.25Mバイト/秒のオペランド転送を実現している。

### 3 HD63450の機能と性能<sup>2),3)</sup>

#### 3.1 LSI概要

図4にHD63450DMACのチップ写真を示す。2μm CMOSアルミ2層プロセスを用い、自動レイアウト技術を駆使して10.56mm×7.88mmのチップ上に約8万トランジスタを集積し、NMOS(NチャンネルMOS)版とピン及びソフトウェアコンパチブル性をもつ高機能・高性能DMACを実現した。最大動作周波数は、MPUと同じ12.5MHzであり、このときの転送スピードは最高6.25Mバイト/秒となる。消費電力はNMOS版の約 $\frac{1}{5}$ の0.3Wである。

表2にHD63450の機能と性能概要を、また図5にMPUとDMACを用いたシステム構成例を示す。DMACは四つの独立したチャンネルをもち、その間の優先順位はプログラマブルである。各チャンネルではメモリ間の転送及びメモリとI/O間の転送が可能で、オペランドとしてはバイト、ワード、ロングワードを扱える。更に、バーストモードやサイクルスチールモードなどの多様な転送モードが行なえ、16Mバイトのメモリ空間を直接アクセスでき、複数のデータブロックをMPUの介在なしに連続して転送できるアレーチェーン、リンクアレー

チェーン及びコンティニューモードを備えている。また、高信頼性システムを設計する場合重要となるソフトウェアやハードウェアに起因するエラーを検出し、表示するエラー検出機能、及びシステムの異常事態に備え、ホールド、リトライなどのバス例外処理機能も備えている。

パッケージは、標準の64ピンDILと68ピンのPGAであるが、今後他のパッケージも開発する予定である。

#### 3.2 複数ブロック転送を強化する新機能

従来NMOS版で実現していた複数ブロック転送に加えて、DONE付き複数ブロック転送と呼ぶ新機能を実現した。以下にアレーチェーンを例にとり、新機能について説明する。

アレーチェーンモードでは、図6に示すようにMPUがメモリ上に複数のデータブロックのメモリアドレスと転送語数をアレーとして格納しておき、このアレーの先頭アドレスをベースアドレスレジスタに、転送するデータブロック数をベースカウントレジスタへ入れておく。DMACは一つのブロック転送を行なう前にまずこのアレー情報からメモリアドレスと転送語数を読み込み、その後転送を開始する。ベースカウンタの値は各ブロック転送が終了するたびに1減らされ、0になったらアレーチェーンは終了する。

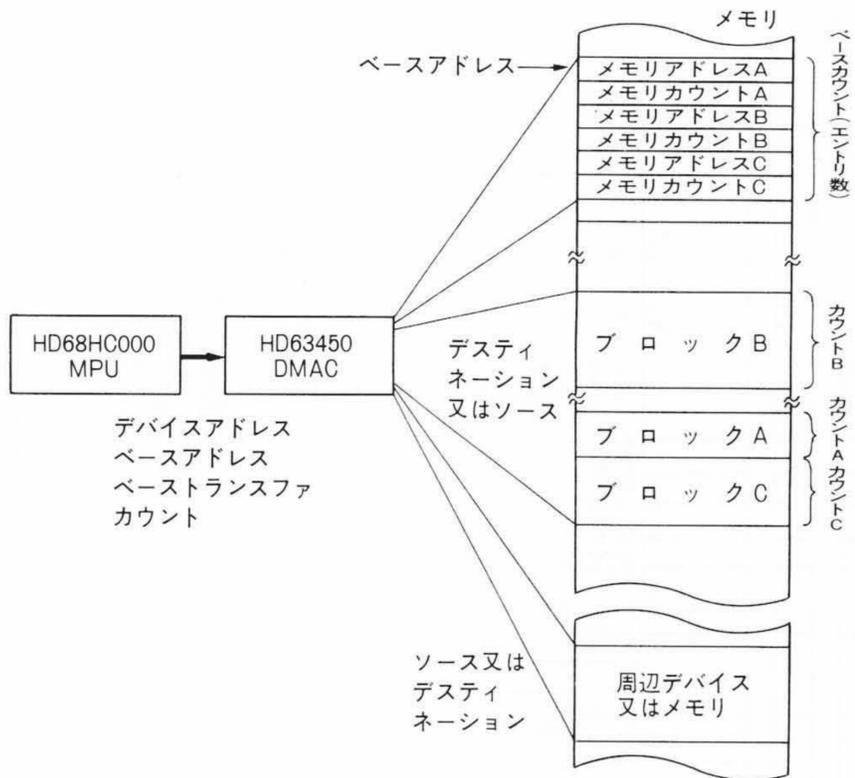


図6 アレーチェーン転送 アレー状に並べられた転送情報に基づいて、分散しているオペランドブロックの連続転送を行なう。アレーの先頭アドレスとエントリ数はあらかじめMPUから与えられる。

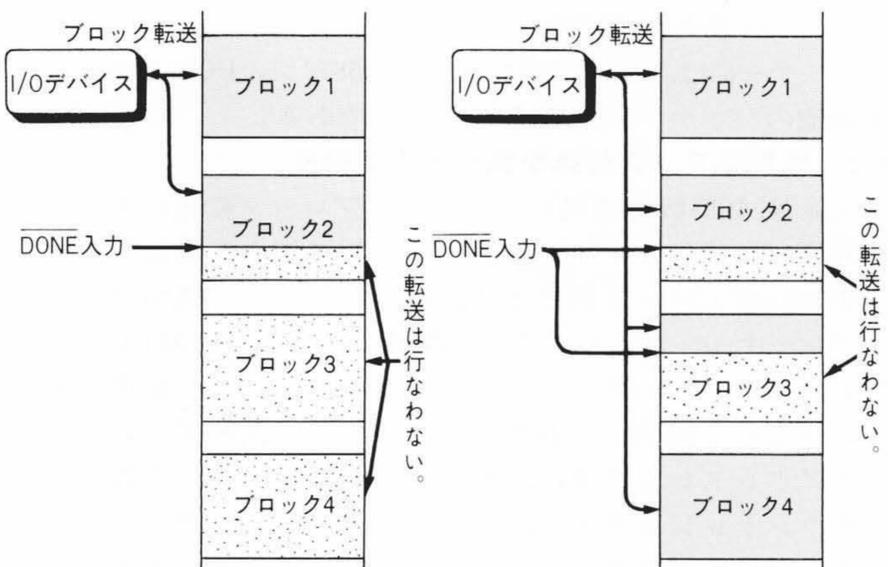
従来のアレーチェーンモードでは、ブロック転送中に転送終了信号DONEを入力すると、図7に示すように残りのブロック転送はすべて無視されたため、LANなどの通信分野で、データ数が前もって分かっていない複数のデータブロックを、MPUの介在なしに高速に連続して転送する用途には対応できなかった。

CMOS版では、図7のようにDONE入力でその時点のブロック転送だけを中断し、残りのブロック転送に自動的に移る機能を追加した。この機能はパケットバッファリングをサポートする場合に特に有効となる。

3.3 HD63450レイアウト設計技術

HD63450では図8に示すようなVLSIレイアウトCAD (Computer Aided Design) システムを用いて設計を行なった。

このシステムでは、対話形式で作成した論理図面から、自動的に論理シミュレーション用の回路記述が作成でき、論理シミュレーションにより検証された回路記述からセルの自動配置、及びセル間の自動配線がなされ、更にこのような自動



(a) 従来の転送方式(HD68450・HD63450でサポート) (b) 新しい転送方式(HD63450でだけサポート)  
 図7 複数ブロック転送の従来方式と新方式の相違点 新方式のDONE付き複数ブロック転送では、DONE入力によりその時点のブロック転送を中断し、残りのブロック転送を自動的に行なう機能を実現した。

	従来設計	DA(Design Automation)を用いた設計
論理設計	仮論理 ↓ 論理記述 ↓ シミュレーション ↓ 正式論理図	シミュレーション ↓ 論理図 ↓ 論理記述
セル設計	セル設計	セル設計
レイアウト	ブロック内レイアウト ↓ チップレイアウト	セル割付け ↓ チッププラン ↓ 自動配置配線
アートワーク	人手接続チェック レイアウトルールチェック ↓ マスクパターン 磁気テープ	接続チェック レイアウトルールチェック ↓ マスクパターン 磁気テープ

注：□ 人手作業，▣ DAを用いた作業  
 図8 HD63450DMACの設計フロー セル設計を除き、論理設計、レイアウト、アートワークとDAツールを用いて設計を行なうことができる。

レイアウトされたパターンの結線関係、及びレイアウトルールをチェックするツールもサポートされている。

4 結 言

既存の16ビットマイクロコンピュータHMCS68000のMPU、及びDMACの機能・性能向上を図って、CMOS版HD68HC000とHD63450を製品化した。CMOSの特長である低消費電力、広い電源電圧動作範囲、広い動作温度範囲、大きな雑音余裕度などのメリットがCMOS版では加わり、ユーザーの要求に十分こたえられるものと確信している。

MPUでは、NMOS版では対応できなかったプラスチックパッケージで12.5MHzまでの高速版を実現した。DMACでは、レイアウト設計にVLSIレイアウトCADシステムを用い、人手設計排除に伴うミスの低減による早期製品化を図った。

16ビットマイクロコンピュータの用途も、CMOS版の品ぞろえが進むにつれ、ポータブルパーソナルコンピュータ、ポータブルワードプロセッサなどのポータブル機器にも広がり、今後大きな需要の伸びが期待できる。したがって、以上述べたCMOS版MPUとDMACを加えた日立製作所の16ビットCMOSラインアップは強力な市場インパクトとなることを信じている。

参考文献

- 1) 日立製作所：日立マイクロコンピュータデータブック、8ビット・16ビットマイクロプロセッサ(昭和60年9月)
- 2) 日立製作所：日立マイクロコンピュータデータブック、8ビット・16ビットマイクロコンピュータ周辺LSI(昭和60年9月)
- 3) 御法川、外：16ビットDMAC(ダイレクトメモリアクセスコントローラ)“HD68450”，日立評論，64，7，479～484(昭57-7)