

# スマートデュアルポートRAM“HD63310”

## Smart Dual Port RAM “HD63310”

従来のソフトウェア財産の活用が可能で、複数のCPUで処理効率の向上、コストパフォーマンスの向上が可能なマルチプロセッサシステム対応のデータバッファに対するニーズが増大している。この要求にこたえて、スマートデュアルポートRAM“HD63310”を開発した。

HD63310は、1,024バイトのメモリとマルチプロセッサシステム対応のアクセス権裁定回路、セマフォレジスタなどをもち、二つのポートをそれぞれのバスに接続するだけでマルチプロセッサシステムが構成できる。ポート間の割込み処理機能も8要因あり、システム効率向上に寄与している。

本稿では、HD63310の機能を中心に紹介する。

林 繁夫\* *Shigeo Hayashi*  
 上野達彰\* *Tatsuaki Ueno*  
 東條敏幸\* *Toshiyuki Tôjô*  
 米沢 宏\*\* *Hiroshi Yonezawa*  
 北沢昭俊\*\*\* *Akitoshi Kitazawa*

### 1 緒 言

近年、マイクロプロセッサシステムは、応用分野の拡大に伴い高性能・多機能化への要求が著しい。特に多量のデータを収集し、複雑な処理を行ない、これを表示あるいは制御信号として出力する情報処理・通信分野では、大きな処理能力がCPU(Central Processing Unit)に要求される。これに対し、CPUの高速化や1回に処理するデータ長をワード、ロングワードとして高性能化したCPUが採用されているが、システム開発コストに大きな比重を占めるソフトウェアの新規開発が必要であること、データバス使用効率に限界があることなど、解決しなければならない問題が残っている。そこで、複数のCPUを使用し、今までに蓄積された膨大なソフトウェア財産が活用でき、バスによる限界を除いて、システムの性能・機能、コストパフォーマンスの向上を実現するマルチプロセッサシステムが注目されている。このシステムでは、CPU間の情報伝達を効率よく行なうデータバッファの出現が強く望まれている。日立製作所ではこのような市場の要求にこたえるため、CPU間のデータバッファとして使用するスマートデュアルポートRAM(Smart Dual Port Random Access Memory)HD63310を開発した。内部に1,024バイトのRAMとマルチプロセッサシステム対応の制御回路、レジスタをもち、二つのポートをそれぞれのバスに接続するだけでシステムを構成できる。高機能パーソナルコンピュータ、エンジニアリングワークステーションや通信などの応用に有効である。

以下、HD63310の特長、機能などについて述べる。

### 2 特 長

表1にHD63310の仕様の一覧を、図1にブロック図をそれぞれ示す。1,024バイトの共有メモリに加え、豊富なレジスタにより、その動作モードの切り換えが可能であり、使いやすく簡単な構成でありながら高機能をもつデュアルポートメモリである。HD63310の主な特徴を次に述べる。

#### (1) 二組みの完全独立な非同期バスインタフェース

二組みの非同期バスインタフェース端子をもち、同時アクセスによる処理の競合を防止するアービタ(アクセス権裁定回路)を内蔵している。これにより、システム設計時には両ポートのバスタイミングを全く独立に設計することができる。ま

た、各々のポートはプログラムモードにより、マルチプレックスバス・ノンマルチプレックスバスのモード選択が可能であり、各種CPUとの接続が可能である。図2にこれを示す。

#### (2) 1,024バイトのデュアルポートメモリ

プログラムにより、両ポートから任意のアドレスをアクセスするDPRAM(Dual Port RAM)モードと、通信のパケット

表1 HD63310の仕様一覧表 HD63310は、デュアルポートメモリ機能のほかに、豊富なマルチプロセッサシステムを支援する機能をもつ。

項 目		仕 様
メ モ リ	容 量	1,024×8ビット(SRAM)
	動 作 モ ー ド	DPRAMモード・FIFOモード(プログラムで選択可能)
バ ス イ ン タ フ ェ ー ス		非同期バスインタフェース(READY信号) マルチプレックス・ノンマルチプレックスモード(選択可能)
レ ジ ス タ	コントロールレジスタ	30バイト:動作モード設定
	パラメータレジスタ	32バイト:ユーザー定義可能レジスタ
DPRAMモード機能	アドレッシング	ダイレクトアドレッシング・ インダイレクトアドレッシング
	セマフォレジスタ	8ビット(マルチプロセッシング用占有権の指定)
	メ モ リ 容 量	1,024バイト (セマフォレジスタにより八つのメモリ領域に対する) アクセス権を管理できる)
FIFOモード機能	メ モ リ 容 量	1,024バイト(2面のFIFOに分割使用可能)
	デ ー タ 転 送 方 向	プログラムにより転送方向設定
	FIFOステータス信号	フル、エンプティ、ノットフル、ノットエンプティの表示
割 込 み		8要因(FIFOステータス 対向ポートへのアテンションなど)
ア ク セ ス タ イ ム		200ns
電 源 電 圧		+5V±5%
消 費 電 力(標準値)		70mW
プ ロ セ ス		完全CMOS
パ ッ ケ ー ジ		48ピンプラスチックDIP

注:略語説明 DPRAM(Dual Port Random Access Memory)  
 FIFO(First-In First-Out)  
 CMOS(Complementary Metal Oxide Semiconductor)  
 DIP(Dual in Line Package)

\* 日立製作所武蔵工場 \*\* Hitachi Micro Systems International Inc. \*\*\* 日立マイクロコンピュータエンジニアリング株式会社

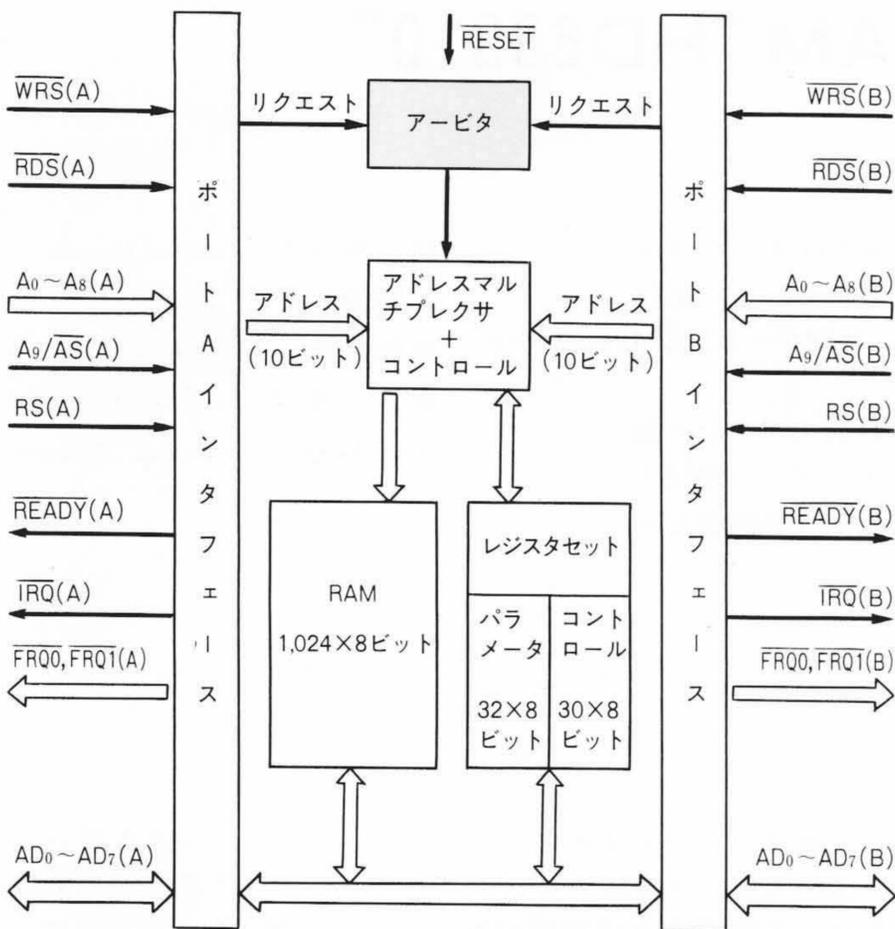


図1 ブロック図 両ポートとも同一ピンで構成される。内部は時分割処理であり、アービタでアクセス権裁定される。

交換に便利なFIFO(First-In First-Out)モードが選択できる。

(3) 62バイトの内部レジスタ

30バイトのコントロールレジスタと32バイトのパラメータレジスタにより構成されている。コントロールレジスタは、HD63310の動作モードを定義するほか、マルチプロセッサ対応の排他制御レジスタ(セマフォレジスタ)・ステータスレジスタをもち高機能の応用ができる。32バイトのパラメータレジスタは、FIFOモードでのポート間の交換情報、ECC(Error Correction Code)などに使用され、1,024バイトメモリをすべてデータ用バッファとして使用することを可能とした。

(4) 強力な出力信号

強力な割込み処理要求信号をもつ。相手側ポートに対しデータ処理を要求するアテンション機能、排他制御により占有されていた領域が開放されたことを表示する機能、FIFOの状態(フル、エンptyなど)を表示する機能をもち、ポート間の情報伝達を高効率化している。

(5) 高速動作・低消費電力

完全CMOS(Complementary Metal Oxide Semiconductor)回路構成により、70mW( $V_{CC}=5V$ ,  $f=4MHz$ )の低消費電力と、アクセス時間200nsの動作を同時に実現している。

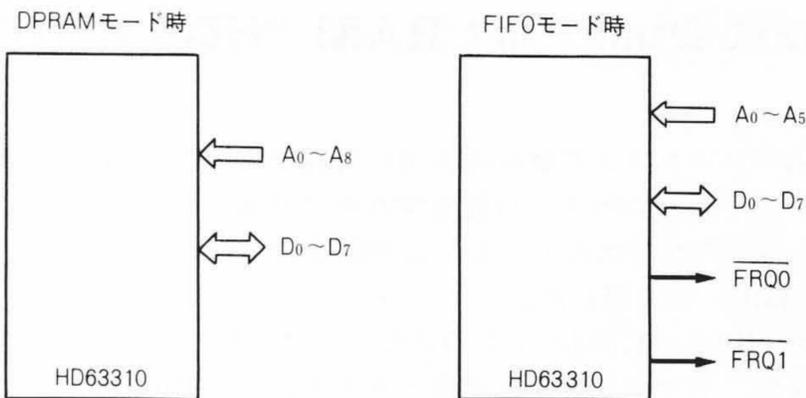
HD63310は、既存のシステムバスに容易に接続が可能であり、これでマルチプロセッサシステムが構成できるため、従来TTL(Transistor Transistor Logic)で組んでいた複雑な制御回路が不要になり、部品点数・実装面積の低減が可能である。また、ソフトウェア、開発ツールなどの既存の財産の活用ができるので、システムの拡大要求に対して容易に対応でき、進歩の目覚ましい情報処理分野で有効であると考えられる。

3 機能

3.1 マルチプロセッサ インタフェース方式

プロセッサ間通信方式には、一般に次の4方式がある。

● ノンマルチプレックスバス



● マルチプレックスバス

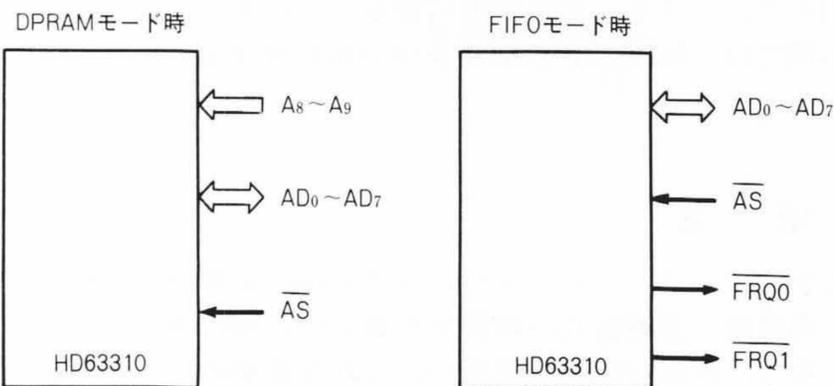


図2 バスインタフェース 各種のCPUと接続が可能である。

(1) シリアルポート

配線数が少なく良い利点があるが、通信速度が低く、プロトコルのオーバーヘッドによりリアルタイム処理が困難である。

(2) パラレルポート

通信速度は前記(1)よりも高いが、プロトコル処理が必要でリアルタイム処理が困難である。

(3) FIFO

パラレルポートにメモリを付加したものと考えられ、シーケンシャルアクセス動作をする。送受信のタイミングが分離できる利点があるが、リアルタイム処理が困難という短所がある。

(4) DPRAM

パラレルポートにメモリを付加したものと考えられ、ランダムアクセス動作が可能である。両ポートの共有情報としてデータ、スタック、インストラクションなどを記憶でき、応用範囲が広い。プロトコルの簡素化によりオーバーヘッドが低減でき、リアルタイム処理ができる。

HD63310は、(3)、(4)の動作モードが可能であり、アプリケーションに合わせた使い方ができる。

3.2 プログラマブルな機能選択

汎用性と用途による最適化のため、次の四つがプログラムにより機能選択できる。

- (1) バスインタフェース：マルチプレックス/ノンマルチプレックス
- (2) メモリ動作モード：DPRAM/FIFO
- (3) FIFO空間：5種類の領域区分
- (4) FIFOデータ転送方向

リセット後、これらはノンマルチプレックス・DPRAMモードにイニシャライズされる。その他のモードの場合は、いったんレジスタ設定が必要である。

3.3 アドレッシング方式

メモリやレジスタをアクセスする方式として、インダイレクトアドレッシングが付加されている。これは、内蔵のアド

レスレジスタの示す番地をアクセスするもので、複数のメモリを順次アクセスする場合に有効である。アドレスレジスタの値は、アクセスするごとに、加算器により自動カウント(+1, -1, +0)でき、これをプログラマブルに設定できるので、CPU処理の軽減ができる。図3にこの方式を示す。

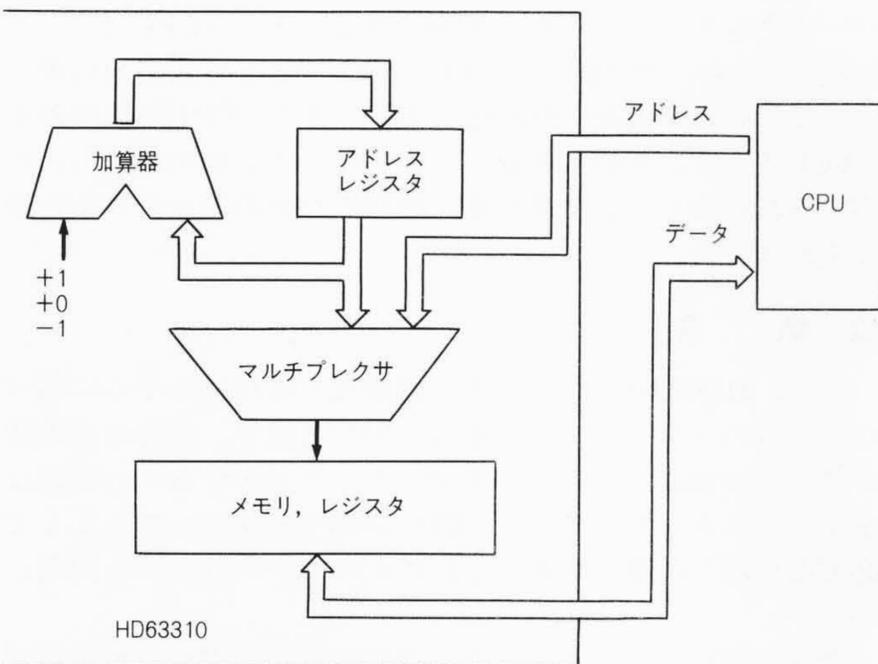
3.4 アクセス権裁定回路(ハードウェア)

HD63310は、二つのポートから全く独立に内蔵メモリやレジスタのアクセス要求を受ける。この要求が同時に発生すると、アクセス競合が発生しデータ破壊や正しいデータの読み出しができないことになる。アービタは、このアクセス競合を防ぎ、一方のポートだけにアクセス権を与える。図4にこの方式を示す。アービタ以降は、処理が時分割で行なわれる。

3.5 アクセス権裁定回路(ソフトウェア)

マルチプロセッサシステムには、いろいろな構成が可能である。図5に示すように、一つのバス上に複数のCPUが存在する場合、HD63310がどのCPUによって占有されているか表示しておく必要がある。これに対応し、内部にCPUのID (Identification)を示すレジスタをもっている。内蔵の共有メモリをアクセスする場合、まずこのレジスタにCPUのIDを書き込み、占有権を主張する。

内蔵のメモリは、両ポートから自由にアクセスできるが、これを8分割して、それぞれのポートに占有権をもたせるこ



注：略語説明 CPU(Central Processing Unit)

図3 アドレッシング方式 内部で自動アドレスカウントするインダイレクトアドレッシングがある。

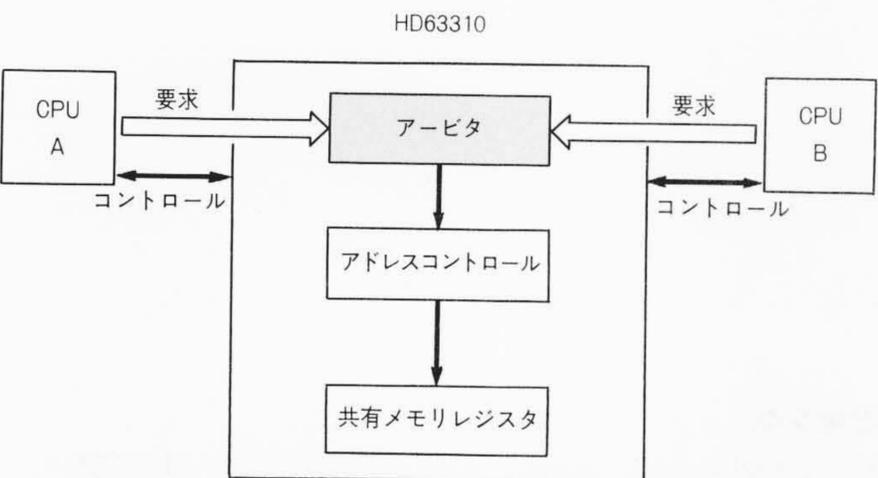
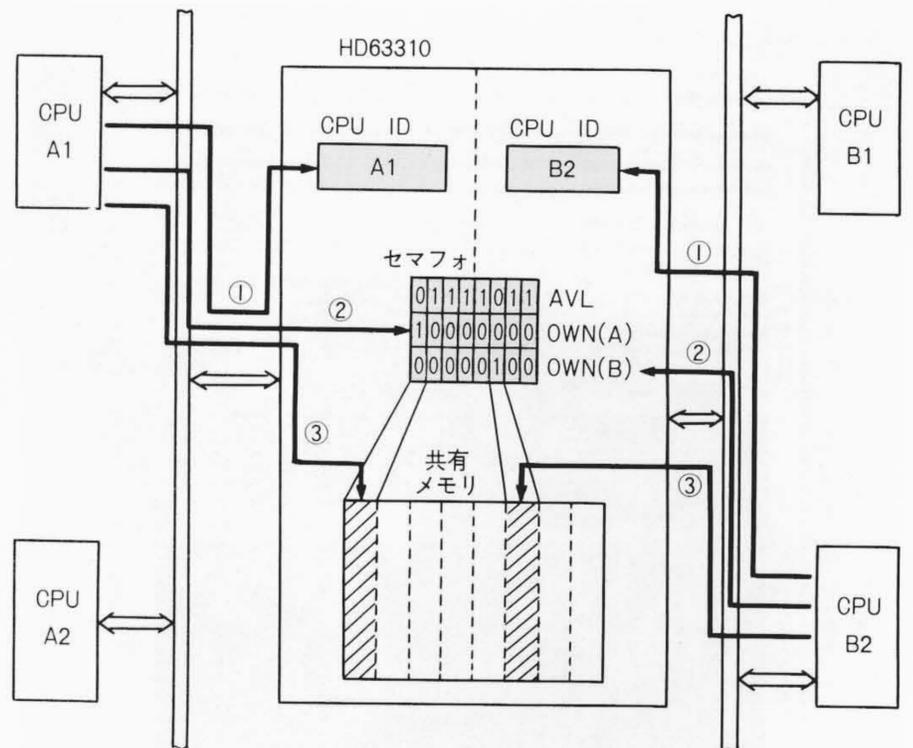


図4 アクセス権裁定回路(1) 両ポートの要求は、アービタでアクセス権が裁定され、権利を得たポートの要求から時分割でメモリアクセスが行なわれる。



注：略語説明  
AVL(Available：共有リソース使用可能)  
OWN(Ownership：共有リソースの占有表示)  
ID(Identification)

図5 アクセス権裁定回路(2) Test and Set方式のセマフォレジスタをもち、共有リソースの占有権を設定できる。

とができる。これは、一方のCPUがデータ書き込み中に、これが完了する前に読み出してしまふ誤動作を防ぐために使用される。“Test and Set”方式のセマフォレジスタが内蔵されており、このレジスタの読み込みによりどちらのポートが使用中かを判断し処理を進める。

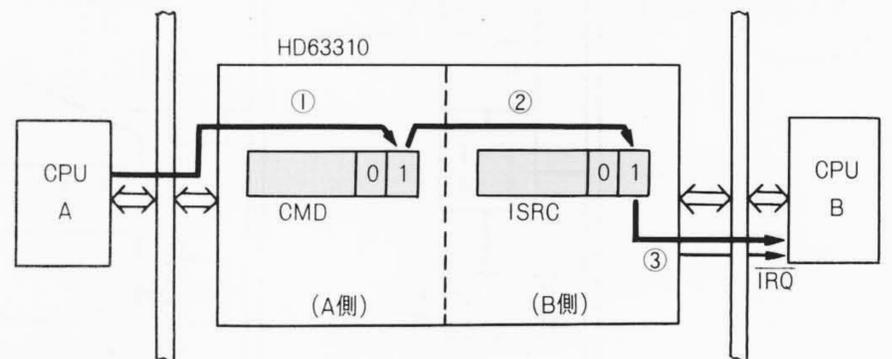
このように、HD63310はマルチプロセッサシステムに必要なアクセス権裁定方式をすべて具備している。

3.6 割り込み

HD63310は、割り込みとして8本の要因をもっている。二つのCPU間で通信を行なう場合、互いの割り込み方式は重要である。これがないと受信側CPUは、たえず通信のプロトコルに従いメールボックスを調べ、メッセージが届いているかどうか調べる必要がある。これは、スループットの低下となる。割り込み要求信号IRQを受けると、図6に示すISRCレジスタを読み、その要因を分析した後割り込み処理を行なう。

(1) アテンション

アテンション割り込みは、一方のポートから他方のポートへデータ処理要求を出す場合に使用する。例えば、CPU・Aが共有メモリにデータを書き込んだ後、これを処理してもらうため、CMD(Command Register)レジスタへアテンションを



注：略語説明  
CMD(Command Register), ISRC(Interrupt Source Register)

図6 アテンション機能 一方のCPUから他方のCPUへIRQを通じて、データ処理要求を伝えることができる。

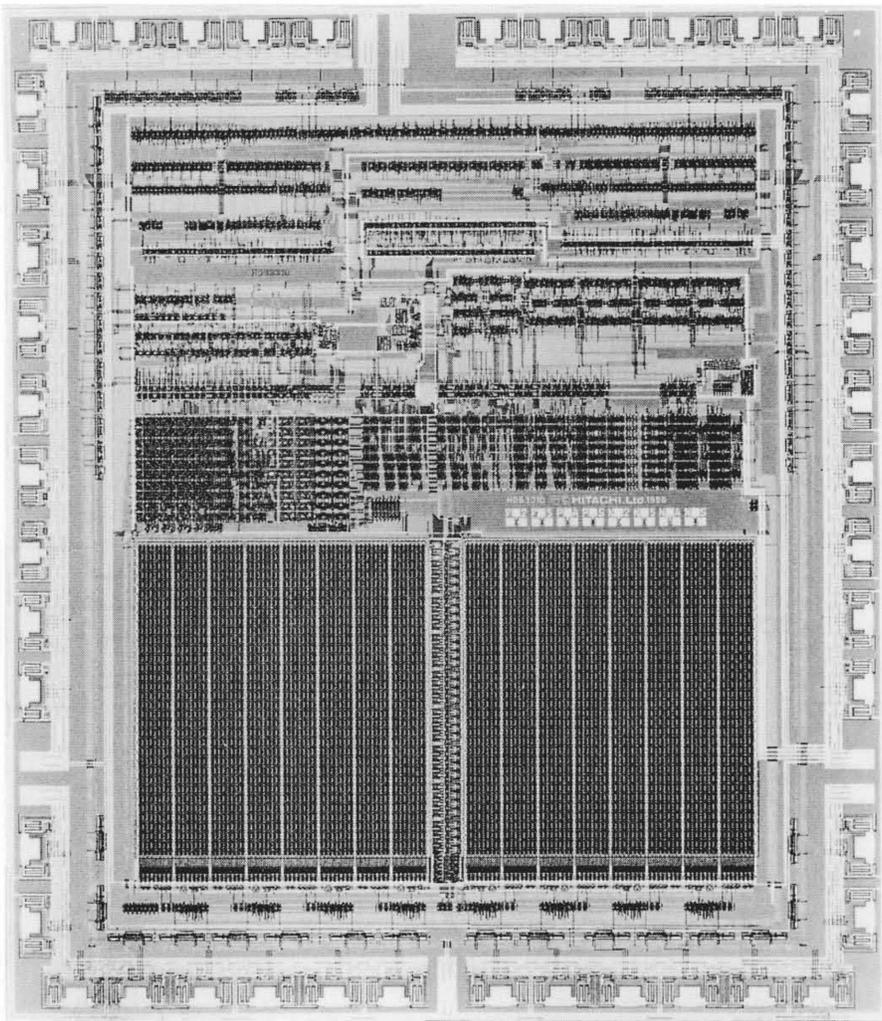
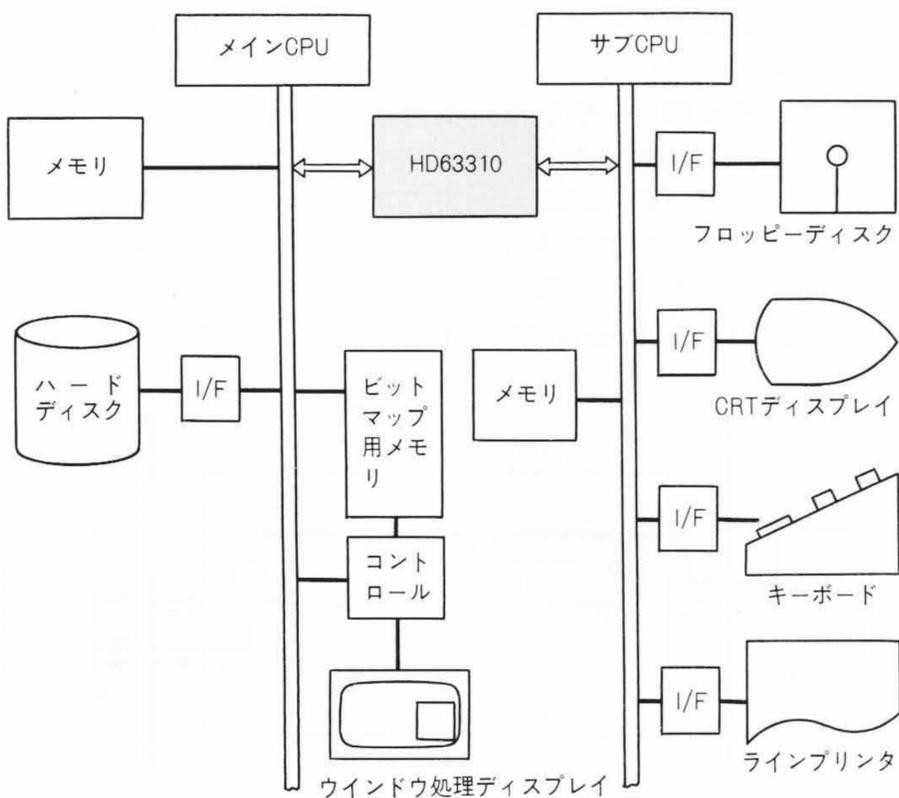


図7 HD63310チップ構成 コントロール回路とRAMの二つで構成される。6.32mm×7.24mmのチップ上に約6万9,000個のトランジスタを集積している。

書く。これによりBポート側のISRCレジスタの割込み要因がセットされ、IRQ出力としてCPU・Bへ伝えられる。CPU・Bは、ISRCレジスタを読み、要因分析する。アテンション機能に対しては、2ビットのレジスタを用意してある。

(2) 占有権解除表示

セマフォレジスタで分割した領域の占有権を、一方のポートがもっていた場合、これを解除すると相手ポートに割込み



注：略語説明 I/F(インターフェース)

図8 HD63310応用システム例 サブCPUをI/Oプロセッサとして使用し、入出力装置のコントロールをすべて任せる。

を通し表示することができる。これにより、領域開放待ち時間が低減できる。

(3) FIFO状態表示

FIFOモード時の状態(フル, エンプティ, エラーなど)を割込みを通し表示することができる。これにより、FIFOの状況がいつでも把握でき、効率のよいデータ転送が可能となる。

4 設計技術

図7にHD63310のチップ写真を示す。CMOSプロセスにより、6.32mm×7.24mmのチップ上に約6万9,000個のトランジスタを集積している。チップは、上側のランダムロジックのコントロール回路部と、下側の1,024バイトRAM及び32バイトのパラメータレジスタ部に分けられる。メモリの小形化設計技術と、ランダムロジックのハードウェア最適化設計により、高機能デュアルポートRAMを実現した。

5 HD63310の応用例

このHD63310の応用としては、大量のデータ処理を必要とする分野(オフィスコンピュータ, エンジニアリングワークステーション, 数値制御装置など)や通信分野(コンピュータ周辺端末, パーソナルコンピュータ間通信など)など幅広い分野が考えられる。HD63310を使用することで、容易にマルチプロセッサ構成の高性能システムを実現することができる。

例えば、図8のようなデータ処理用の応用システム(例えばパーソナルコンピュータ)を実現できる。メインCPUはデータ処理を行ない、サブCPUはI/Oプロセッサとして入出力処理をすべて行なう。機能の分散化により、メインCPUの使用効率を向上させることができる。ソフトウェアは各々のCPUに対応する既存のものが活用でき、通信のためのプロトコルを追加すればよい。

6 結 言

以上、HD63310についてその機能及び応用例を中心に述べた。既存のソフトウェア財産の活用が可能で、容易に高性能システムが構成できるマルチプロセッサシステムへの要求はますます大きくなっており、CPU間のデータバッファとして必要な機能を内蔵したスマートデュアルポートRAMを開発した。

今後、更に、データバッファ空間の拡張、応用分野に最適な周辺機能の集積化、高速動作などの要求が強くなると考えられる。HD63310のファミリ展開を行なうことにより、この要求にこたえていきたいと考えている。

参考文献

- 1) Hitachi, Ltd. : Specification of HD63310 S-DPRAM (Smart Dual Port RAM) (June, 1986)
- 2) T. W. Cantrell, et al. : Smart Dual Port RAM Links Multiprocessors, Electronic Design(1986)