

自動診断機能付きCMOSゲートアレー「HG62Bシリーズ」

CMOS Gate Array "HG62B Series" with Auto-Diagnosis

現在、カスタムLSIを実現する方法の中で、最も広く使われているのがゲートアレーであるが、その大規模、高集積化が進み、より効率的な設計手法が望まれている。このような背景から、特にユーザーの設計期間短縮を目的に、自動診断機能をもつCMOSゲートアレーHG62Bシリーズを開発した。LSIの設計で重要かつ時間を要するのがテストパターンの作成である。自動診断は、このテストパターンをコンピュータで自動生成するものである。これにより、テストパターンの設計期間が短縮でき、しかも高品質の量産を可能とした。また、テスト回路は自動付加されるため、ユーザーは全く診断を意識せずに論理設計ができる。大規模、複雑化したシステムのLSI化に最適なゲートアレーである。

道下 智* Satoshi Michishita
甲把 健* Takeshi Gappa
畠山一実** Kazumi Hatakeyama
吉田 誠*** Makoto Yoshida

1 緒言

高機能、高性能が要求される電子機器の小形・軽量化、低価格化を図るうえで、LSIの導入が不可欠である。こうしたシステム専用のLSIを実現するICには、ゲートアレー、スタンダードセル、PLA (Programable Logic Array) などのセミカスタムICとフルカスタムICがあり、これらを総称してASIC (Application Specific IC)と呼んでいる。なかでもゲートアレーは、数千から数万の未配線のままのトランジスタを配列したチップをあらかじめ大量に作っておき、カスタム化するときに個々の回路結線仕様にに基づき、配線だけを施しLSIを実現する、いわばイメージの製品である。したがって、ゲートアレーは短期間で安価にカスタムLSIが開発できるという特長をもっている。また、ゲートアレーには大別して、高駆動能力をもつバイポーラ形と低消費電力のCMOS (Complementary Metal Oxide Semiconductor) 形がある。最近の急速なプロセス技術の進歩に伴い、CMOSの高速化、高集積化が著しく、ゲート当たりの遅延時間は1～2 ns、集積度に関しても2万ゲートといった製品も現われており、CMOS形がゲートアレーの主流になってきている。一方で、両者の特長を取り込んだ複合形のゲートアレー¹⁾や、ROM (Read Only Memory) やRAM (Random Access Memory) を内蔵したゲートアレーも実用化されている。

ユーザーが、より競争力のある電子機器を実現するためには、このような高機能、高性能なゲートアレーのマスターチップを提供してゆかなくてはならないが、もう一つ、実際にユーザーがゲートアレーでLSI化する場合、いかに短期間に効率よく、高い品質の製品設計が可能か、いわゆるユーザー設計支援が大きなポイントになる。これはゲートアレーが大規模、複雑化するにつれて、ますます重要となる。

本稿では、製品化の期間短縮と高品質化に大きな効果をもたらす自動診断機能付きCMOSゲートアレー、HG62Bシリーズの特長、設計技術について述べる。

2 HG62Bシリーズの特長

HG62Bシリーズは、4,032ゲートと7,136ゲートの2タイプ

があり、ゲート長2 μm のCMOS、アルミ2層配線技術を採用している。過去開発されたHD61MM¹⁾(スタティックRAM内蔵可)、HG61Hシリーズ²⁾[多機能I/O(入出力)バッファ搭載]の長所を受け継ぎながら、更に高速・高集積化が図られている(図1)。仕様概要を表1に示す。

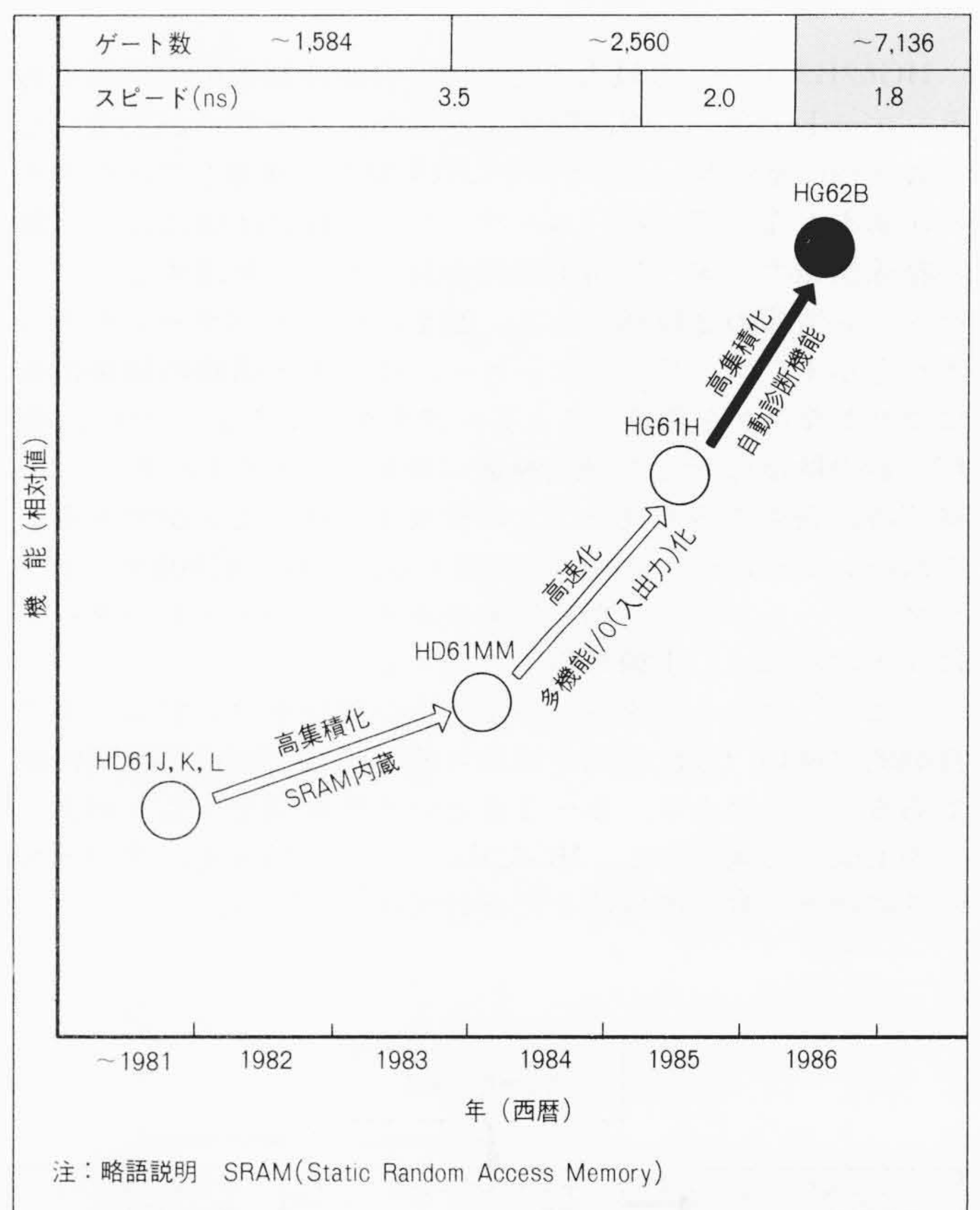


図1 CMOSゲートアレーの性能向上 ― HG61Hシリーズを更に高集積・高速化し、新たに自動診断機能を追加してHG62Bシリーズへと発展してきた。

* 日立製作所武蔵工場 ** 日立製作所日立研究所 工学博士 *** 日立マイクロコンピュータエンジニアリング株式会社

表1 HG62Bシリーズの仕様概要 高集積化に伴いI/O端子数も多くなり、多ピンのパッケージが用意されている。

項 目		HG62B40	HG62B71
ゲート数		4,032	7,136
I/O端子数		128	166
内蔵RAM (最大)*		32ビット×36ワード	32ビット×48ワード
ゲートディレイ	内部ゲート	1.8ns/2 NAND, FO=3, AI=3mm	
	入力バッファ	5.0ns/FO=3, AI=3mm	
	出力バッファ	7.0ns/CL=50pF	
	RAMアクセス	40ns	
入出力レベル		TTL/CMOS選択可	
特殊機能		自動診断機能, スタティックRAM内蔵可, 水晶発振回路, シュミット回路, トランスマッション, プルアップ・ダウン抵抗	
消費電力		200μW/ゲート, 10MHz	
パッケージ	DILP40	○	○*
	DILP64	○	○*
	FPP80	○	○*
	FPP100	○	○*
	PGA120	○	—
	PGA135	○	○
	PGA179	—	○

注：略語説明など
DILP(Dual In Line Plastic)
FPP(Flat Plastic Package)
PGA(Pin Grid Array)
TTL/CMOS(Transistor Transistor Logic/Complementary Metal Oxide Semiconductor)
* (開発中)

HG62Bシリーズの最大の特長は、自動診断機能の支援である。ゲートアレーで製品開発する場合、ユーザーが決定した設計仕様に基づき、メーカーがLSIを製造、検査して出荷するのが基本となっている。ユーザーからの設計仕様には、回路の結線情報データと製品出荷時の良否判定に使用するテストパターン情報の2種類がある。図2にテストパターン作成の流れを示す。ユーザーはメーカーに提出する回路の結線情報に誤りがないかを論理シミュレータを用いてチェックする(論理機能の検証)。そして機能検証に使用したテストパターンが、量産時に発生する不良を、どの程度まで除くことができるかを故障シミュレータを用いて評価する。一般に4,000ゲートクラスのゲートアレーで高い故障検出率をもつテストパターンに仕上げるには、1箇月以上を要する。

そこで、テストパターンの不完全な部分をコンピュータで自動的に補い、設計期間を短縮可能としたのが自動診断機能である。これにより、2〜3日という短期間でテストパターンの生成が可能になる。HG62Bシリーズの特長を、デバイスの性能面と自動診断機能とに分けて次に述べる。

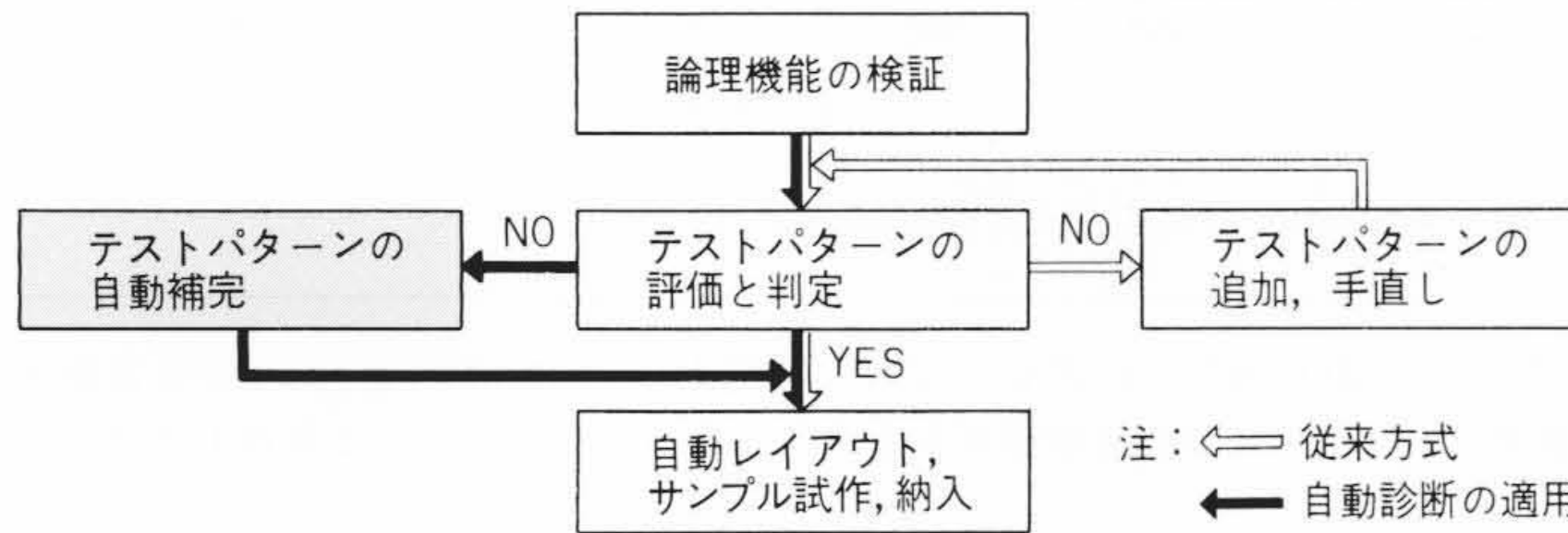


図2 テストパターン作成の流れ 従来方式で4,000ゲートクラスのテストパターンを完成させるには1箇月以上を要する。

2.1 デバイスの性能

- (1) 大規模システムの1チップ化が可能
ゲート数及び端子数は、従来のHG61Hシリーズの最大2,560ゲート、108ピンに対し、HG62B40が4,032ゲート、128ピン、HG62B71が7,136ゲート、166ピンと高集積、多ピン化している。したがって、よりシステムの大きな部分を1チップ化でき、高性能化が実現できる。
- (2) 余裕をもったタイミング設計が可能
ゲート遅延時間は、従来の2nsに対し、HG62Bシリーズは1.8nsと高速化しており、更に余裕をもったシステムのタイミング設計と適用機器の高性能化が図れる。
- (3) システムの部品点数の削減が可能

入出力バッファ回路は、水晶発振回路、シュミット回路、プルアップ・ダウン抵抗、TTL (Transistor Transistor Logic) /CMOSレベル対応などが可能であり、適用機器の部品点数削減に有効である。

2.2 自動診断機能

- (1) テストパターン設計に要する時間を大幅に短縮可能
従来、故障検出率の低いテストパターンについては、一定水準に達するまでユーザーの手でデータの追加、手直しを行っていた。HG62Bシリーズでは、自動診断機能を用いてテストパターンの自動生成が可能である。
- (2) 論理設計は、全く自動診断を意識しなくてよい。
自動診断に必要なテスト回路は自動付加されるため、ユーザーの論理設計は、診断を全く意識せず、従来と同じように進めることができる。
- (3) 高品質のLSI量産が可能

自動診断機能を用いて生成したテストパターンは、非常に高い故障検出率をもっており、量産時、テストパターン抜けによるユーザー側での不良発生率が低減される。

3 自動診断の技術

ゲートアレーの規模が大きくなるにつれて故障検出率の高いテストパターンを、いかに短期間に作成するかが重要な問題となってきている。そこで、論理設計の段階から回路に工夫を凝らし、テストしやすいシステムにしてゆこうとする動きがあり、これに対する代表的なアプローチとして、スキャンパス法³⁾がある。しかし、最初からスキャン構造をもつ回路を設計するには、複雑なスキャン構造の制約を守る必要があり、一般のユーザーには必ずしも受け入れられていない。そこでHG62Bシリーズでは、一般の論理回路から自動的にスキャン構造をもつ論理回路へ変換し、テストパターンの自動生成が可能なシステムを開発した⁴⁾。ここでは、自動診断機能を実現するための回路技術を中心に述べる。

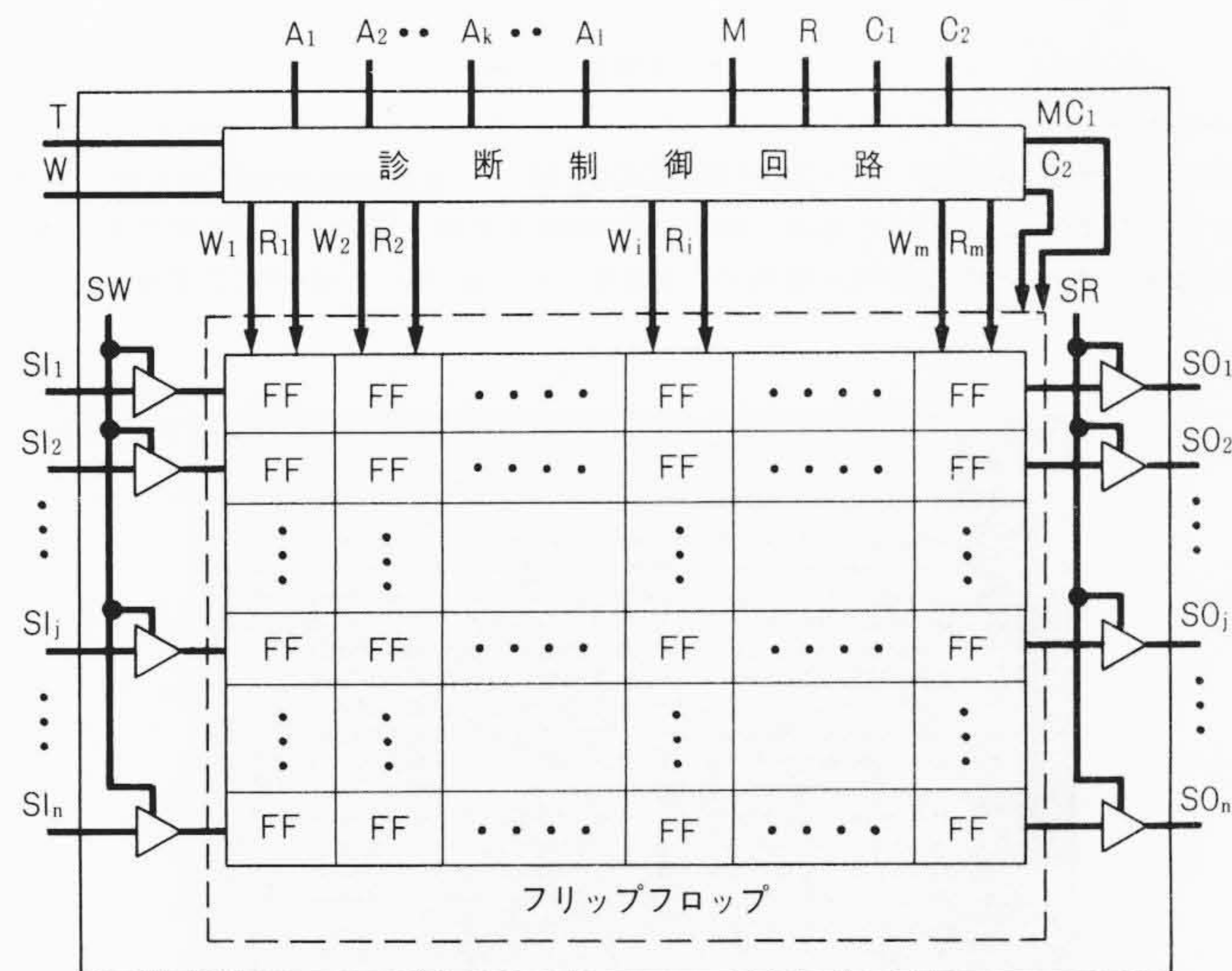
3.1 スキャンバス構造

図3はスキャンバス構造の基本構成である。外部端子とフリップフロップ間のテストデータの転送をバス(これをスキャンバスと呼ぶ。)を使って行なう。フリップフロップに対し、外部端子からデータを自由にリード・ライトすることが可能で、フリップフロップ間に挟まれた組合せ論理の故障検出が容易になるよう工夫されている。各フリップフロップは、RAMと同じようにスキャンアドレス位置とスキャンバスのビット位置で識別される。スキャン動作を制御するために6本の外部入力端子、フリップフロップをアクセスするためにスキャンアドレス信号端子(最大6本)、スキャンイン・アウト信号端子(各最大16本)が必要となる。ただし、実際に自動診断専用に必要な外部端子はこのうち2本で、それ以外の端子は、

ユーザーが使用する外部端子と兼用できるように工夫されている。スキャンアドレス信号は、診断制御回路でデコードされる。したがって、最大 $1,024 (= 2^6 \times 16)$ 個のフリップフロップを含んだ論理回路に対応できる。

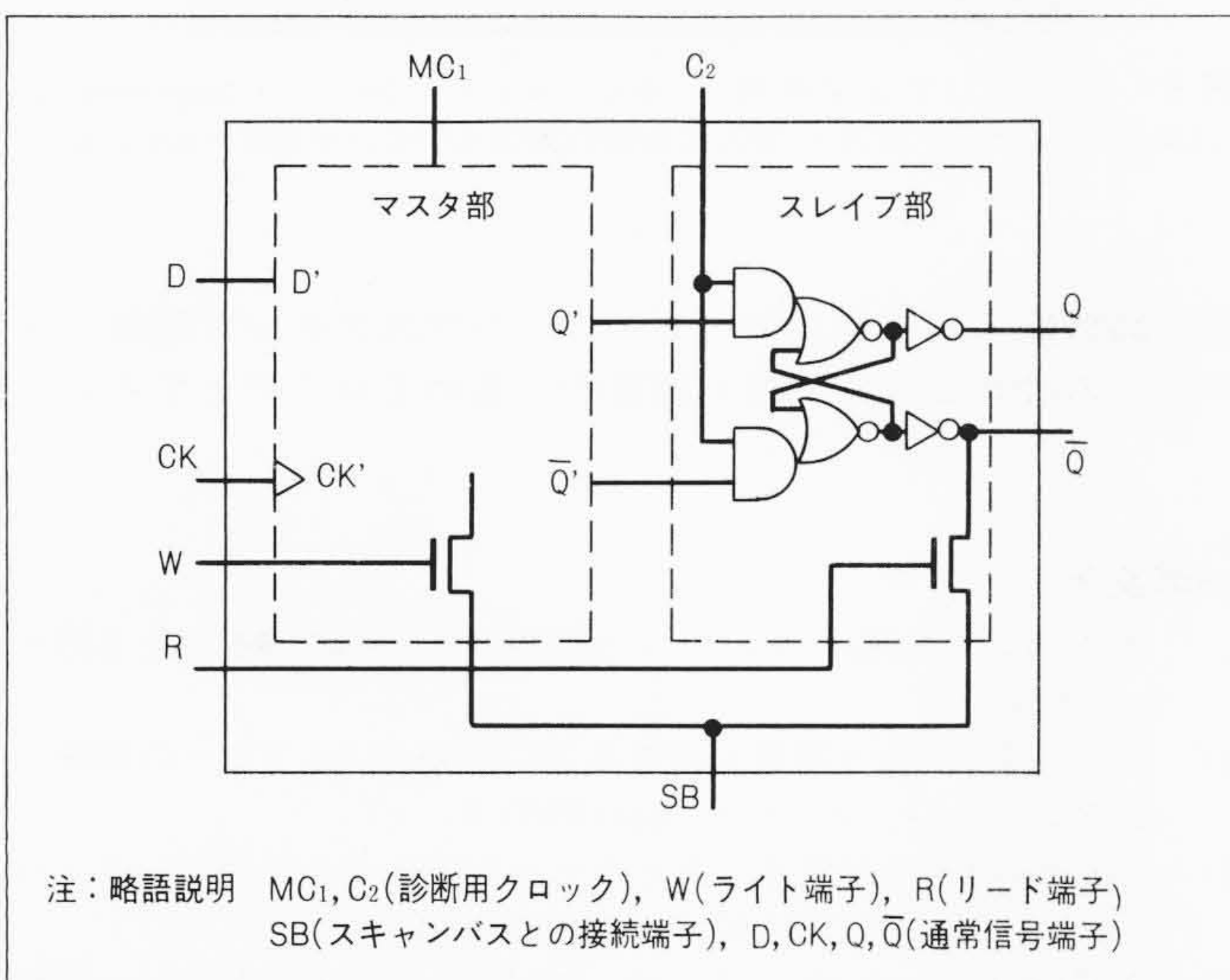
3.2 スキャン機能付きフリップフロップの構造

自動診断にはスキャン機能付きフリップフロップを使用する。スキャン機能付きフリップフロップは、マスタ部とスレイブ部から成り、診断制御回路で構成された信号4本とスキャンバス1本が接続される(図4)。マスタ部は一般にユーザーが期待するフリップフロップの機能を含んでいる。スレイブ部は自動診断専用に追加された部分で、スキャンデータのセットや転送が確実にこなえるように工夫されている。



注：略語説明 FF(Flip Flop), Ak(スキャンアドレス信号)
SIj(スキャンイン信号), SOj(スキャンアウト信号)
T, W, M, R, C1, C2(診断制御用信号)

図3 スキャンバス構造 外部端子とフリップフロップ間のテストデータの転送をスキャンバスを使って行なう。フリップフロップはスキャンバスのデータに対し、自由にリード・ライトできる。



注：略語説明 MC1, C2(診断用クロック), W(ライト端子), R(リード端子)
SB(スキャンバスとの接続端子), D, CK, Q, Q-bar(通常信号端子)

図4 スキャン機能付きフリップフロップ マスタ部とスレイブ部とで構成されている。スレイブ部が自動診断用に付加された回路であり、従来のフリップフロップに比較してゲート数と伝搬遅延時間が若干大きくなる。

3.3 テストパターンの生成

自動診断に必要なすべてのテスト回路を付加した後、テストパターンの自動生成を行なう。図5はフリップフロップで分割した論理回路の一部で、組合せ回路(A)をテストする手順を示している。テストパターンを自動生成する場合、組合せ回路については、そのアルゴリズムが比較的簡単なため、故障検出率の高いテストパターンを得ることができるが、フリップフロップなどの順序回路を含んでいると、故障検出率を高めることが難しい。そこで、スキャンバスを用いてフリップフロップを見掛け上、外部入力端子あるいは出力端子とみなし、フリップフロップに挟まれた組合せ回路に対し、テストパターンを自動生成する。

4 自動診断機能の適用例

自動診断機能を用いて、通常の論理回路にテスト回路を自動付加した例を図6に示す。2本の診断制御端子T, W以外はすべて通常使用端子と兼用している。診断制御回路はスキャンアドレスデコーダを含んでいるため、フリップフロップの数が増えると、それに必要なゲート数も増大する。試行結果では、ユーザーが使用できるゲート数は全体の70~75%であった。また自動診断適用により、テストパターン設計期間は大幅に短縮される(図7)。図8にHG62B71のチップ写真を示す。

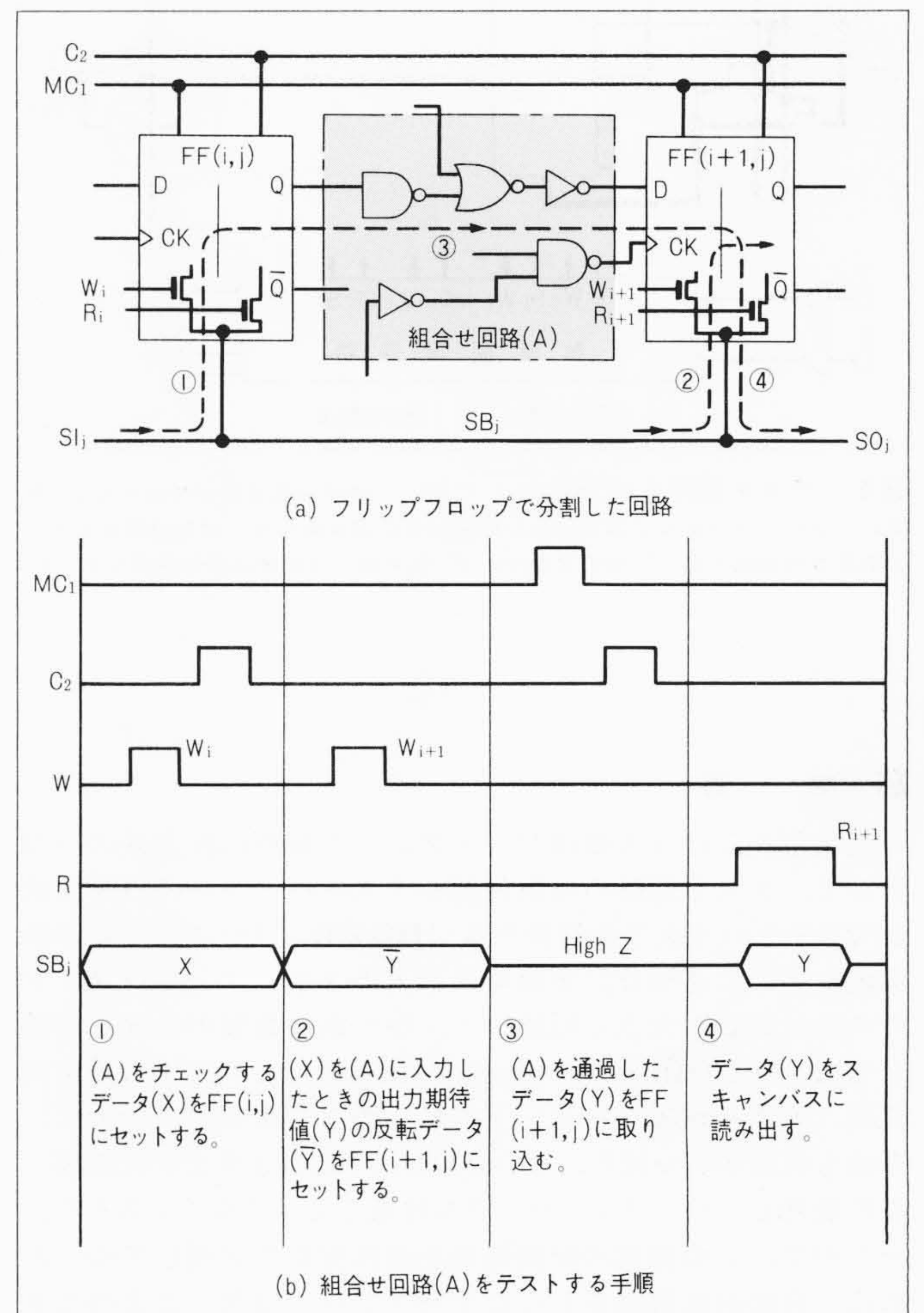


図5 テストパターンの生成 組合せ回路(A)をテストしている。①~④が基本サイクルであり、これを各組合せ回路に対し繰返し適用する。

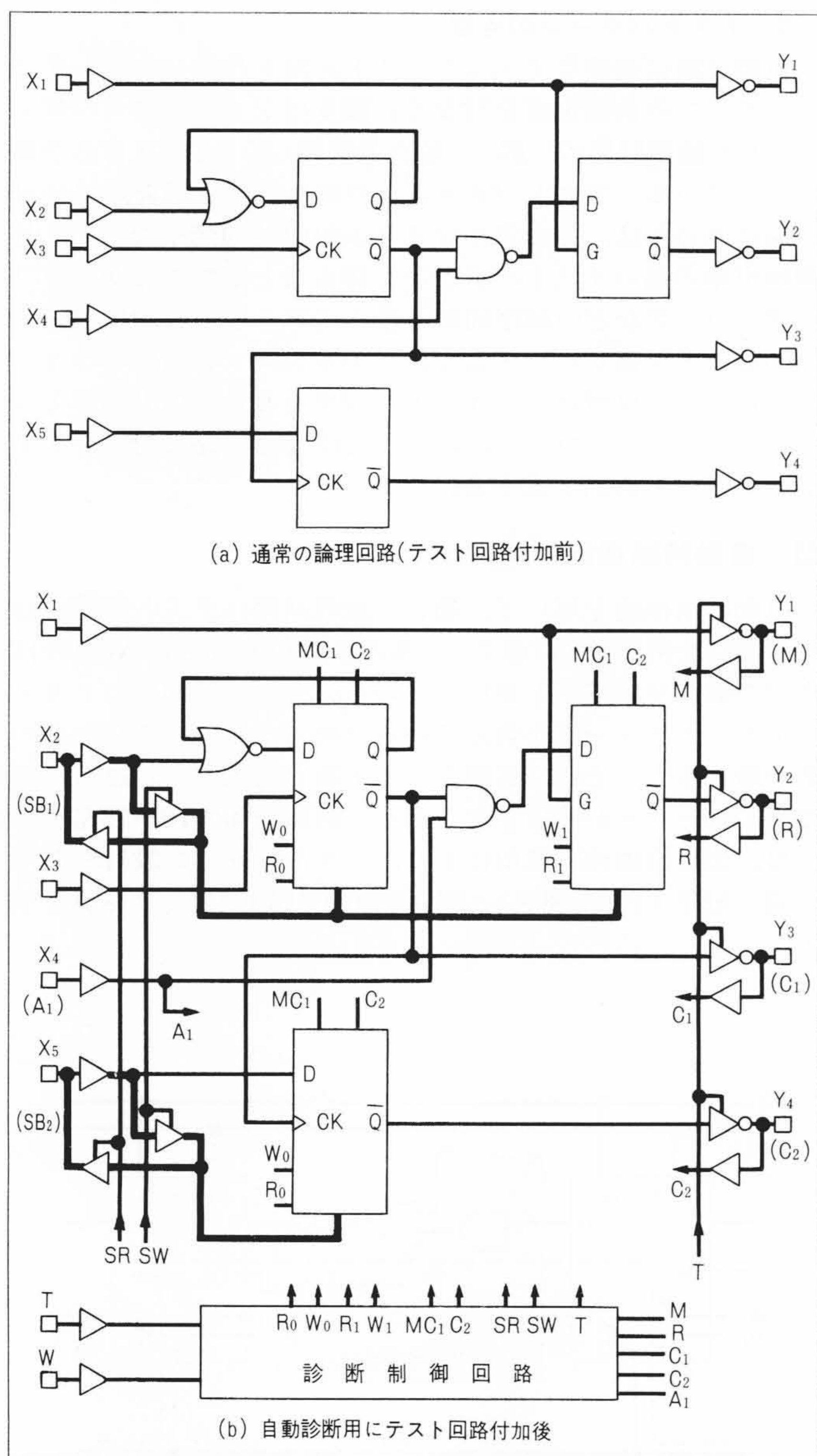


図6 テスト回路を自動付加した例 診断制御回路が付加されると同時に、フリップフロップはスキャン機能付きに置き換わる。自動診断専用として必要な外部端子は、T、Wの2本であり、他の端子は通常端子と兼用している。

5 結 言

高集積化に伴う大規模ゲートアレーの論理設計支援の一つとして、テスト回路の自動付加とテストパターンの自動生成ができるという大きな特長をもつHG62Bシリーズの自動診断機能を中心に述べた。本機能の導入により、ユーザーサイドでの設計期間が大きく短縮でき、かつ高い品質の量産が可能となる。OA (Office Automation) 機器をはじめとする通信用機器、産業用機器などゲートアレーのあらゆる応用分野で、今後も技術革新が続き、その適用システムはますます大規模・高性能化し、かつライフサイクルは短くなってゆくであろう。その中で、応用機器の早期開発と高品質化を実現してゆくために、自動診断機能をもったゲートアレーは欠くことのできない強力な切り札となることと信じている。

今回紹介したHG62Bシリーズは、その機能を実現できる最初の製品である。今後ともユーザーのニーズを的確に反映し、

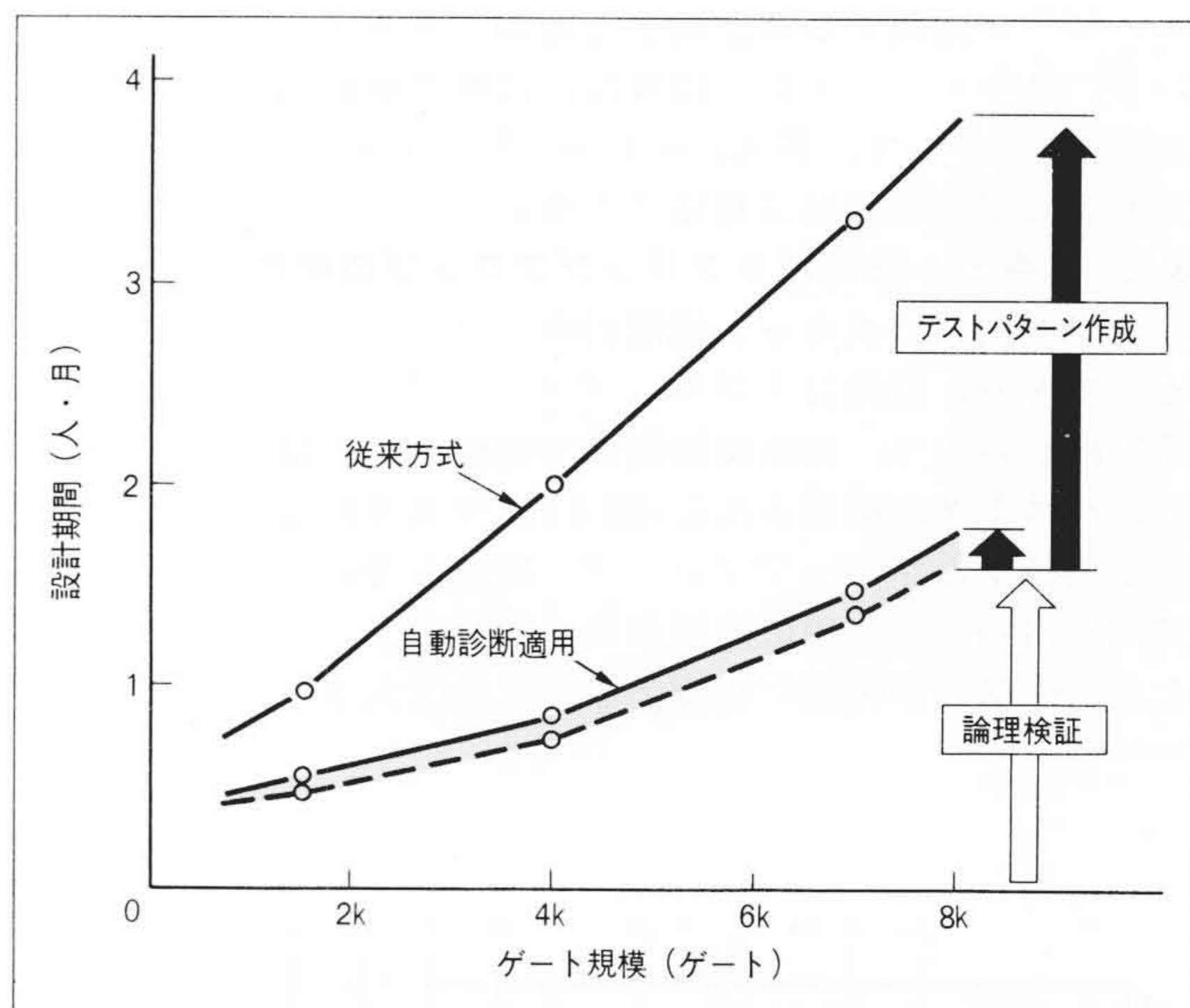


図7 テストパターン設計期間の短縮 自動診断機能を4kゲートのゲートアレーに適用した場合、理論検証期間は従来と同様約0.7箇月であるが、テストパターン作成期間が従来の1.3箇月に対し約2～3日で完了する。

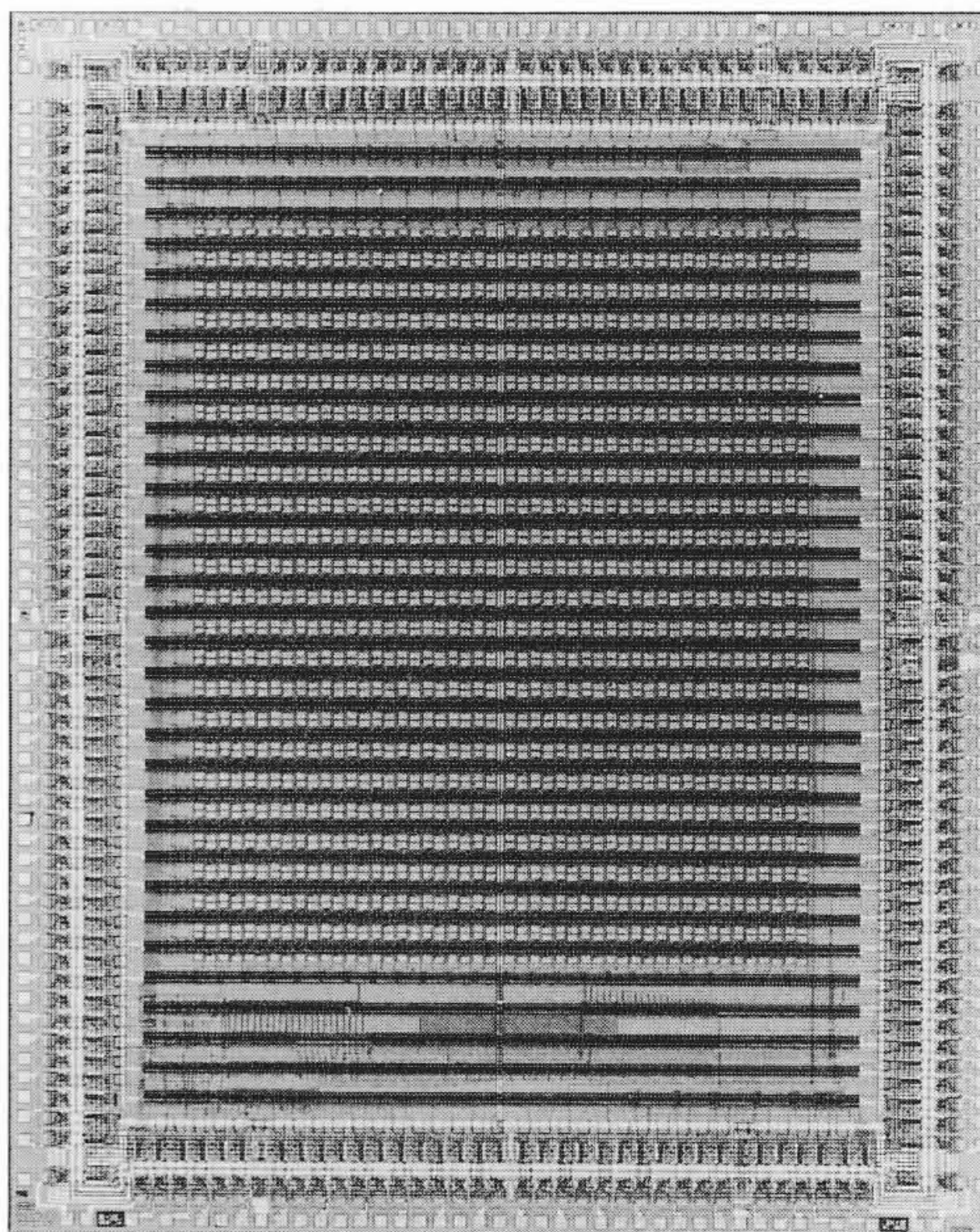


図8 HG62B71チップ写真 チップサイズ8.12mm×10.08mmの内に、7,136ゲートのペースセルと186出力端子(電源を含む。)が実装されている。

更に高機能・高性能なゲートアレーのマスタチップ開発とユーザーの設計支援の改善を積極的に進めてゆく考えである。

参考文献

- 1) 鳥居, 外: 複合形ゲートアレーの開発, 日立評論, 66, 7, 535～539(昭59-7)
- 2) 阿部, 外: メモリ搭載可能な高速CMOSゲートアレーの開発, 日立評論, 67, 8, 641～644(昭60-8)
- 3) 1,000億円市場が間近に迫ったゲートアレー: 日経エレクトロニクス, No.370, p.169～172(1985-6-3)
- 4) S. Kuboki, et al.: A 4k CMOS Gate Array with Automatically-Generated Test Circuits, 1985 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, THAM 10, 4, p.128～129(Feb. 1985)