

256kビットマルチポート ビデオRAM “HM53461”, “HM53462”

256k bit Multi Port Video RAM “HM 53461”, “HM 53462”

近年、ディスプレイのフレームバッファ用256kビットVRAMが注目されている。

今回、ビデオメモリの標準仕様に加え、市場のニーズを反映して種々の新しい機能を追加した新製品を開発した。まずランダムポートには、ラスタ演算用の論理演算回路を取り込み、プロセッサとの間にシフト回路を外付けするだけで、高速のラスタ演算機能を実現可能にした。また、シリアルポートには、256×4ビット構成を1,024×1ビットに変更できる機能を付けた。更に、シリアル入力機能ももっているため、ビデオ入力のほか画面の高速クリアも可能とした。そしてシリアルポートはスタティック回路を採用しているため、グラフィック以外の応用も可能である。

石原政道* Masamichi Ishihara
山口泰紀* Yasunori Yamaguchi
小倉敏彦** Toshihiko Ogura
谷村信朗*** Nobuyoshi Tanimura

1 緒言

一般に今日のコンピュータシステムでは、ディスプレイの機能、計算能力、通信及び応用ソフトの支援体制の四つがポイントであると言われている。なかでもマンマシンインタフェースの重要性から、ディスプレイシステムの性能向上が要求されている。

現在のディスプレイは、ビットマップ方式が主流である。この場合フレームバッファへのアクセス制御が大きな問題となる。通常プロセッサは、CRT(Cathode Ray Tube)への表示データを送るための読み出しサイクルの合間を縫って、フレームバッファの内容を書き換えている。このため、大容量の標準メモリでフレームバッファを組む場合、表示画面を乱さずにプロセッサからのアクセス効果を上げるには周辺回路が大きくなる。

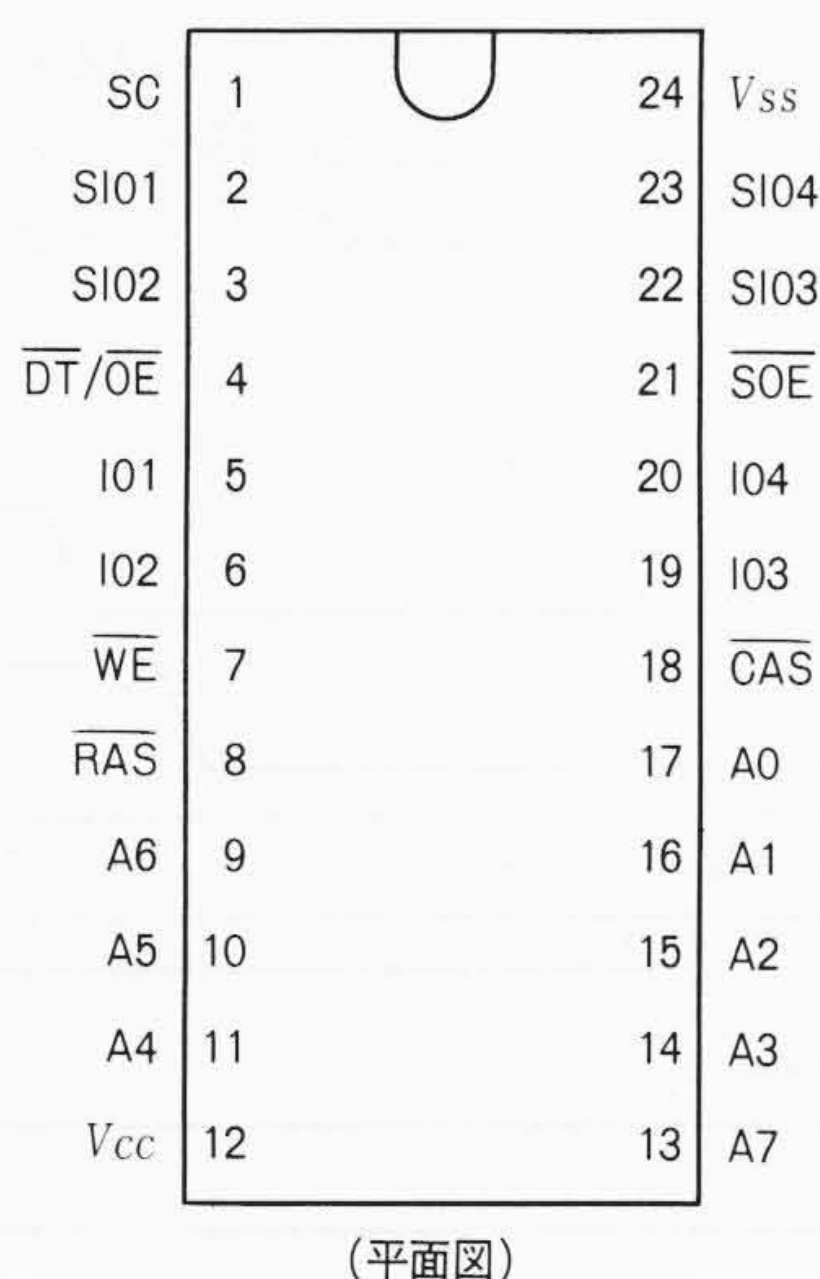
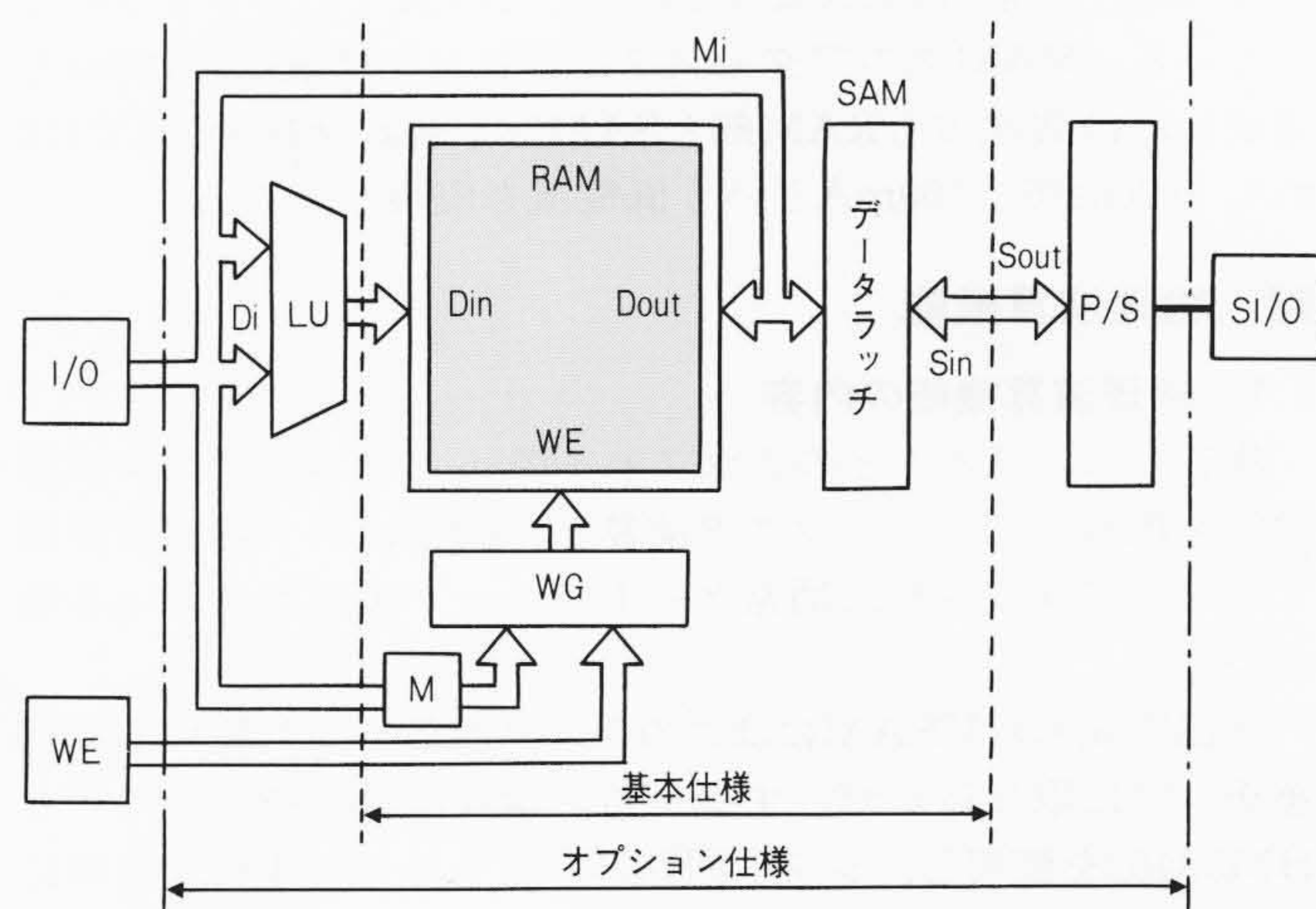


図1 256k VRAMのピン配置 標準400mil プラスチックパッケージで、ピン配置は他社と互換性がある。



注：略語説明など

□ (従来DRAM) P/S(並→直変換)
LU(論理演算部) RAM(ランダムポート)
M(書き込みマスクレジスタ) SAM(シリアルポート)
WG(書き込みゲート)

図2 HM53461・HM53462の基本ブロック図 標準的なビデオRAM (HM53461)にオプション機能を追加した(HM53462)。

そこでこの問題を解決するために、VRAM(マルチポートビデオRAM)が登場^{1),2)}した。

本稿では従来のVRAMの高性能化を図り、更に新機能を追加することによって安価に高性能のグラフィックシステムが実現できる新製品のVRAM(HM53461, HM53462)³⁾の特長、応用及び設計技術について述べる。

2 HM53461, HM53462の特長

今回新しく開発したVRAMは、リアルタイムデータ転送やRAM部(ランダムアクセスポート)の書き込みマスク機能、そしてシリアルアドレスのポインタコントロール機能といった他社製品との互換性(図1)を十分考慮しながら、更に次の

* 日立製作所デバイス開発センタ

** 日立製作所マイクロエレクトロニクス機器開発研究所

*** 日立製作所武蔵工場

ような新しい機能(図2)をもっている。

- (1) ラスタ演算用の論理演算回路をRAM部に取り込んだ(HM53462)。
- (2) シリアル データ入力もできる(HM53461, HM53462)。
- (3) SAM部(シリアル アクセス ポート)は、×4ビット構成を×1ビット構成に変更することができる(HM53462)。
- (4) SAM部はスタティック回路で構成されており、SAMはリフレッシュを必要とせず、応用範囲が広い(HM53461, HM53462)。

(1)の機能を使えば、プロセッサとの間に簡単なシフト回路を外付けするだけで、高速のラスタ演算機能を実現できる。(2)の機能は動画像ビデオ信号を取り込み、静止画ビデオ信号を出力するような用途に適している。また、取り込んだ静止画データをRAM部から加工することもできる。更に、高速な画面クリアに力を発揮する。(3)の機能はSAM部が1,024×1ビット構成となるので、例えば640×400画素構成のディスプレイの場合、並直列変換回路が不要となり、システムの簡略化を可能とする。そして(4)の機能はグラフィック以外への応用も可能とする。すなわち、低速のシリアル データの入出力や、ランダムなサイクルの入出力への応用も可能となる。

その他、通常のVRAMの性能としては表1に示すようになっている。RAM部のアクセスタイムとしては最高の100nsを達成し、消費電流もRAM部とSAM部を合わせ100ns版で110mA、120ns版で100mAという低電流を実現している。

3 論理演算機能

3.1 論理演算機能の内容

現在では、ほとんどのグラフィック システムはラスタ演算機能を内蔵している。ラスタ演算とは図2に示す論理演算部とシフトで構成され、通常ゲートアレーで実現されている場合が多い。

今回開発したVRAMにはこのラスタ演算のうち論理演算部をチップに取り込んだ。すなわち、論理演算部をもっているHM53462を使用し、シフト回路部だけを外付けすれば簡単にラスタ演算が実現することになる。またこの場合、論理演算のリード モディファイ ライト動作はチップ内部で自動的に実行されるため、従来のいったんデータを外へ取り出して行なうリード モディファイ ライトに比べると、大幅な高速化を実現できる。

表1 256k VRAM(マルチ ポート ビデオ RAM)の性能諸元
高速と低消費電力を達成している。RAM部ではページモードも高速となっている。

項 目		HM53462	HM53461
RAS ア ク セ ス 時 間		100ns・120ns・150ns	←
CAS ア ク セ ス 時 間		50ns・60ns・75ns	←
OE ア ク セ ス 時 間		25ns・30ns・40ns	←
RAS サ イ ク ル 時 間		190ns・220ns・260ns	←
ページ モード サイクル時間		70ns・85ns・105ns	←
シリアルアクセス時間		40ns・40ns・60ns	←
シリアル サイクル時間		40ns・40ns・60ns	←
消費電流	ランダム サイクル	70mA・60mA・50mA	←
	シリアル サイクル	40mA・40mA・30mA	←
リ フ レ ッ シ ュ		256サイクル/4ms	←
機 能	論 理 演 算	○	—
	シリアル×4→×1	○	—
	シ リ ア ル 入 力	○	○
	シリアル スタティック	○	○

表2 内蔵されている論理演算モードの種類 アドレスA0〜A3を用い、15種類の論理演算とシリアル ポートの構成変更(×4→×1)を設定できる。

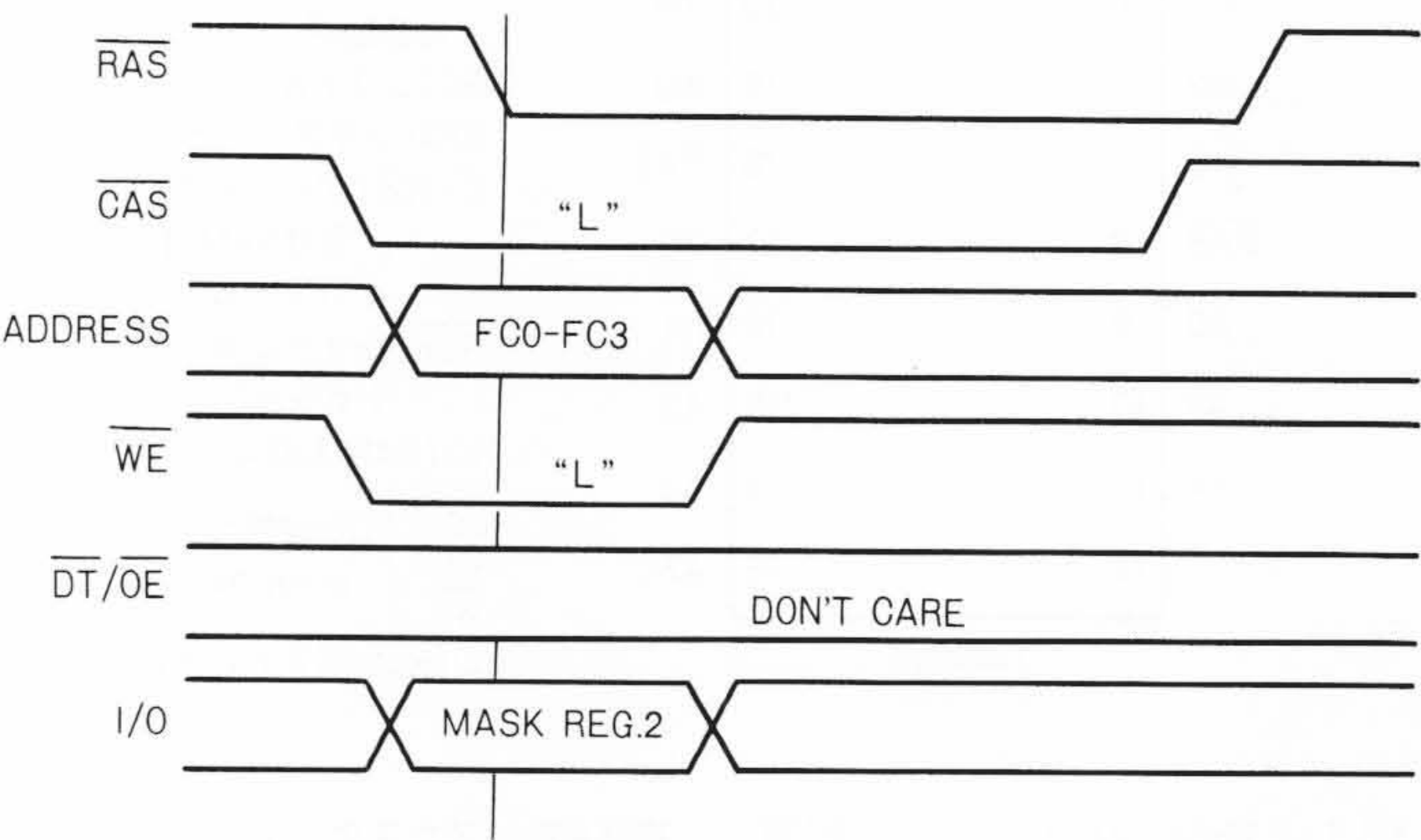
FC 3	FC 2	FC 1	FC 0	論 理	
				記 号	演算後書き込みデータ
0	0	0	0	0	Zero
0	0	0	1	AND1	$Di \cdot Mi$
0	0	1	0	AND2	$\overline{Di} \cdot Mi$
0	0	1	1	×4→×1*	—
0	1	0	0	AND3	$Di \cdot \overline{Mi}$
0	1	0	1	THROUGH**	Di
0	1	1	0	EOR	$\overline{Di} \cdot Mi + Di \cdot \overline{Mi}$
0	1	1	1	OR1	$Di + Mi$
1	0	0	0	NOR	$\overline{Di} \cdot \overline{Mi}$
1	0	0	1	ENOR	$Di \cdot Mi + \overline{Di} \cdot \overline{Mi}$
1	0	1	0	INV1	$\overline{Di}$
1	0	1	1	OR2	$\overline{Di} + Mi$
1	1	0	0	INV2	$\overline{Mi}$
1	1	0	1	OR3	$Di + \overline{Mi}$
1	1	1	0	NAND	$\overline{Di + Mi}$
1	1	1	1	1	ONE

注：略語説明など
* SAM構成の変更(256×4→1,024×1)
** 演算モードリセット
Di(入力データ)
Mi(もともとメモリに入っていたデータ)

チップ内に組み込まれている論理演算の内容は、表2に示す16とおりである。このうちTHROUGHは、論理演算モードのリセットとして、また電源投入時は自動的にこのモードにセットされる。この場合、内部信号は論理演算回路をバイパスするので、全く通常の使い方となる。

3.2 論理演算モードの使い方

図3に論理演算モードのセットの仕方を示す。論理演算モードをセットするには、CBR(CASビフォアRAS)リフレッシュと同じタイミングを使用し、しかもWEクロックを低レベルにセットする。そしてこのときのアドレス情報(A0-A3)の組合せで論理演算モードを選択する。またこのとき、同時にマスクモードもセットできる。すなわち、従来はCBRリフレッシュ時のWEレベルは気にしなくてよかったが、この論理演算モード付きのHM53462を使用するときは、通常CBRリフレッシュだけ使用時にはWEを高レベルに保持しなければならない。



注：略語説明 FC0-FC3(モード設定コード)

図3 論理演算モード設定タイミング CASビフォアRASリフレッシュのタイミングを用い、このときWEが低レベルであると論理演算の設定タイミングとみなす。

そして、論理演算モードをセットするときだけ低レベルとする。

もちろん論理演算モードを必要としないユーザーは論理演算モードのないHM53461を使用すれば、従来と全く同じ使い方ができる。

次に、論理演算モードを使った応用例を紹介する。図4に示すような図形処理を行なう場合、非常に簡単に、しかも高速に処理ができる。この処理手順を図5を用いてもう少し詳しく説明する。ラスタ演算が対象とする長方形領域の境界は、一般にフレームバッファのワード構成の境界とは一致しない。図5の場合、ワード構成の境界からソースデータSa, Sb, Scの先頭ビットまでの距離は l_s である。また、デスティネーションデータDa, Db, Dcまでは l_d となっている。

このため、例えばDaの位置にラスタ演算処理を施す場合、読み出したSaのデータはDaとのビット位置を合わせるために、 $l_d - l_s$ ビットだけシフトする。演算結果をDaのアドレスへ書き込む際には、左側 l_d ビット分はメモリ内容を変更しないようにマスクしておく必要がある。マスクデータは論理演算モード指定と同時にマスクデータを設定しておけばよい。このようなシフト量やマスクデータの設定サイクルを少なくするために、図5の処理は垂直方向に連続して行なう。Daへの処理が修了したら、設定値はそのままにしてDb, Dcへの処理へ進む。次にDaの処理に入る前に、シフト量とマスクデータを再設定する。

図6は実際にラスタ演算を実行するプロセッサの処理手順である。シフト量をバレルシフタに設定し、マスクパターンと論理演算コードをメモリに設定する。その後、ソースデ

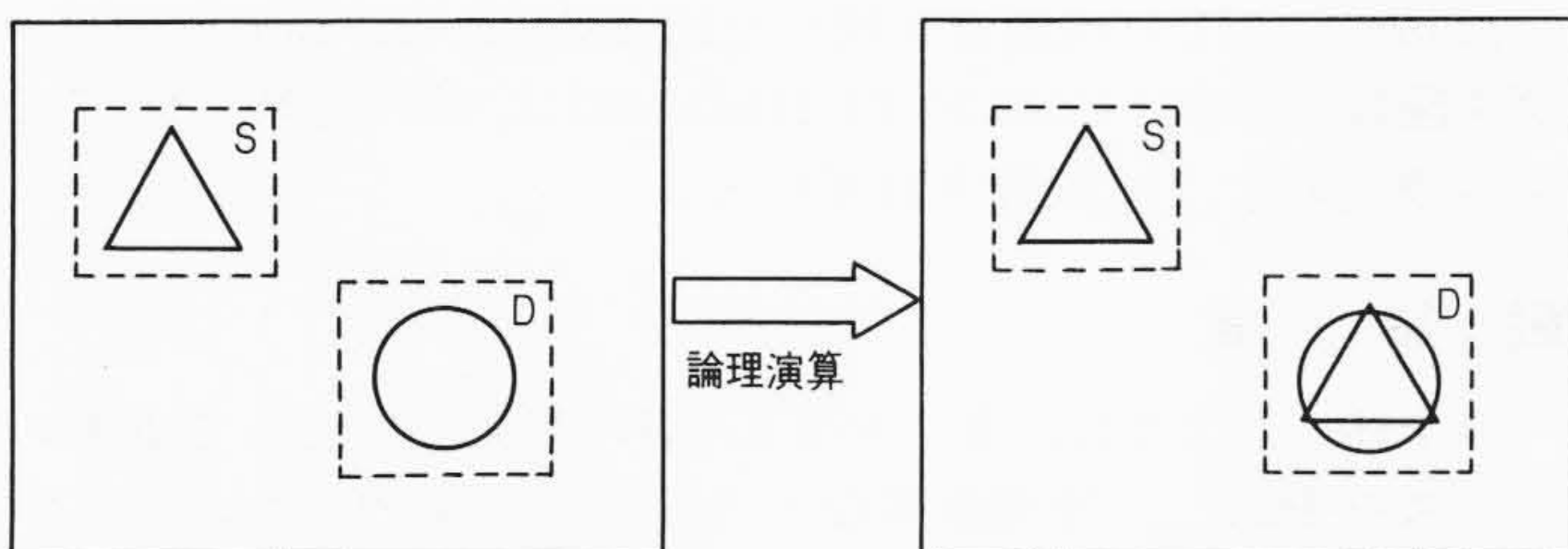


図4 ラスタ演算の簡単な処理例 ソースデータ(S)とデスティネーションデータ(D)をビット単位に演算し(この場合は論理和)、Dの領域へ格納する。

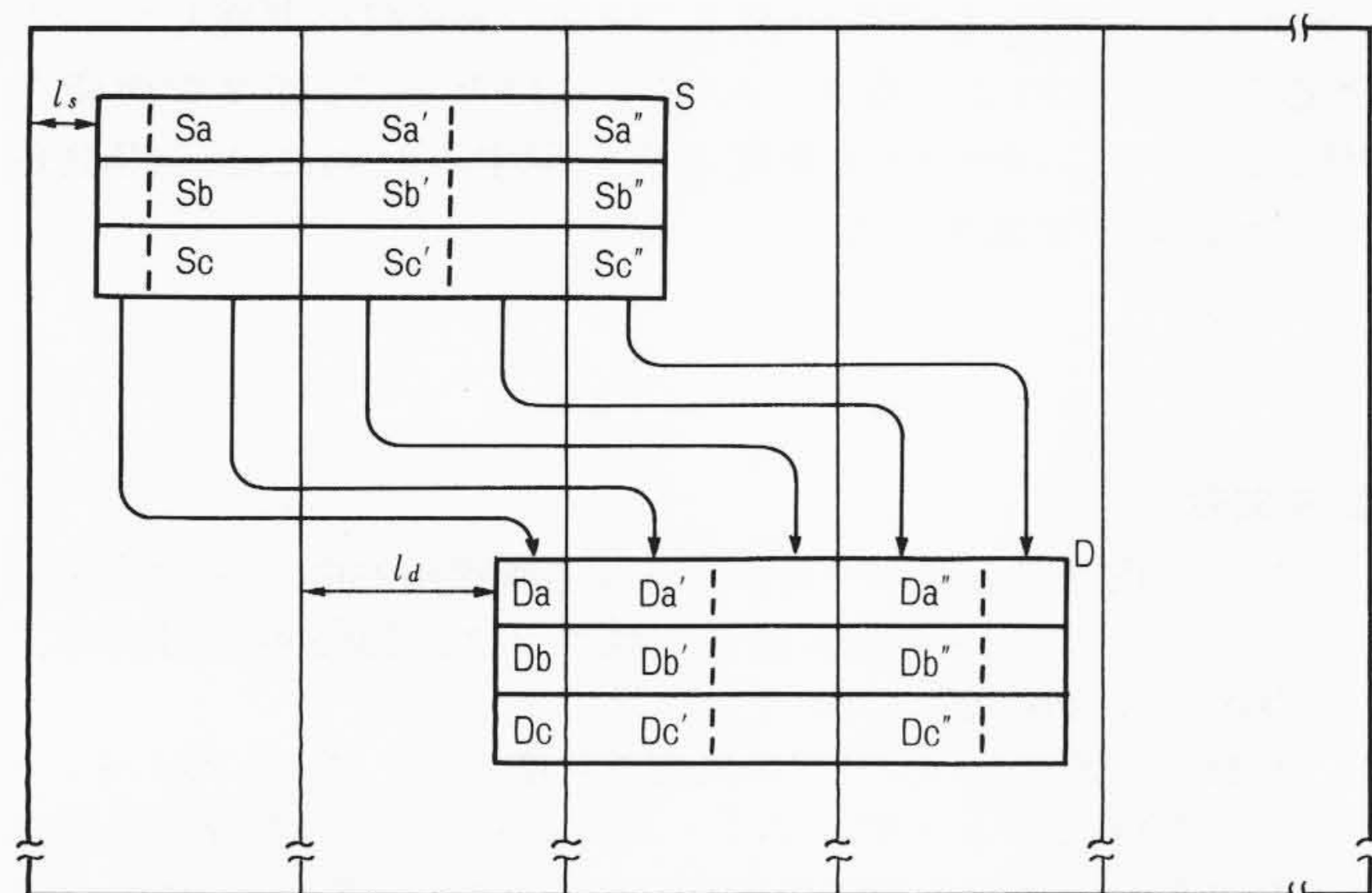


図5 ビットマップディスプレイにおけるソースデータ(S)とデスティネーションデータ(D)の解説図 フレームバッファのワード構成に対して、SとDがそれぞれ数ワードにまたがる場合の処理例を示す。

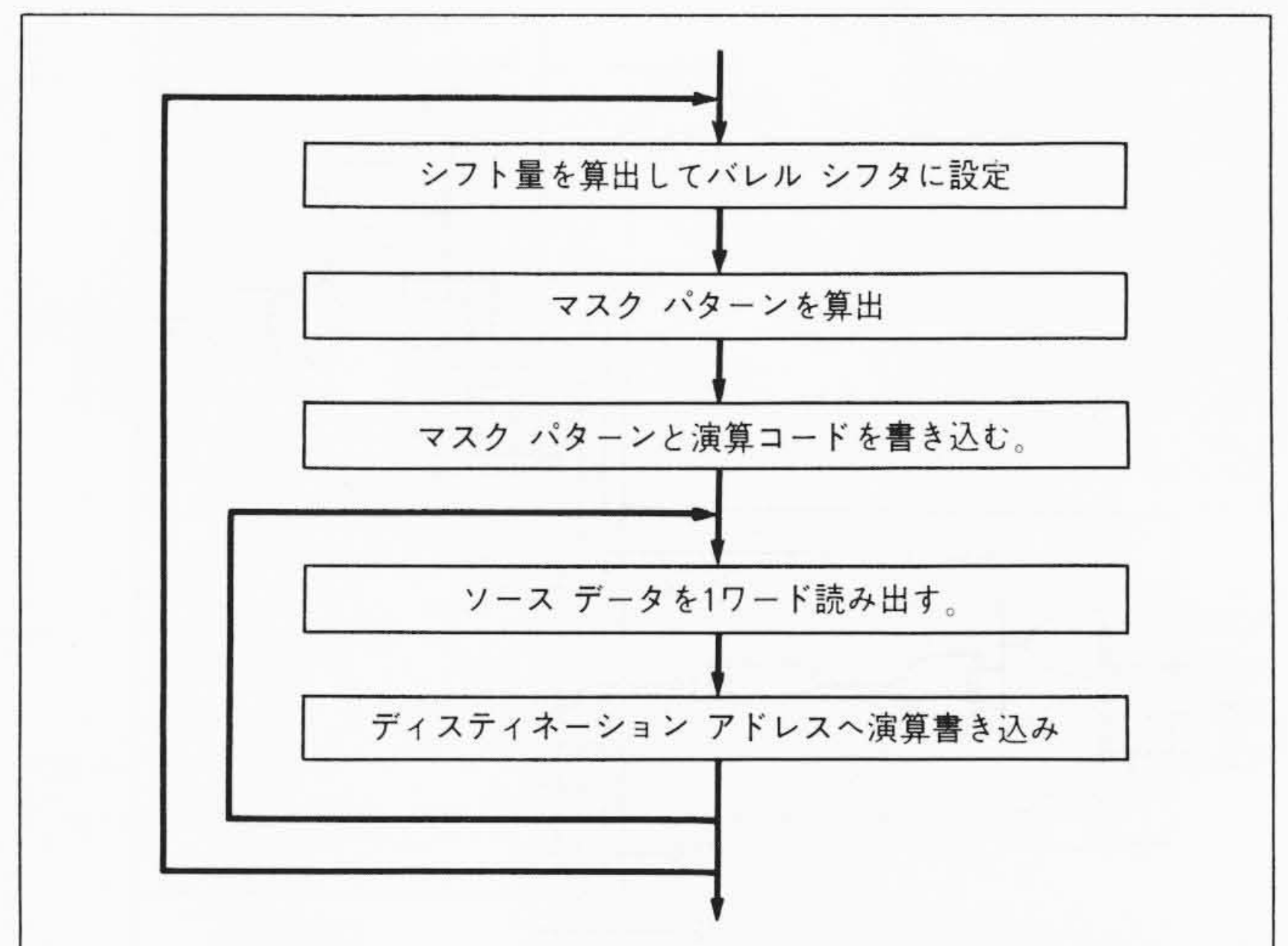


図6 ラスタ演算を実行するプロセッサの処理手順 プロセッサはシフト量とマスクパターンを算出するだけで、後は簡単な読み出し・書き込み操作だけを行えばよい。

ータを1ワード読み出し、これをバレルシフタを介してメモリのデスティネーションアドレスに書き込む。垂直方向に隣接するデータに対して、この単純な読み出し・書き込み処理を繰り返すことによってラスタ演算処理が進行する。

4 CMOS回路

このメモリには、日立製作所の周辺CMOS(Complementary Metal Oxide Semiconductor)形標準256kビットダイナミックRAM(HM51256・HM51258)と同じ回路技術と製造技術を使用している。2 μ mルール、NウェルCMOS技術を使い、上記の機能を4.86 $\times$ 9.34mm²のチップ面積に収めた。このCMOS技術を用いることによって、アクセスタイム100nsという高速とピーク電流100mA(図7)という低消費電力を実現した。更に、CMOSの最大の特徴は、論理演算回路(図8)というダイナミックRAMにとっては一見複雑な回路も、CMOS化によって極めて簡単な回路で実現できることである。図8の回路の占める割合はチップ面積の0.5%以下でしかない。

図9に、論理演算の動作確認のテスト波形を示す。14種の論理演算が正常に動作しているのが分かる。



図7 動作時電源電流の波形 CMOSを用いているため低消費電力を実現しており、ピーク電流も100mAと通常のDRAM並み以下である。

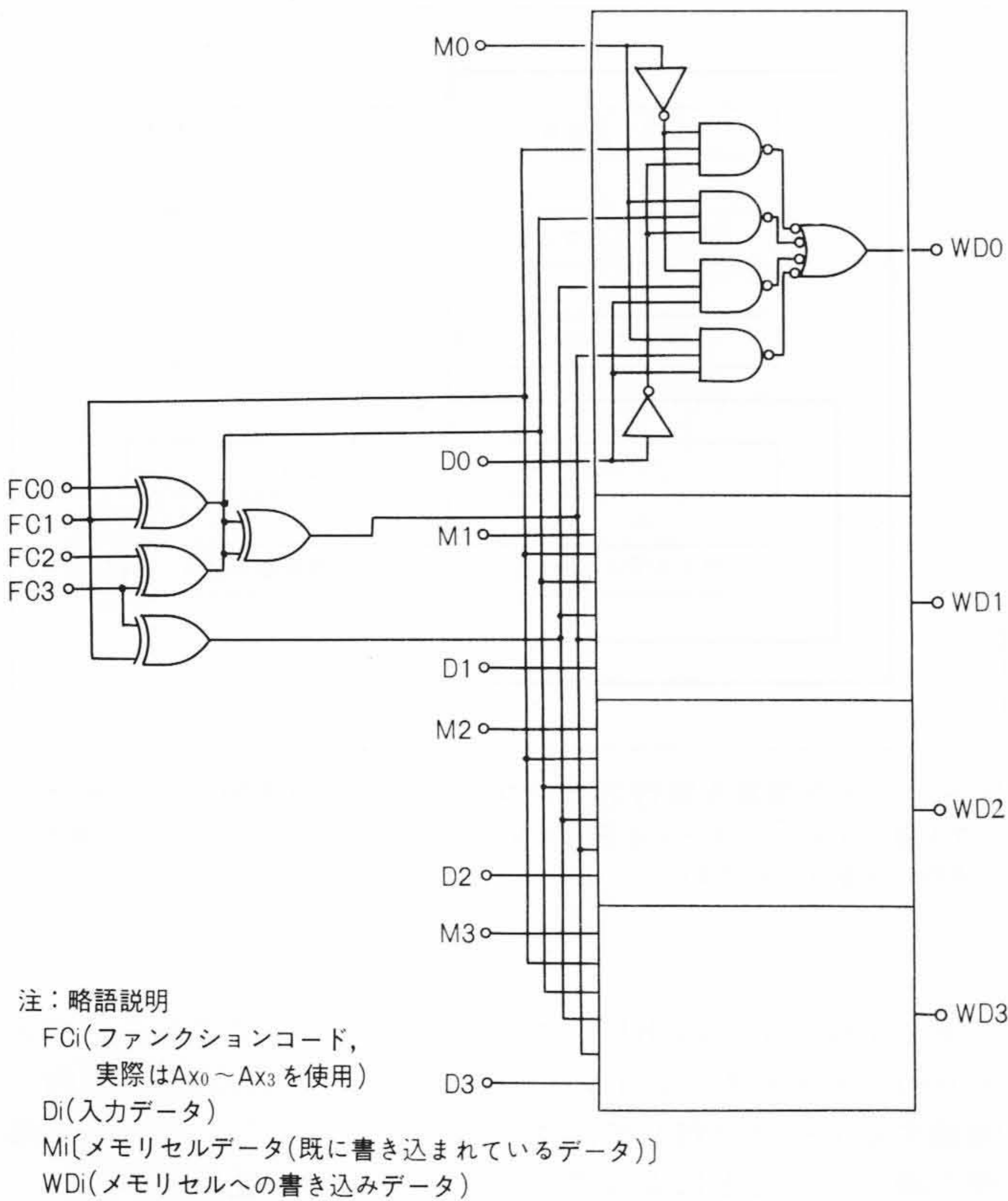


図 8 論理演算回路の論理図 この論理回路がCMOSにより実現され、これらの占める割合はチップ面積の0.5%以下である。

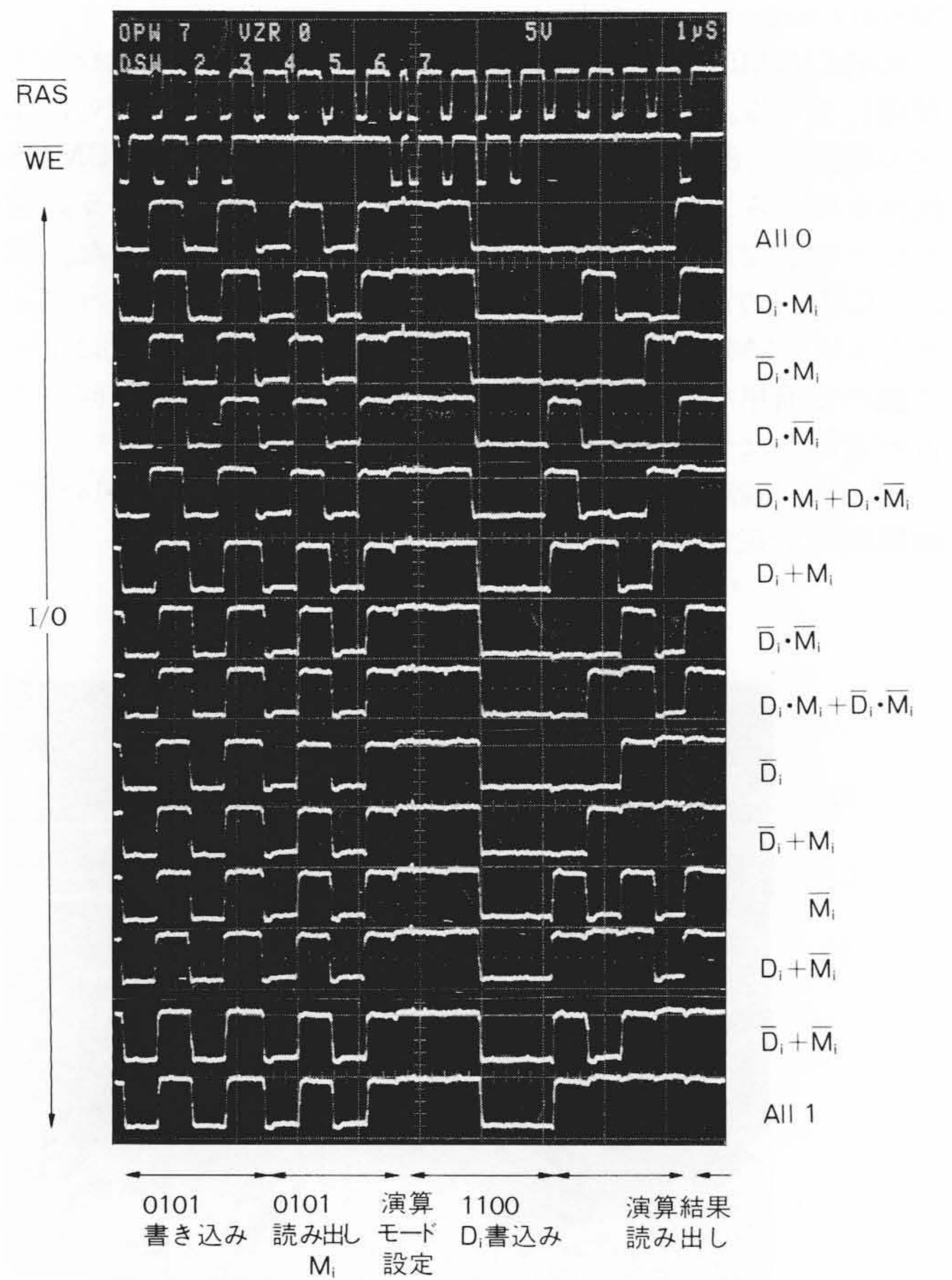


図 9 論理演算のテスト結果 最初0101を書いておき、論理演算をセットした後1100を書き込んだときの結果の写真である。きちんと論理演算結果が得られているのが分かる。

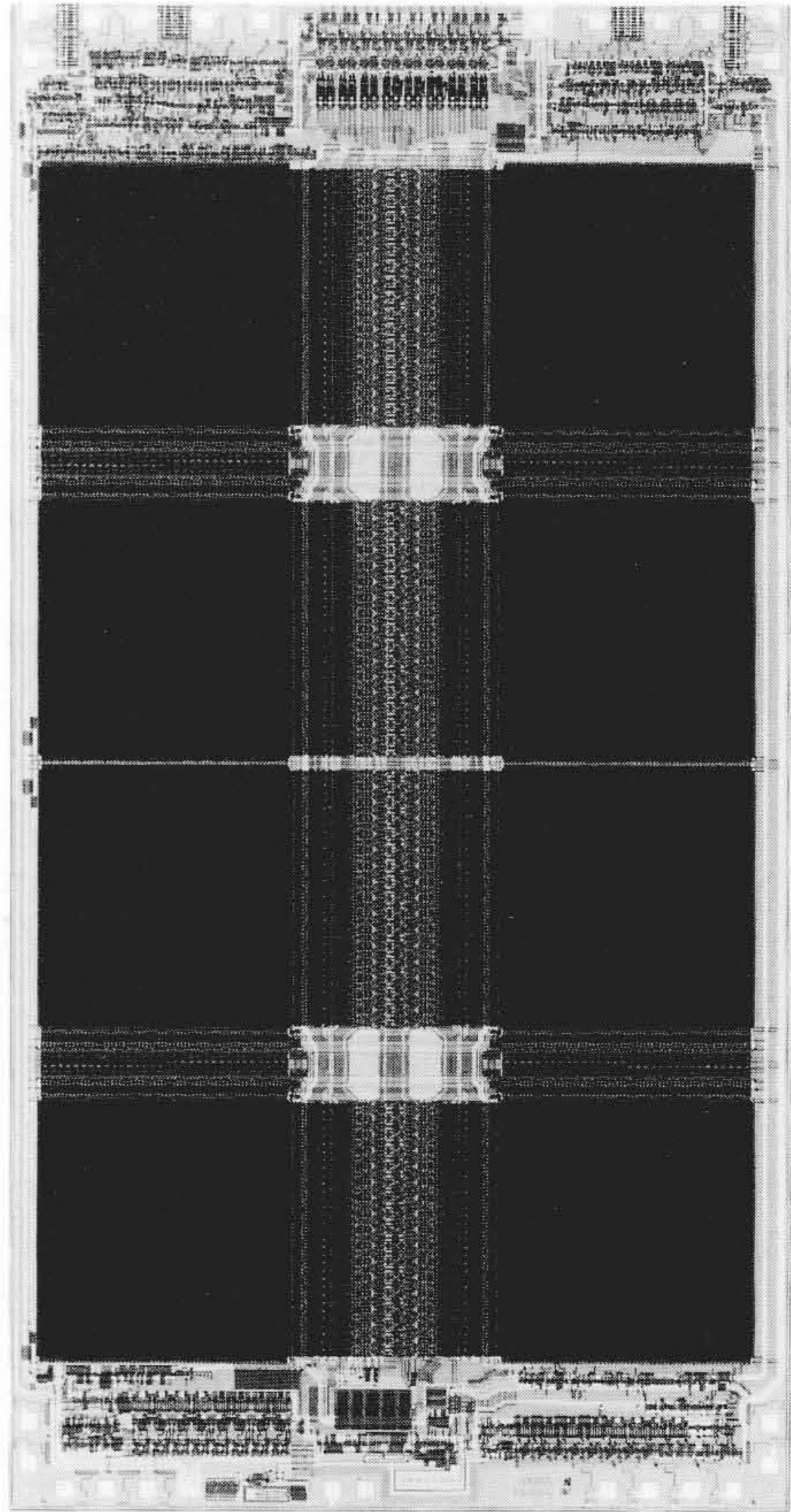


図10 HM53461・HM53462のチップ写真 CMOSを用いることによって、高速・高機能を4.86×9.34mm²の中に収めている。

最後に、新しい機能を実現したHM53461・HM53462のチップを図10に示す。HM53461とHM53462は、Al(配線)マスクで切り換えるように設計されている。

5 結 言

以上述べたように、新しいVRAMの開発に当たって市場のニーズを検討し、論理演算などの新機能を追加した。ここで追加した機能は、今後、標準仕様として広げることが期待できる。また、論理演算やSAMの構成変更など、今までのダイナミックRAMの概念を打破するものであり、今後ユーザーからこれを契機に種々な要求が出てくることが予想される。

フレームバッファに限らず、ある程度まとまった市場規模であれば、今後とも専用のダイナミックRAMを開発していく予定である。このような新しいメモリにとって、様々な機能を実現しながら、かつ低消費電力を実現するためには、CMOS技術はますます重要となる。

参考文献

- 1) 松永：内外メーカーが一斉に参入する画像用256Kデュアル・ポート・メモリ，日経エレクトロニクス，1985年5月20号，No.369，pp.195～219
- 2) 小林：間断のないシリアル出力を可能にしたフレーム・バッファ用256Kビット・デュアル・ポート・メモリを開発，日経エレクトロニクス，1985年8月12日号，No.375，pp.211～240
- 3) 石原，外：ラスタ演算機能を取り込みシリアル入力機能も付けた256K画像用デュアル・ポート・メモリ，日経エレクトロニクス，1986年3月24日号，No.391，pp.243～264