

1MビットCMOS EPROM“HN27C101”・“HN27C301”

1M bit CMOS EPROM “HN27C101”/“HN27C301”

マイクロコンピュータの高機能化に伴い不揮発性メモリの応用分野が拡大しており、大容量で高性能のEPROMに対する要求が強くなってきている。I/Oインタフェースを含めたトータルシステムとしては、8ビット構成のデータ処理が多く、システム設計の容易な8ビット構成のEPROMが好まれる。この要求にこたえるため、最新の1.3 μ m CMOS技術を採用し、新しい書込み回路を導入した1MビットEPROMを開発した。

大容量化に伴い、プログラム時間が増加するという問題に対しては、メモリ素子を改良し、4バイトを同時に書き込むことによってプログラム時間の短縮化を図った。また、微小な書込み信号を高感度でセンスするようセンスアンプの改良を行なった。以上の技術により、高速書込み可能な1MビットCMOS EPROMを実現した。

1 緒 言

EPROM (Erasable and Programmable Read Only Memory)は、ROMの内容をユーザーが任意に書き込み、また紫外線を照射することによって消去し、繰り返し使用できるという利点があり、マイクロコンピュータ応用システムのプログラムメモリ、データメモリとして広い分野で使用されている。近年の情報産業の発展は目覚ましく、EPROMに対する要求も大容量化指向とともに多様化している。1MビットEPROMでは、I/O(入出力)インタフェースを含めたトータルシステム設計が容易な8ビット構成のものや、16ビットCPU (Central Processing Unit)の16ビット・バス用として使用される64kワード×16ビット構成のものが要求される。また、大容量化に伴い、プログラム時間の短縮が望まれる。

これらの要求にこたえるため、4バイトを一度にプログラムすることにより、プログラム時間を短縮した8ビット構成の1MビットCMOS (Complementary Metal Oxide Semiconductor) EPROM (HN27C101)¹⁾を開発した。また、28ピン1MビットマスクROMとピン配置を含めて互換性のあるHN27C301も同時に開発した。

表1にその主な仕様を、図1にピン配置を示す。本論文では、HN27C101に採用したデバイス技術、回路技術及び電氣的

表1 HN27C101主要仕様 1MビットCMOS EPROM(HN27C101)の主要仕様を示す。

項 目		仕 様
メ モ リ 構 成		131,072ワード×8ビット
電 源 電 圧		5±5%
消 費 電 力	動 作 時	150mW Max.
	待 機 時	100 μ W Max.
アクセスタイム	HN27C101-20	200ns Max.
	HN27C101-25	250ns Max.
プ ロ グ ラ ム 電 圧		12.5±0.3V
プログラムパルス幅		0.2ms, 高速書込み
プ ロ グ ラ ム 方 式		バイト/ページ
パ ッ ケ ー ジ		32ピンサーディップ

福田 実* Minoru Fukuda

内堀清文** Kiyofumi Uchibori

目黒 怜* Satoshi Meguro

松尾章則*** Akinori Matsuo

特性について述べる。

2 プログラム時間短縮手法

1MビットEPROMを開発するに当たって、特に考慮すべき点にプログラム時間の増大がある。64kビットEPROMが普及し始めたころ、高速書込みアルゴリズムの導入が提案され、プログラム時間は従来の $\frac{1}{10}$ 近くまで短縮された²⁾。しかし、1Mビット以上の大容量EPROMに対しては、更にプログラムの高速化が望まれた。これに対し本製品では、次に述べる新技術を採用してこれに対処した。

まず、書込み効率の高い新メモリ素子を採用した。また、複数ビットを同時に書き込むページプログラムの導入を行なった。更に、書込みによるメモリ素子のしきい値電圧の変化量を高感度でセンスするため、センスアンプの改良を行なった。以下にこれらの手法について述べる。

HN27C101	HN27C301	1M Mask			1M Mask	HN27C301	HN27C101
→	V _{PP}		1	32		V _{CC}	←
A16	OE		2	31		PGM	←
→	→	A15	3	30	V _{CC}	NC	←
→	→	A12	4	29	A14	←	←
→	→	A7	5	28	A13	←	←
→	→	A6	6	27	A8	←	←
→	→	A5	7	26	A9	←	←
→	→	A4	8	25	A11	←	←
→	→	A3	9	24	A16	←	OE
→	→	A2	10	23	A10	←	←
→	→	A1	11	22	CE	←	←
→	→	A0	12	21	O7	←	←
→	→	O0	13	20	O6	←	←
→	→	O1	14	19	O5	←	←
→	→	O2	15	18	O4	←	←
→	→	V _{SS}	16	17	O3	←	←

図1 1MビットマスクROMと1MビットEPROMのピン配置 JEDECピン配置であるHN27C101と、マスクROMとピン互換性のあるHN27C301を同時に開発した。

* 日立製作所武蔵工場 ** 日立製作所武蔵工場 工学博士 *** 日立超LSIエンジニアリング株式会社

3 メモリセル設計

書込み効率の高いメモリ素子を実現するため、 $1.3\mu\text{m}$ 微細加工技術をベースとした新しい素子構造を採用した。新メモリ素子のチャンネル部は、深部で不純物濃度が高いDDC (Deeply Doped Channel) 構造とした。図2にその断面構造を示す。DDC構造はゲート酸化膜形成後、ボロンをチャンネル部の深部に打ち込んで形成する(図3)。この深部に作られた高濃度層によりドレーン領域の電界強度が上昇し、ホットエレクトロンの発生効率が向上する。すなわち、書込み効率が向上する。ここで本メモリ素子のチャンネル部の表面では低濃度となるので、素子のしきい値電圧は低くなり、回路の動作電源電圧範囲を広げることができる。

図4に本メモリ素子の書込み特性を示す。従来のメモリ素子に比べ約一けた書込み効率が向上している。またCMOS EPROMのメモリ素子は、ドレーン・ソース間の耐圧が高く、書込み時に基板への電流が流れにくいこと、すなわち基板電流がトリガとなって生じるラッチアップが起こりにくいことが重要である。本構造では従来の素子と比較して約1V耐圧が高いため、より安定な書込み動作を実現することができる(図5)。

4 回路設計

大容量化が進むに従い、書込み時間の増加がユーザーにとってもメーカーにとっても深刻な問題となっている。現在市

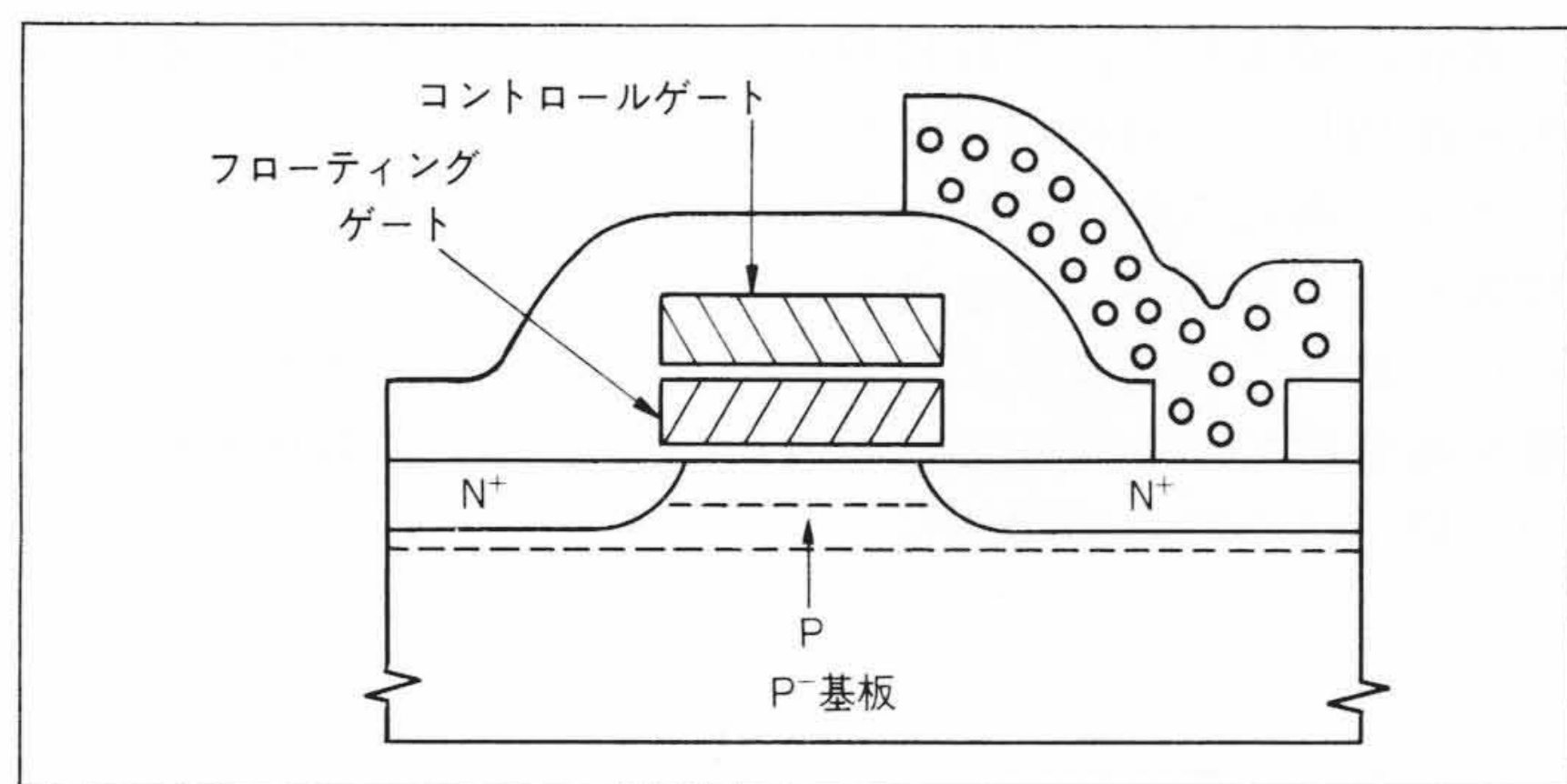


図2 メモリ素子の断面構造 メモリ素子のチャンネル部は、深部で不純物濃度が高いDDC (Deeply Doped Channel) 構造とし、書込み効率を向上させた。

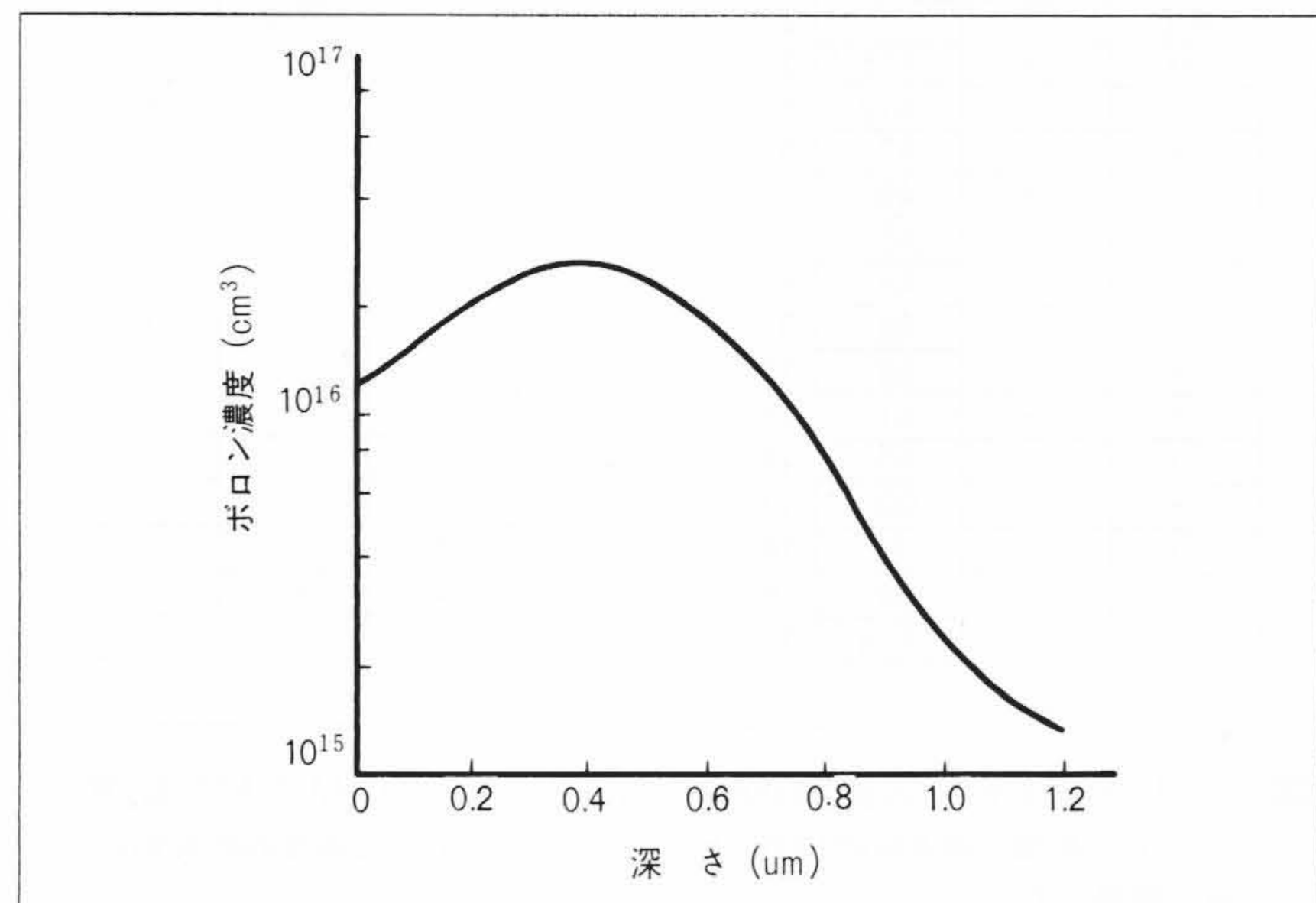


図3 DDC構造のボロン濃度分布 チャンネルの深部でボロン濃度が高く、表面で低く設定しているため、ホットエレクトロンが発生しやすく、かつしきい値電圧が低いメモリ素子を実現できる。

販されているプログラムを用い、256kビットのEPROMを高速書込みアルゴリズムでプログラムした場合、標準的なサンプルでは約3.5分を要する。この手法を1MビットEPROMにそのまま踏襲すると1MビットEPROMでは約13分必要である。図6にプログラム時間とビット容量の関係を示す。本製品では4バイト(32ビット)を同時に書き込むページプログラム方式を導入することにより、通常のバイトプログラム時に要するプログラム時間の $\frac{1}{4}$ とすることができ、256kビットEPROMの場合と同等となる。

4.1 ページプログラム回路

本製品では、通常のバイトプログラム(8ビット)に加え、新しくページプログラムモードを加えた。図7にタイミングチャートを示す。CEを V_{IH} とすることによりページモード選択とした。まず、ページデータラッチモードでは4バイトのデータを連続的に読み取り、32個のラッチに次々とデータを取り込む。次に、ページプログラムモードで32個のデータを一度に書き込む。次のベリファイモードではデータの確認を行ない、データが期待値と等しければ次の四つのアドレスへ進み、最終アドレスまでこの動作を繰り返す。

図8にページプログラム回路を示す。ひとつのI/Oブロックごとに四つのデータを蓄えるための四つのラッチを設けた。

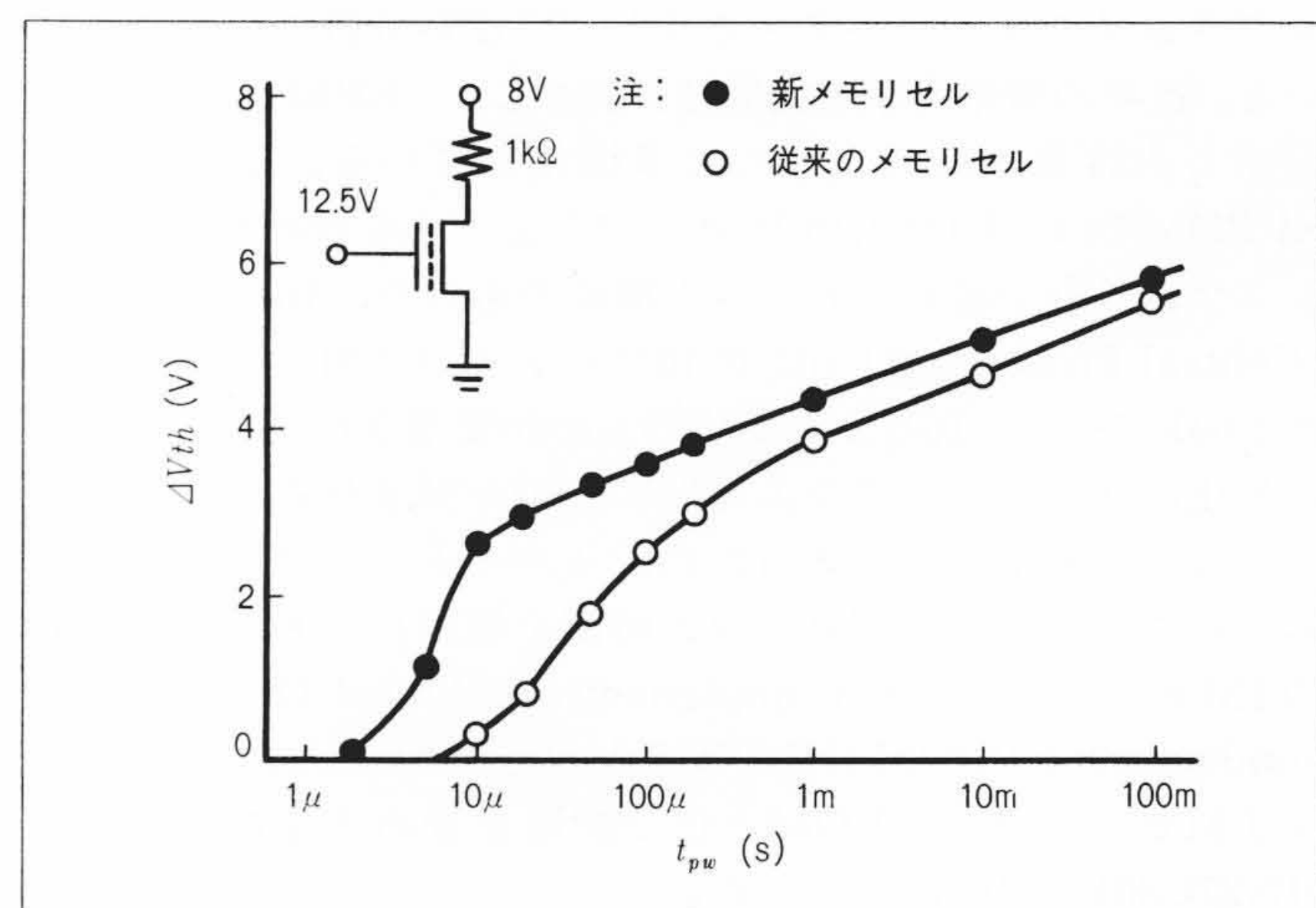


図4 メモリ素子の書込み特性 従来のメモリ素子に比べて、書込み効率が約一けた向上している。

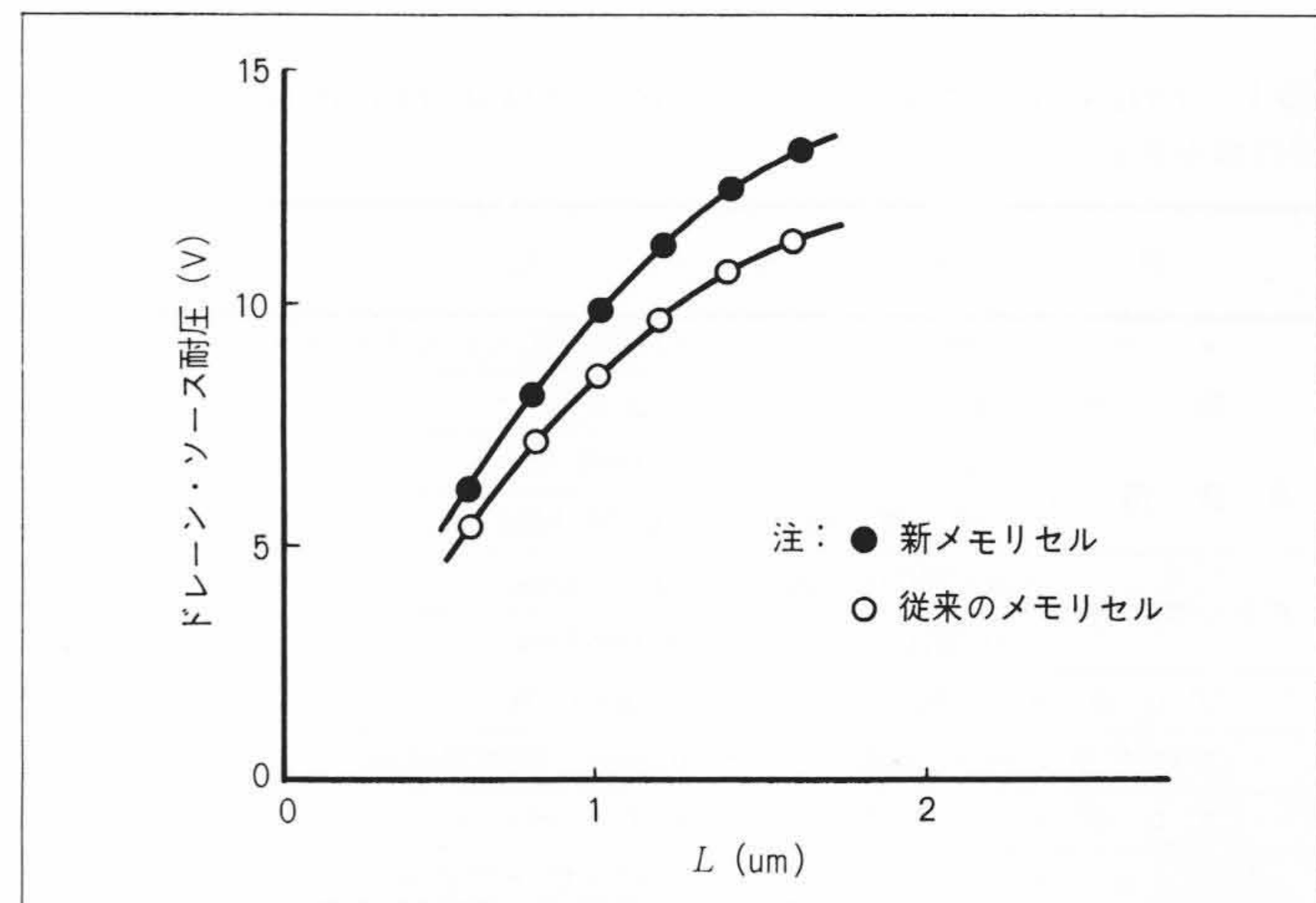


図5 メモリ素子のドレーン・ソース耐圧 従来のメモリ素子に比べて耐圧が約1V高く、書込み時にメモリ電流がトリガとなるラッチアップが発生しにくい。

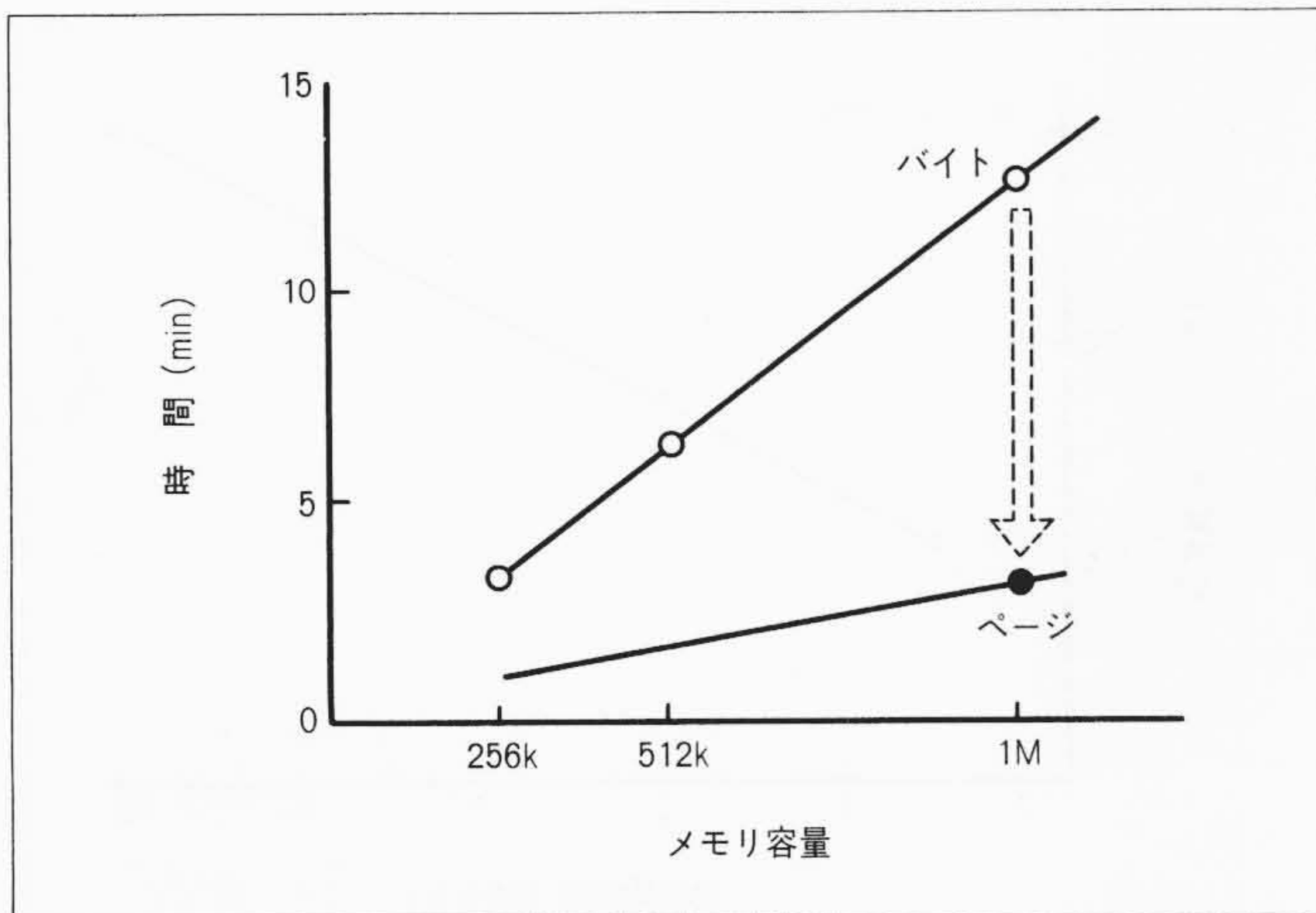


図6 プログラム時間の推移 ページプログラム方式を導入し、書込み時間を従来のバイトプログラム方式の $\frac{1}{4}$ にした。

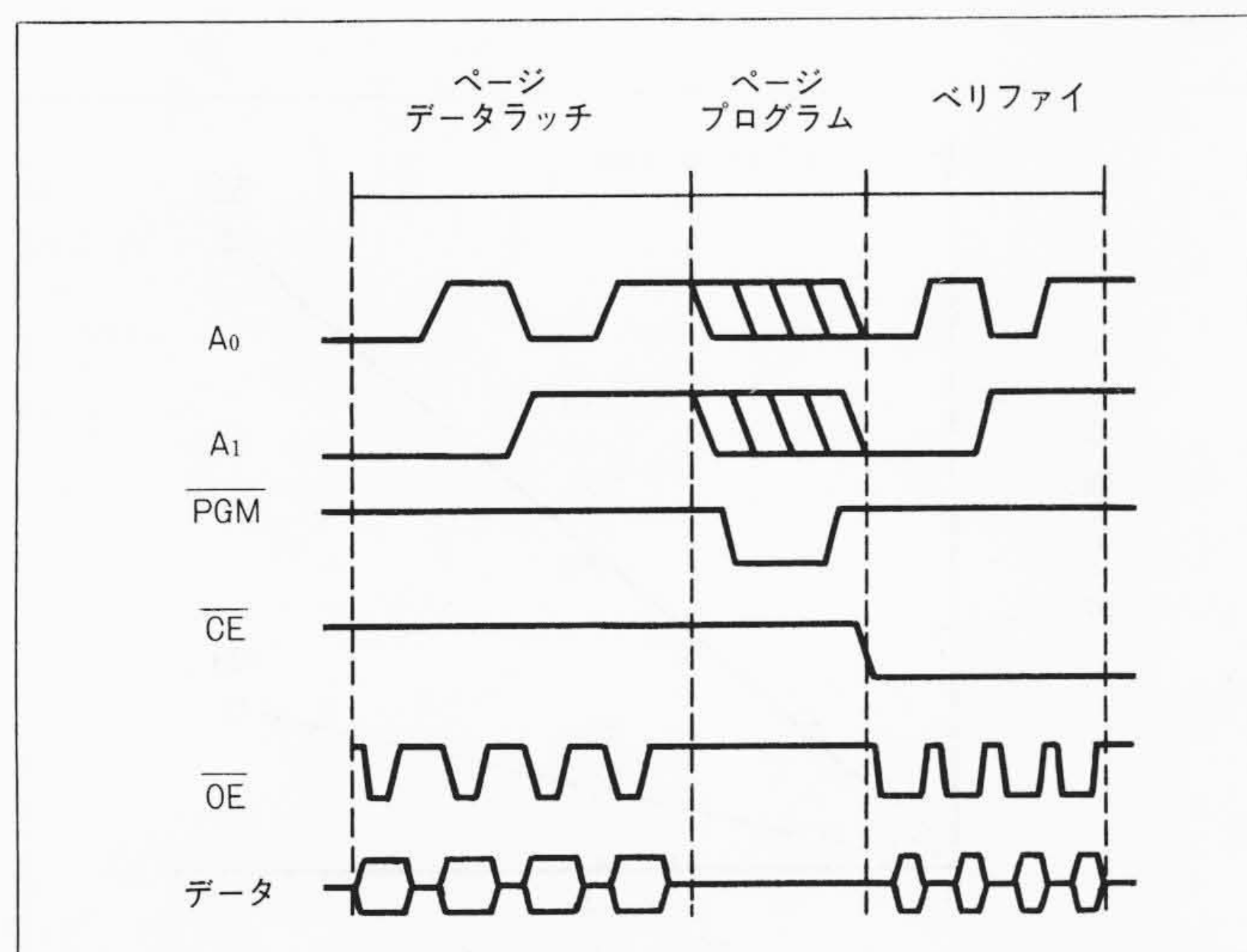


図7 ページプログラムのタイミングチャート $\overline{OE}$ に V_{IH} を印加してページモードとし、 $\overline{OE}$ のクロックで4バイトのデータを連続的にラッチに取り込む。その後、一度に4バイトを書き込む。

ラッチの入出力部にはモード切換え用のトランスファゲートを設け、それぞれデータのラッチ入力、ラッチからのデータ出力のコントロールに用いた。ラッチからのデータにより書込みトランジスタを制御し、“0”書込み時にはデータ線に高電圧を印加する。また、通常のバイトモードではラッチはバイパスされ、入力データで直接書込みトランジスタを制御する。

4.2 センスアンプの設計

書込み量の変化、すなわちM(メモリ素子)の“0”と“1”の情報を識別する微小信号電流を正確に検出するためには、動作マージンの広い高性能のセンスアンプが必要となる。

図9にCMOS EPROMで用いられているセンスアンプ回路を示す。本回路は、Mのドレイン電圧を一定にするように、インバータを介してトランジスタ Q_2 のゲートにフィードバックをかけた構成となっている。Mのドレイン電圧がほぼ一定なため、Mのゲートすなわちワード線に信号電圧が印加されると、メモリに蓄えられている情報に従ってMに一定の電流が流れる。“0”と“1”に対する電流差を増幅して、必要な論理信号を得ることができるかどうかは駆動回路と負荷回路の動作状態で決定される。駆動回路の電流はメモリの性能か

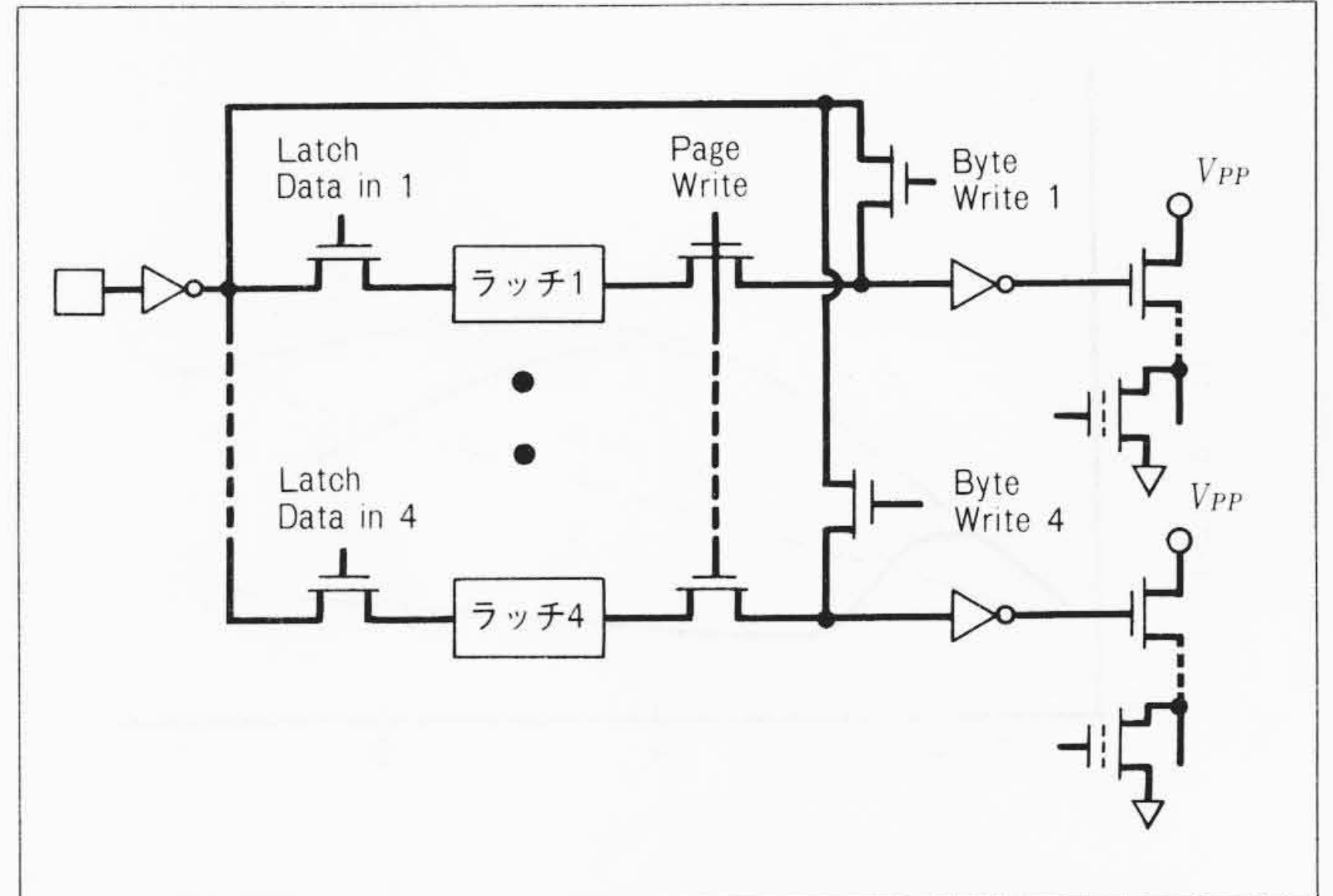


図8 ページプログラム回路 4バイトのデータを蓄えるため、四つのラッチを設けている。

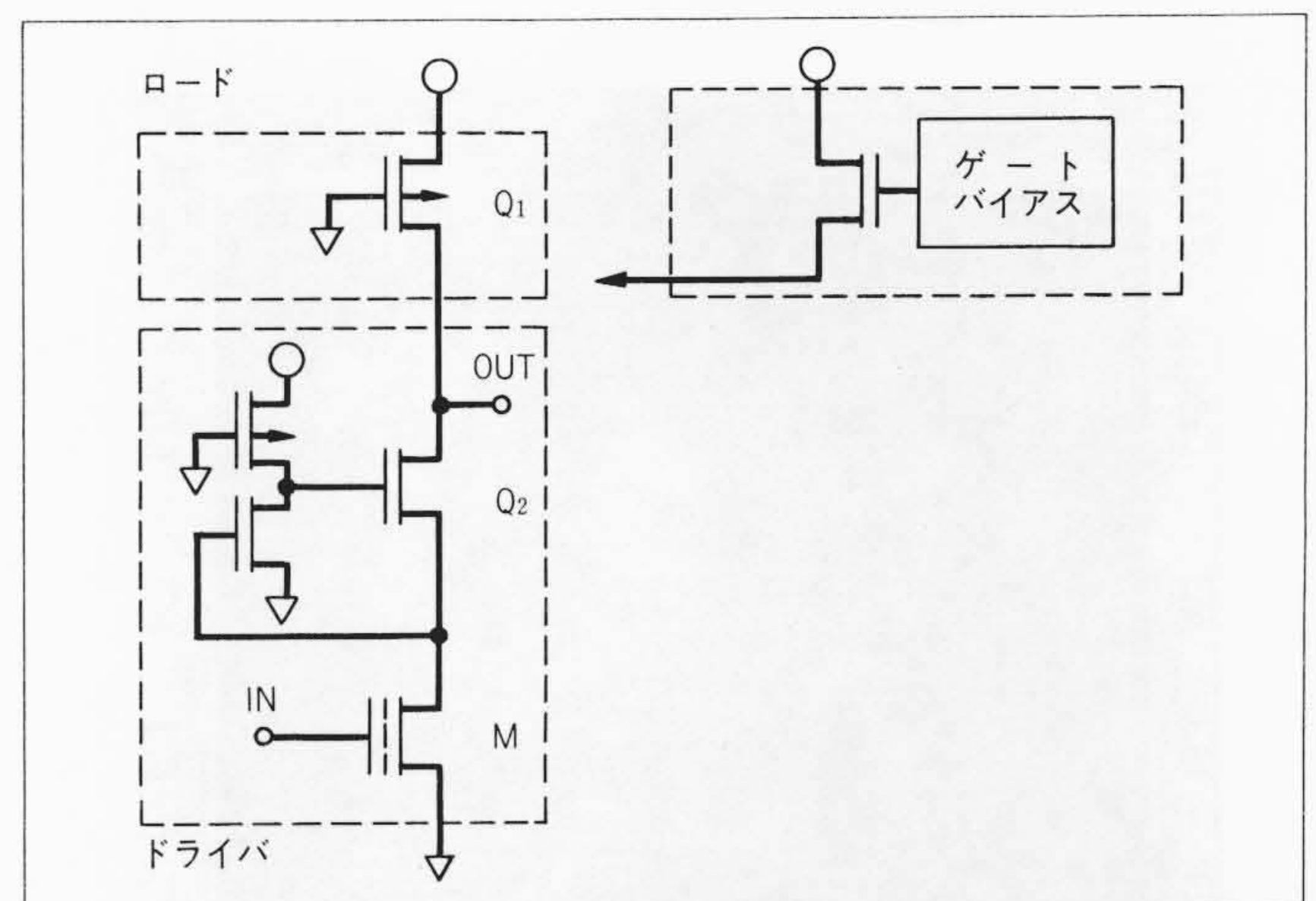


図9 センスアンプ回路 より安定な動作を実現するよう、センスアンプの負荷回路を実現した。

ら決定されるため、安定動作を実現するためには負荷回路の最適化が重要であった。

図10にセンスアンプの動作時の内部電位を示す。“0”に書き込まれたMには、回路を動作させる電圧 V_{cc} が高くなり、そのしきい値電圧を超えると電流が流れる。このメモリ電流に伴い、センスアンプの出力電圧が低下し“0”と判定しなくなる。本製品では V_{cc} 電圧を検出して負荷トランジスタのゲートをコントロールする回路を付加し、出力電圧の低下を防いだ。これにより、微小な電流変化を大きな出力振幅にすることができ、安定で高感度な検出が行なえる。

5 主要特性

図11にチップ写真を示す。チップサイズは、 $6.50\text{mm} \times 6.92\text{mm}$ である。図12にアクセス時間の電源電圧依存性を示す。電源電圧5V、温度 25°C の標準条件で115nsである。

図13に動作電源電流の周波数依存性を示す。標準条件、周波数1MHzで6.5mAである。この値はNMOS(NチャンネルMOS)256kビットEPROMの $\frac{1}{7}$ 程度である。

図14に書込み特性を示す。同図は書込みパルス幅の最小単位を変えた場合に読み出し $V_{cc\max}$ を6.0V以上とするためのトータルの書込み時間を示したものである。書込み電圧12.5Vの標準条件で0.1ms以下で書き込めるという結果を得た。

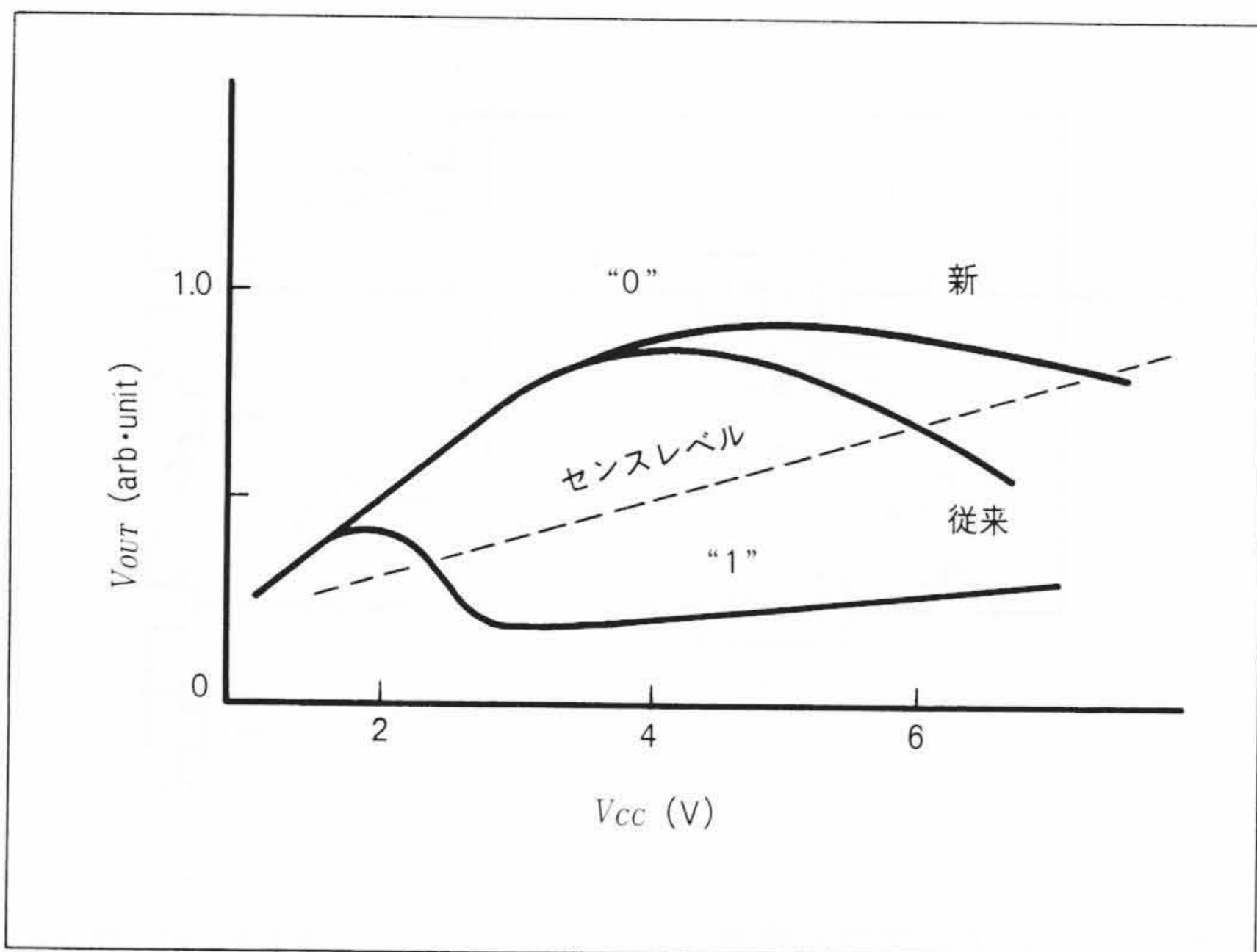


図10 センスアンプ内部電圧 負荷回路の改良により、広い動作範囲をもつセンスアンプ特性が得られる。

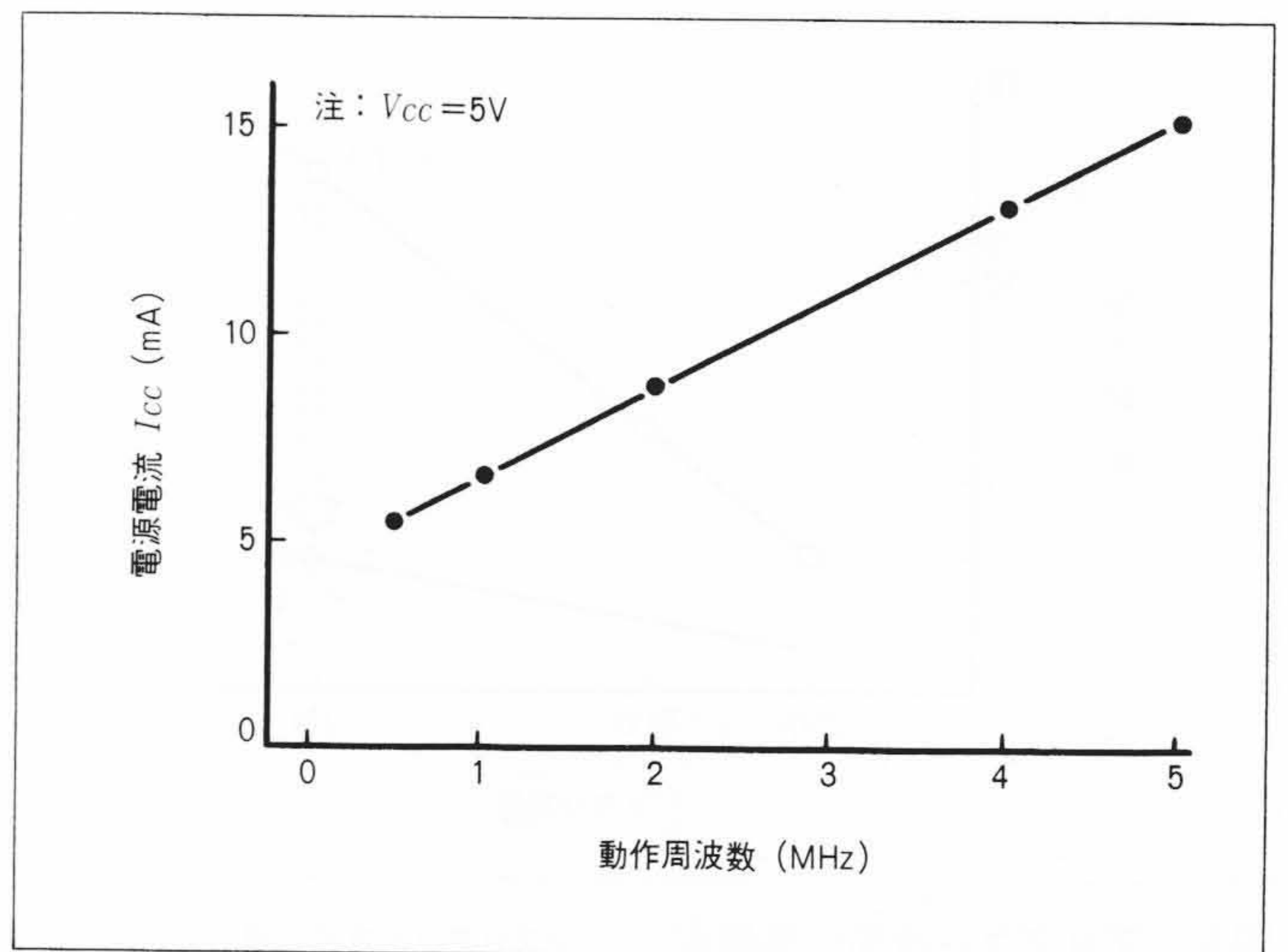


図13 動作時電流の周波数依存性 標準条件周波数 1MHzで、電源電流は6.5mAである。

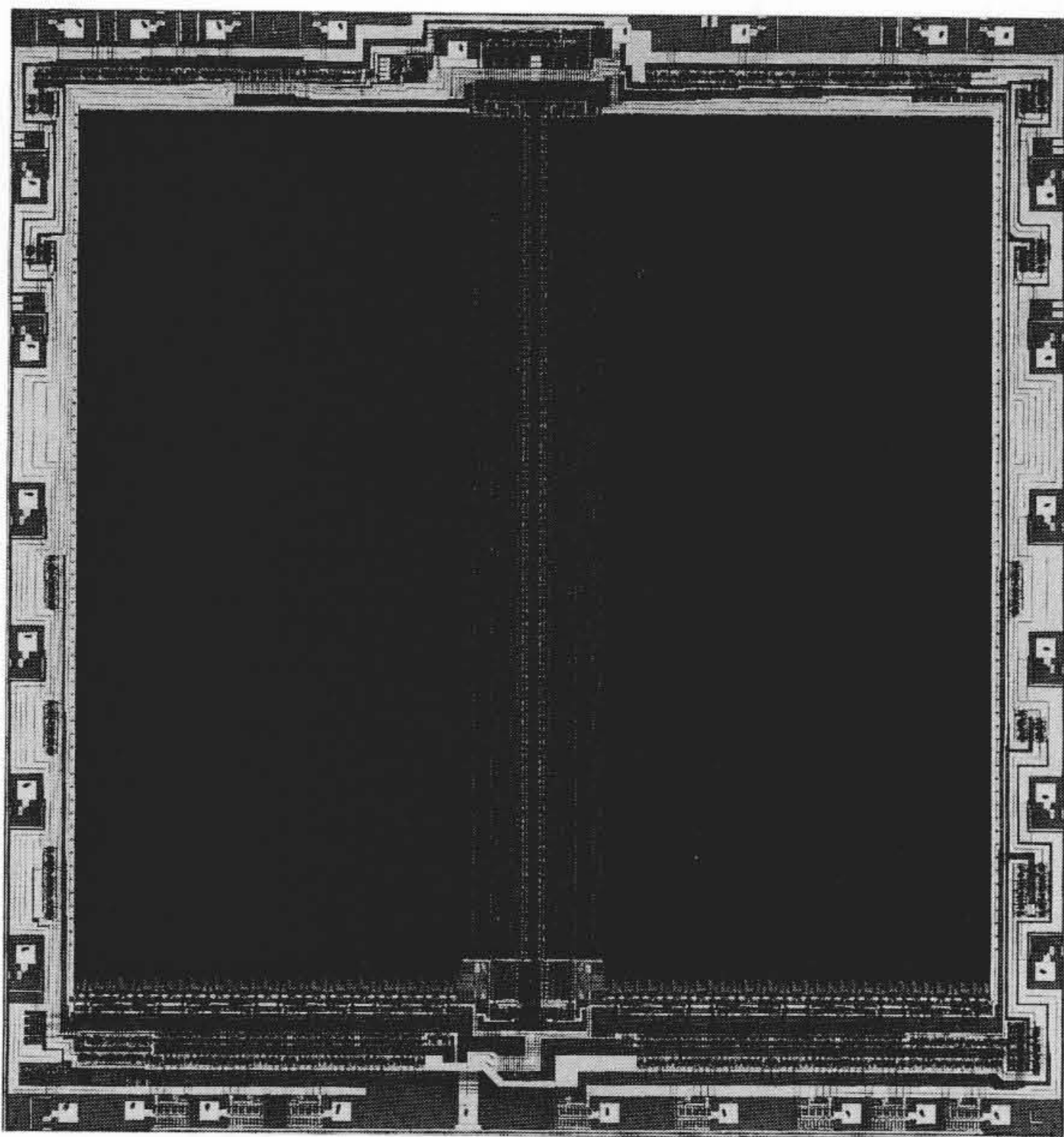


図11 1MビットCMOS EPROM(HN27C101のチップ写真) 128kワード×8ビット構成の1MビットCMOS EPROMのチップ写真を示す。チップサイズは、6.50mm×6.92mmである。

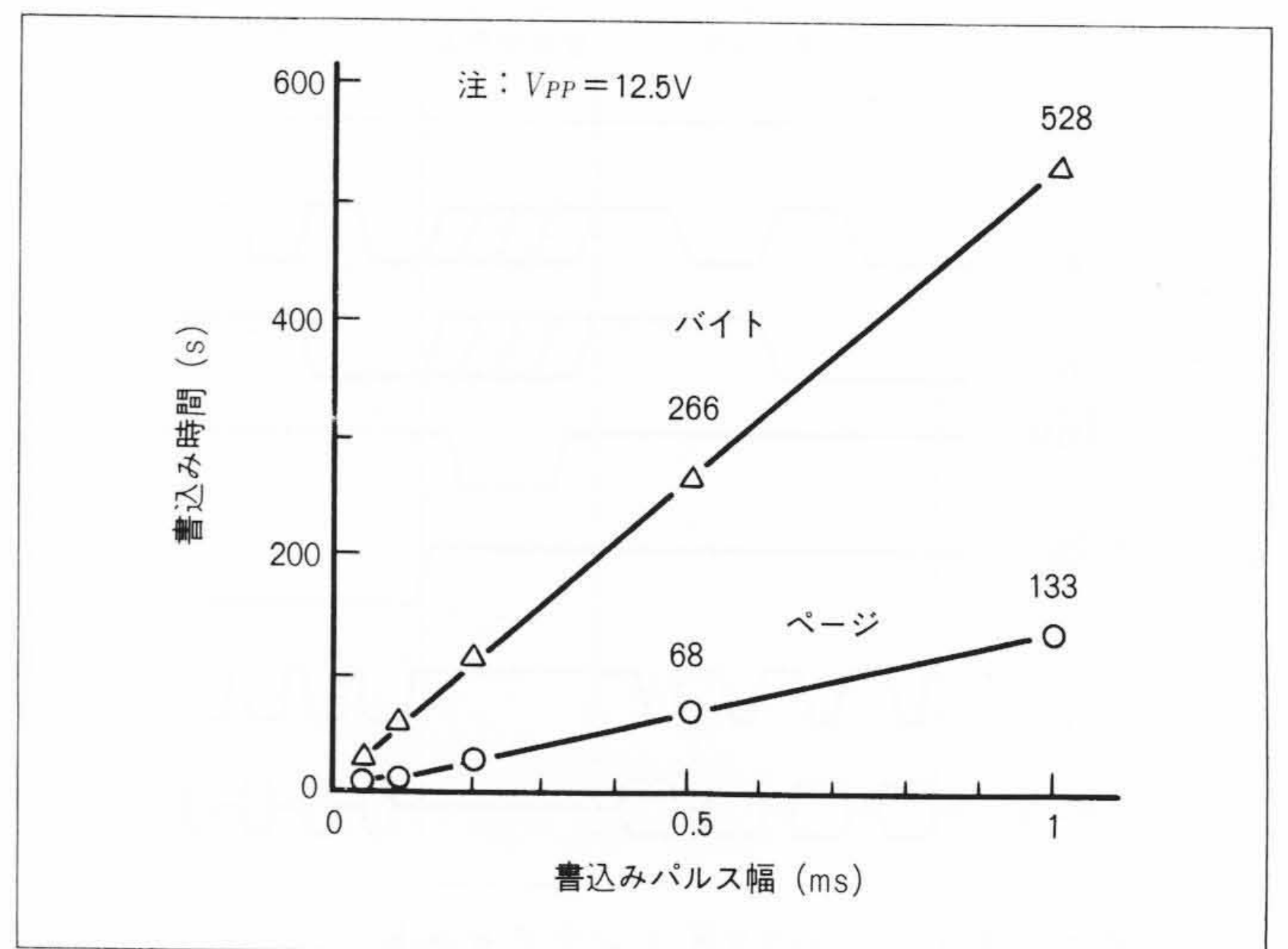


図14 書き込み時間比較 ページプログラム方式により、書き込み時間はバイトプログラム方式の1/4となる。書き込み可能な最小パルス幅は、標準条件で0.1msである。

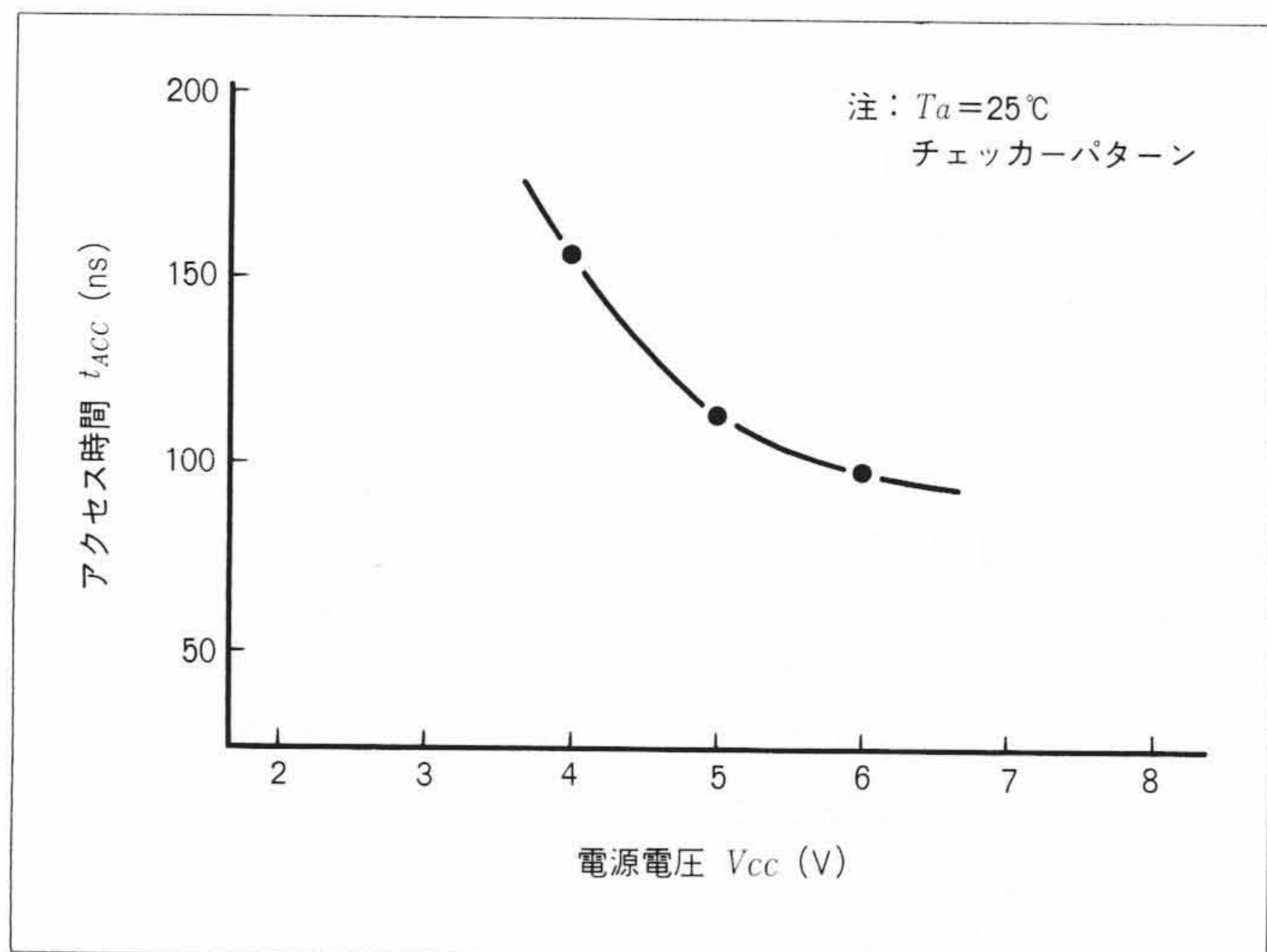


図12 アクセス時間の電源電圧依存性 標準条件でアクセス時間は、115nsである。

6 結 言

最新の $1.3\mu\text{m}$ CMOS技術を採用し、高性能1MビットCMOS EPROM “HN27C101”を開発した。大容量化で問題となるプログラム時間の増大に対して、まず、複数ビットを同時に書き込むページプログラムの導入を行なった。また、書き込み効率の高い新メモリ素子を採用し、更に微小な書き込み信号を高感度でセンスするため、センスアンプの改良を行なった。ページプログラム方式の適用により、書き込み時間は256kビットEPROMの $\frac{1}{10}$ に短縮が可能である。アクセスタイムは標準条件で125ns、消費電力は動作時32.5mW、待機時0.5 μW である。JEDEC標準ピン配置のHN27C101と1MマスクROMとのピン配置を含めて、互換性のあるHN27C301を同時開発し、8ビット系のEPROM製品系列を強化した。

参考文献

- 1) T. Hagiwara, et al.: Page Programming 1Mb EPROM, ISSCC Dig. Tech. Paper, pp. 174~175 (1985)
- 2) Don Knowlton: Versatile Algorithm, Equipment EPROM Programming Time, EDN Mar. 17 (1983)