

半導体製造装置の動向

Trend of VLSI Manufacturing Equipment

超LSIのシステム応用の将来展開に対応するため、その製造技術としては、サブミクロン寸法デバイスの 10^7 デバイス/チップ以上の超高密度集積を前提とした大量生産と、品種多様化に対応した特定顧客向けの短納期生産手段の実現が必要となる。デバイス構造の微細化、複雑化に対応して新原理の加工技術が試作レベルでは検討されているが、今後これを生産現場で通用する技術、装置として確立するため、相当の努力が必要と思われる。将来の自動生産システムは、閉ループ制御の要素プロセス装置とウェーハ搬送装置の結合、そのコンピュータによる統轄で実現されねばならない。

徳山 巍* Takashi Tokuyama

本田俊彦** Toshihiko Honda

1 緒言

超LSIの技術指標のひとつとして引用されるDRAM (Dynamic Random Access Memory)の集積密度と、これに組み込まれるデバイスの設計寸法をとれば、最近の半導体業界では、1 MビットDRAM(デバイスの設計寸法 $1.3\mu\text{m}$)が量産に移行し、次世代の4 MビットDRAM($0.8\mu\text{m}$)の技術開発はその集約段階にあり、研究開発の努力は次々世代以降の $0.5\mu\text{m}$ デバイスに向けて注がれつつあるという状況になっている。

一方、超LSIのシステム応用への展開は、デバイスの量産による低価格供給体制の確立とともに顕著に拡大しつつあり、その多様化とともに、標準品種超LSIの量産ばかりでなく、多品種少量生産の特定顧客向け超LSIの設計製造体制整備の必要性が高まりつつある。

このような情勢を反映して、半導体製造設備、検査設備の開発も極めて活発に行なわれ、特にサブミクロンデバイスの生産を実現するために必要とされる、従来とは異なる原理やアプローチに基づく加工装置、評価検査装置の開発に力が入られている。同時に、 $1\mu\text{m}$ デバイス量産化の時代に対応して、ウェーハの搬送や製造設備の自動化、製造プロセスのコンピュータ制御を目標とした生産システムの確立に向けてのハードウェア及びソフトウェア開発も推進されている。

2 サブミクロンデバイス開発の動向

MOS (Metal Oxide Semiconductor) トランジスタでは、チャンネル長などの構造寸法を $1/K$ に縮小したとき、印加電圧も $1/K$ とすれば、消費電力密度が変わらずに回路当たりの遅延時間を $1/K$ にできるというスケーリング則が知られている。トランジスタの小形化は性能向上をもたらすと同時に、高密度集積を可能にしてチップ面積の縮小による製造歩留まりの向上に結び付く。これが今日の超LSI開発の基本的方向付けを与えている。

しかし、構造寸法の縮小に伴って、トランジスタ内部の電界の局部的高まりや、製造のばらつきに起因する電気的特性のばらつきなどスケーリング則に乗らない現象が目立ち始めるようになった。これを回避するため、コンピュータを用いたデバイスの動作解析、構造解析に基づく設計の見直し、高精度・高信頼加工技術の開発に努力が集中された結果、トランジスタの印加電圧を低下することが許されるならば、現状

ではチャンネル長 $0.2\mu\text{m}$ 程度までのMOSトランジスタは正常動作が可能と推定され、また実験の報告もみられている。

回路を構成する抵抗やキャパシタについても、比例縮小のほか新材料の採用による材料定数の変更も含め、微小化が行なわれている。DRAMの情報記憶用キャパシタでは、外部からの放射線入射によるメモリの誤動作を防ぐためキャパシタの容量に下限値が設定されるが、トランジスタが微小化するに従いメモリセル内に占める相対的面積が大きくなるという問題がある。このため、キャパシタを従来の平面形配置から縦形に変えて平面面積の縮小を図る技術が開発され、1 Mビット、4 MビットのDRAMで試作の発表が相次いだ。

図1にはキャパシタを縦形とし、更にその上にトランジスタを積層して配置した将来形の3次元構造メモリセルの原形を示した。トランジスタをも縦形としてキャパシタの上に積層した例の報告もあり、こうした高集積密度化を目指すデバイス構造の開発は、これを実現するプロセス技術の新しい展開を必要としている。

配線については平面面積を縮小すると、電流密度を一定に保つ点からは縦横比の大きい断面形状が必要になり、加工に困難をもたらす。これを避けるため、抵抗率の低い材料の使用が必要であり多結晶Siに代わる各種金属のシリサイド、耐熱性金属などが採用されている。配線の平面占有面積低減の点からは、配線層数の多層化技術が、また微小デバイスの浅い接合に接合を損傷することなしに電極を形成し、配線を形成する技術がそれぞれ今後必要と考えられている。

3 加工技術の開発動向

3.1 リソグラフィ

現在超LSIの量産に使用されている光学方式の縮小投影露光装置は、 $0.8\mu\text{m}$ 世代まで改良により拡張可能と目されている。しかし、 $0.5\mu\text{m}$ デバイスの量産技術の中心的役割を果たすリソグラフィの方式については、幾つかの候補が挙げられているものの、いずれも決定的優位性に欠け、今後多大の開発努力が必要と思われる。

電子線、イオン線による露光は、 $0.5\mu\text{m}$ の線幅まで十分に使用可能であるが、ビーム走査方式の直接描画形では、高集積密度のチップ生産に対してスループット不足という大きな

* 日立製作所中央研究所 工学博士 ** 日立製作所生産技術部

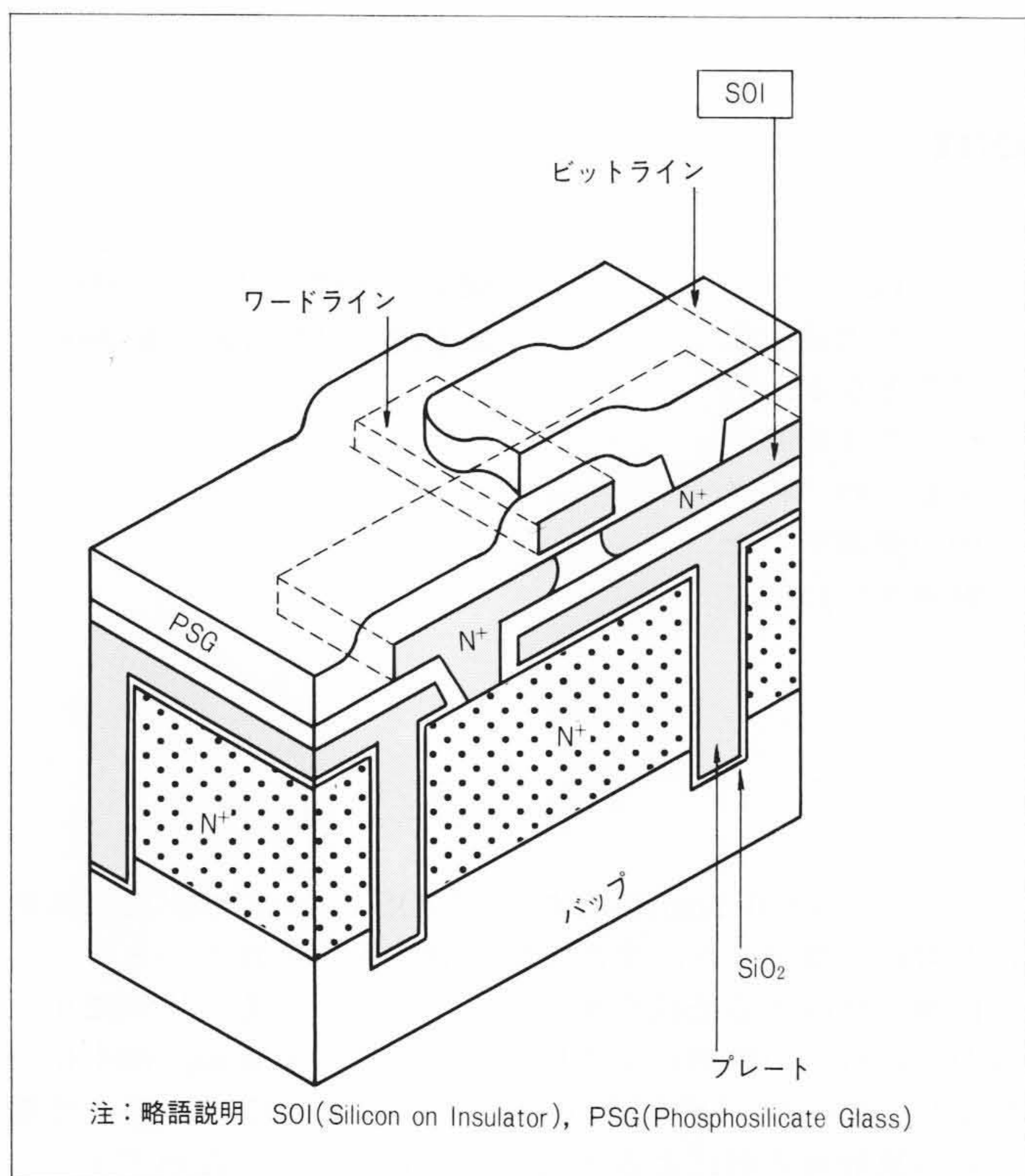


図1 3次元構造のメモリセル 縦形キャパシタの上にスイッチングトランジスタを積層した将来形のメモリセル構造を示す。

問題点がある。

X線方式は、強力線源としてシンクロtron放射光が開発されれば、ステッパ方式で量産にも適用可能なスループットが期待できるが、サブミクロンの実寸マスクの製造・検査・修正という、まだ経験したことのない大きな困難を解決しなければならない。

ホトカソード形マスクによる電子線の一括投影露光、マスクを用いたイオン線の縮小投影露光は、X線方式に対抗できる基本的性能をもっているが、開発が未成熟で現時点では結論を下しにくい。

光学方式でもエキシマレーザなどの短紫外光を用いる方式や、CEL(コントラスト強調層)などの露光現象プロセスの改良によって、0.5 μm 領域までの可能性を示すデータが最近発表されつつある。またX線、電子線と光学方式の混用も考えられる。

3.2 ドーピング技術

チャネル長がサブミクロンのMOSトランジスタでは、ソース、ドレイン接合の深さは0.1 μm のけたであり、かつ接合の電界緩和の目的で作られるLDD(Lightly Doped Drain)構造で要求される横方向の接合の広がり精度は0.01 μm のけたになるであろう。このような精度の高い不純物ドーピングでは、全熱処理工程について、その温度と処理時間の見直しが必要になる。図2は温度と時間の関数として拡散による不純物の移動距離を示したもので、0.1~0.01 μm 領域で許容できる熱処理工程の範囲が推定できるであろう。高温短時間熱処理の目的からRTA(Rapid Thermal Anneal)方式が注目されている。強力ランプを用いた光吸収による加熱方式であるが、この方式では加熱の時定数が小さいため、アニールや拡散などのプロセスは、熱平衡下の現象として予測できる。

浅い接合形成には低エネルギーのイオン打込みとRTAの組

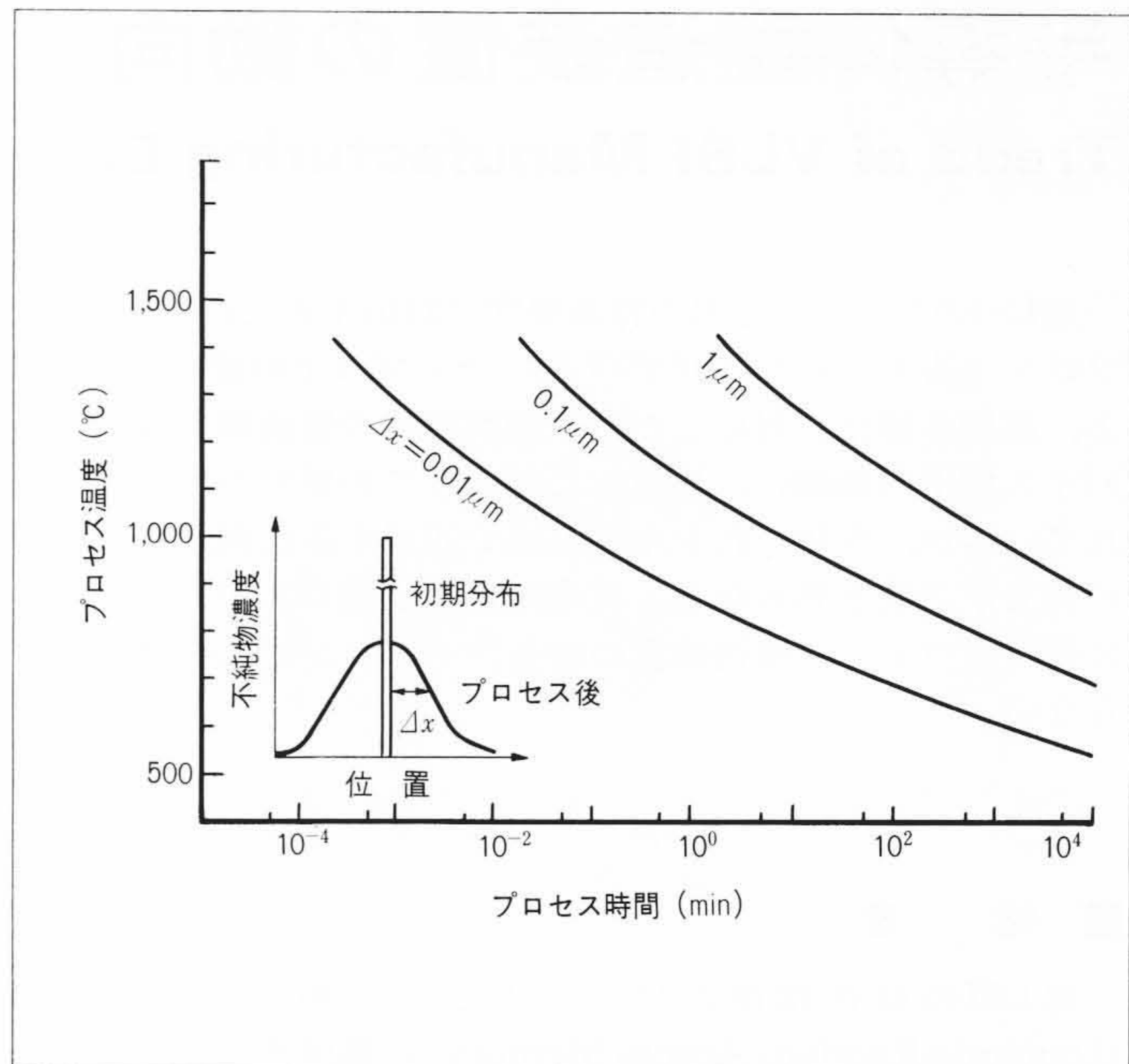


図2 熱処理による不純物分布の広がり デルタ関数形の初期分布が、熱処理条件により Δx の幅に広がる。例えば、900℃、1分の処理で Δx は0.01 μm に達する。

合せが基本的なプロセスとなるが、10keV以下のエネルギーで十分なイオン電流の引き出せるイオン打込み装置の開発や、チャネリング現象に基づく深部までのイオンの到達を防ぐ技術の開発が今後必要になる。また、金属やシリサイドの薄い層をSi基板上に設け、これを通してイオン打込みを行ない、基板内の不純物分布を浅く制限するとともに打込み層への電極形成を同時に行なう方法が、種々の変形を含めて使用されるであろう。

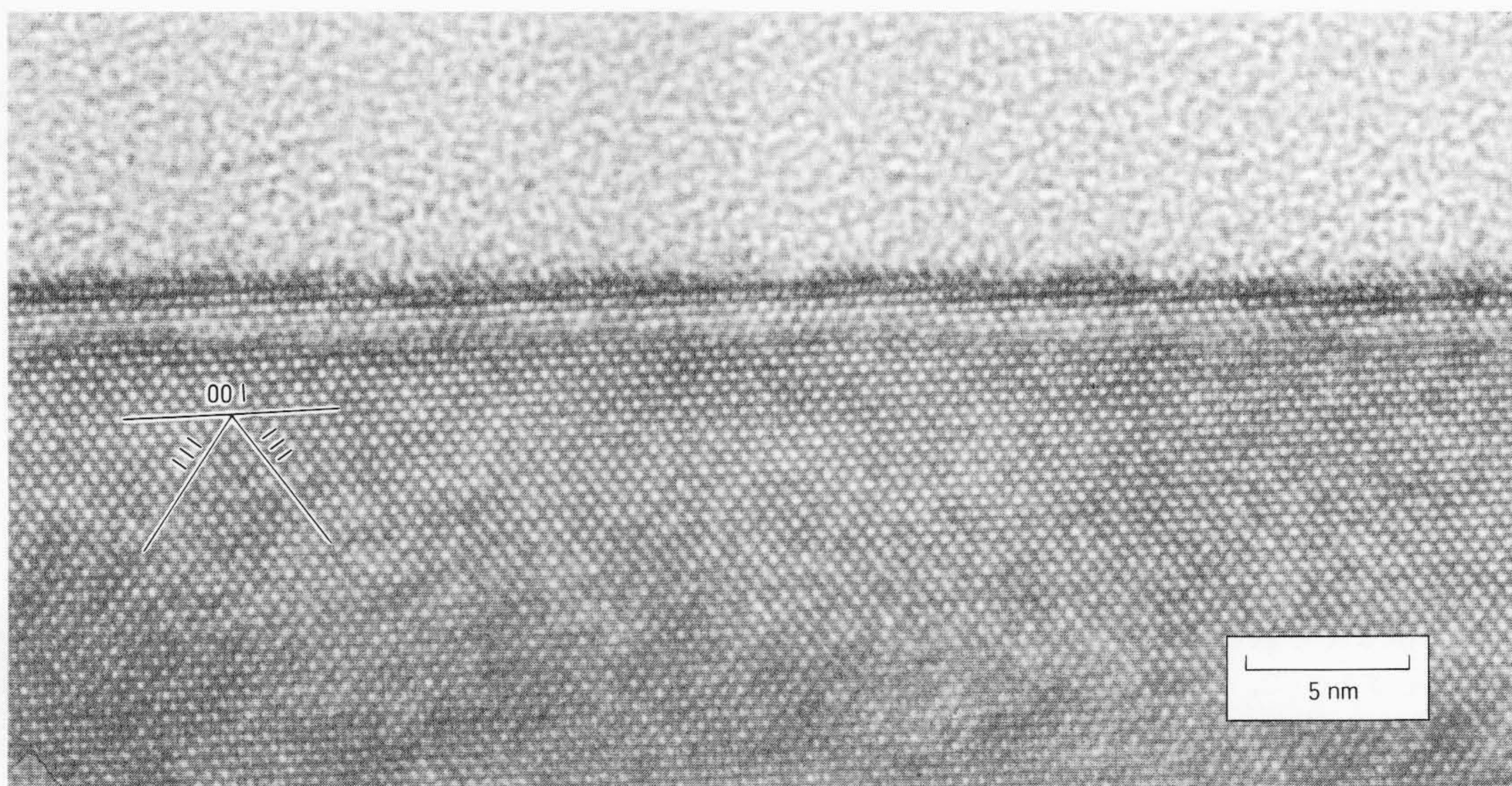
図1に示した縦形の溝側壁部分への不純物ドーピングは、デバイスの3次元化に伴い将来必要な技術であるが、イオン打込みでは対応困難な部分である。

イオン打込みの高エネルギー化も新しい技術の方向である。CMOS(Complementary MOS)回路の動作不良を防ぐ目的からウェル構造を作る不純物の分布を、中で高く表面で小さいRetrograde形とする要求や、配線完成済みの標準ウェーハの表面から深部にあるデバイスの特性を変えてチップをカスタム化する手段として数メガ電子ボルトまでの打込み装置が必要とされている。

3.3 膜形成とエッチング

超LSIとしては、膜厚の薄くなることへの対応、段差のある下地上への均一な回り込みたい積、下地材料との接続界面での構造的関係の改善などの諸点に問題があり、また全般的方向としては形成プロセス温度の低温化、大形ウェーハ上での均一なたい積が求められている。

薄い酸化膜の典型例はMOSトランジスタのゲート絶縁膜である。10nm以下の膜厚で1~10MV/cmの電界に耐えられる短期的・長期的絶縁耐圧の確保、膜中や基板Siとの界面にできる構造欠陥に基づくと思われるキャリアのトラップ減少が必要であるが、膜形成プロセスとの明らかな対応が系統的に理解されていない。図3は、熱酸化法によって作られたSi-SiO₂界面の断面を高分解能電子顕微鏡で格子像として観察した結果を示すもので、構造的には非晶質の酸化膜と単結晶Siとの界面は極めて急しゅんであることが分かっている。MOS構造の



注：(001)，(111)の記号は，結晶面の方向を示す指数である。

図3 SiO₂-Si界面の高分解能電子顕微鏡写真 SiO₂側(図の上側)は非晶質で構造は無定形であるがSi側(図の下側)はSiの原子配列に対応した格子像が見られ，その境界は急しゅんである(日立製作所中央研究所で撮影)。

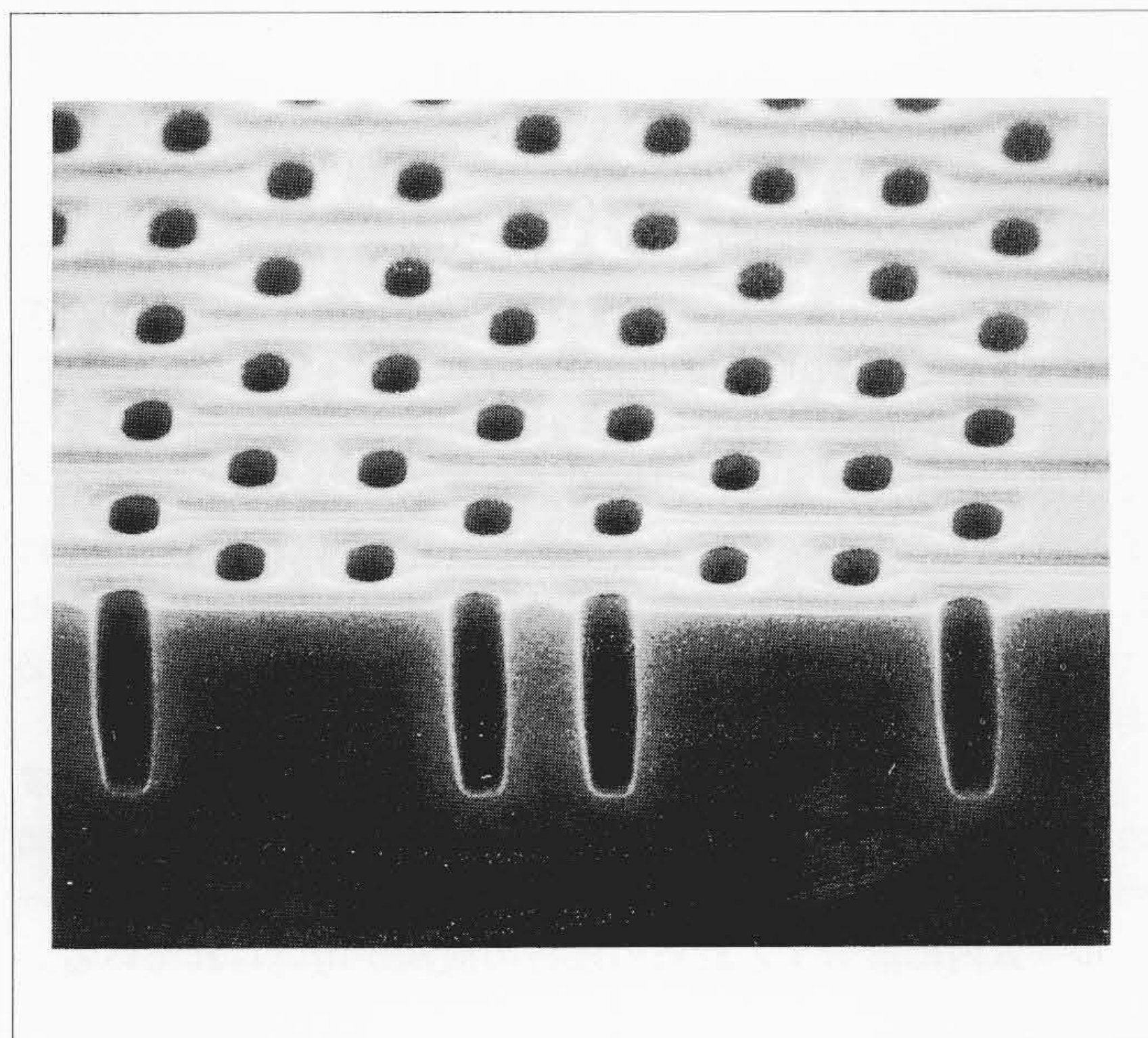


図4 Si表面に形成された縦溝の例 溝径は1μm，溝深さは4μmである(日立製作所中央研究所で撮影)。

最終理想形は，金属，酸化膜の各層を単結晶化し，基板Si上にエピタキシャルに成長することであり，現在CaF₂(絶縁物)とSi，AlとSiでは既にエピタキシャル成長の界面が得られている。

CVD(気相科学反応)法による膜形成をより低温で行なうためには，熱以外の形で反応系へのエネルギーの供給が必要であり，プラズマや光照射により分解反応の促進，励起状態の実現により行なわれている。プラズマ法は一般にたい積の速度は速いが，荷電粒子による表面層の損傷が装置の形態によっては問題となる。光照射では，基板表面に吸着した反応種の分解や基板原子との反応を促進する方式，気相中での分解反応を促進する方式などが知られており，照射光の波長選

択，照射方法の構成，光源としてレーザを用いるかランプかなど，いろいろの可能性があり，今後の開発課題である。

下地の段差部分でのたい積の形は，気相中で反応が起こり粒子として飛来する方式ではその方向性に，また基板に吸着された層で反応するときには，光のシャドウ効果や吸着子の移動度などによる。前者の場合には平均自由行程を長くする(系の真空度を上げる)ことや，荷電粒子としてたい積する場合には電界による方向性を与えることが効果をもつ。配線層の形成では，段差部でのたい積の形がこの部分での断線の有無に直接関係する重要な因子となる。

エッチングは既に大半がドライ化している。たい積と同じくプラズマや光の照射により反応の制御，マスク端でのエッチング形状制御が重要である。図4は縦溝のエッチングを行なった例を示す。縦横比が大きく，深い溝では溝の底部や内壁の観察が極めて難しく，また溝の形状の意図的制御が必要となる。

ドライエッチの他の難点は，材料によるエッチ速度の差を大きく選ぶことが難しいことであり，エッチングに用いるガスの組成，真空度や外部から与える励起の強度などのプロセス条件の最適化でこれにこたえている。反応の素過程を詳しく調べ，モデリングによる予測で対応することが今後極めて重要な課題となるであろう。

3.4 プロセス総合技術

デバイス製作は前項までに述べた加工プロセス要素技術の組合せ，シリーズ化によっている。幾つかのプロセスについては禁則的考察が必要で，その組合せ順序が結果に重要な影響をもつ。前後のプロセスとのかかわり合いの効果，あるいはプロセス間の洗浄や乾燥，保管といった部分が最も不透明でノウハウに頼っている。これは主として適正な計測評価検査装置の不足していること，及びこの段階での種々の要因が，その後のどの段階のプロセスにどのような形で影響をもち，最終製品の特性にどのように影響するかが，系統的にほとんど解明されていないことによっている。現象の傾向を統計的に知ること以外に，その裏にある物理・化学現象の解明に最も力を注がねばならない。

4 製造装置の開発動向

4.1 新原理プロセスの生産技術化

現在、試作ないし実験レベルにある新原理に基づくプロセス技術を、生産現場での量産に耐えられる技術、装置として今後確立してゆかなければならない。X線リソグラフ、光CVD、超高真空蒸着、高エネルギーイオン打込みなどの技術がこれに相当する。操作性、信頼性をはじめ均一性、スループット拡大などの基本的要請にこたえる必要がある。

4.2 ウェーハ大形化、処理温度の低下

ウェーハ大形化は、チップ大形化に伴う収率向上の点から必要とされているが、これに伴って、従来バッチ処理で実施されてきたCVDなどの膜たい積や拡散炉などは、プロセスコンセプトの変更を余儀なくされるであろう。図5はウェーハ大形化のトレンドを示すもので、既に直系20~25cmの大形ウェーハのハンドリングに対処した装置の開発を考慮すべき時期となっていることを示している。

高温中で大形ウェーハを取り扱うと、反りなどにより結晶欠陥が発生するが、凹凸の多い表面構造や異種材料の入り組んだ積層構造の界面、端面でも熱処理による欠陥の発生があり、デバイス特性低下の原因となる。拡散、酸化、CVDなどのプロセス温度を低下させる技術が検討されているが、これを生産装置に導入することが今後必要である。

4.3 局部加工装置の開発

大形チップやマスクなど、付加価値の高い部品の最終に近い工程での収率を上げる点からは、局部加工による部分補修技術も必要性を増すものと思われる。標準チップから特定顧客向けの少量多品種LSIを短納期で製造するためにもこの技術は必要である。イオン線、レーザなどのビーム走査による局部反応が主となるが、微少部反応の分解能や補修点を探し出し、ビームをアドレスする機構などが重要になる。

4.4 インプロセス計測制御から自動生産システムへ

製造装置の自動化によりプロセス設定条件を入力することは一般に容易になったが、プロセス中の条件をインプロセス計測し、これをフィードバックできるタイプの装置は限られている。次善の策としては前段プロセスを完了したウェーハ

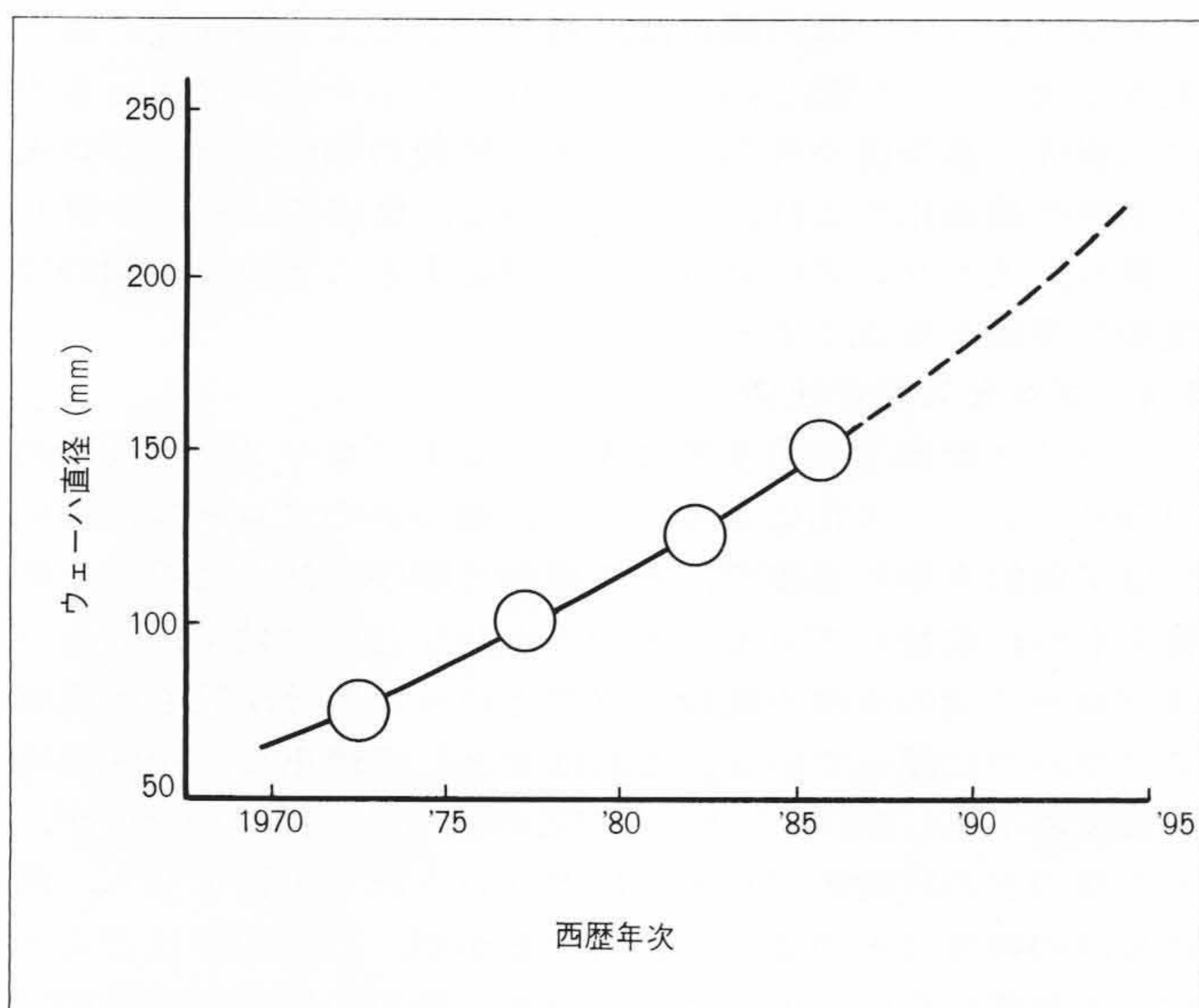


図5 VLSIプロセスに投入されたSiウェーハ直径の年次推移 今後数年のうちに直径200mmウェーハの実用期に入る。

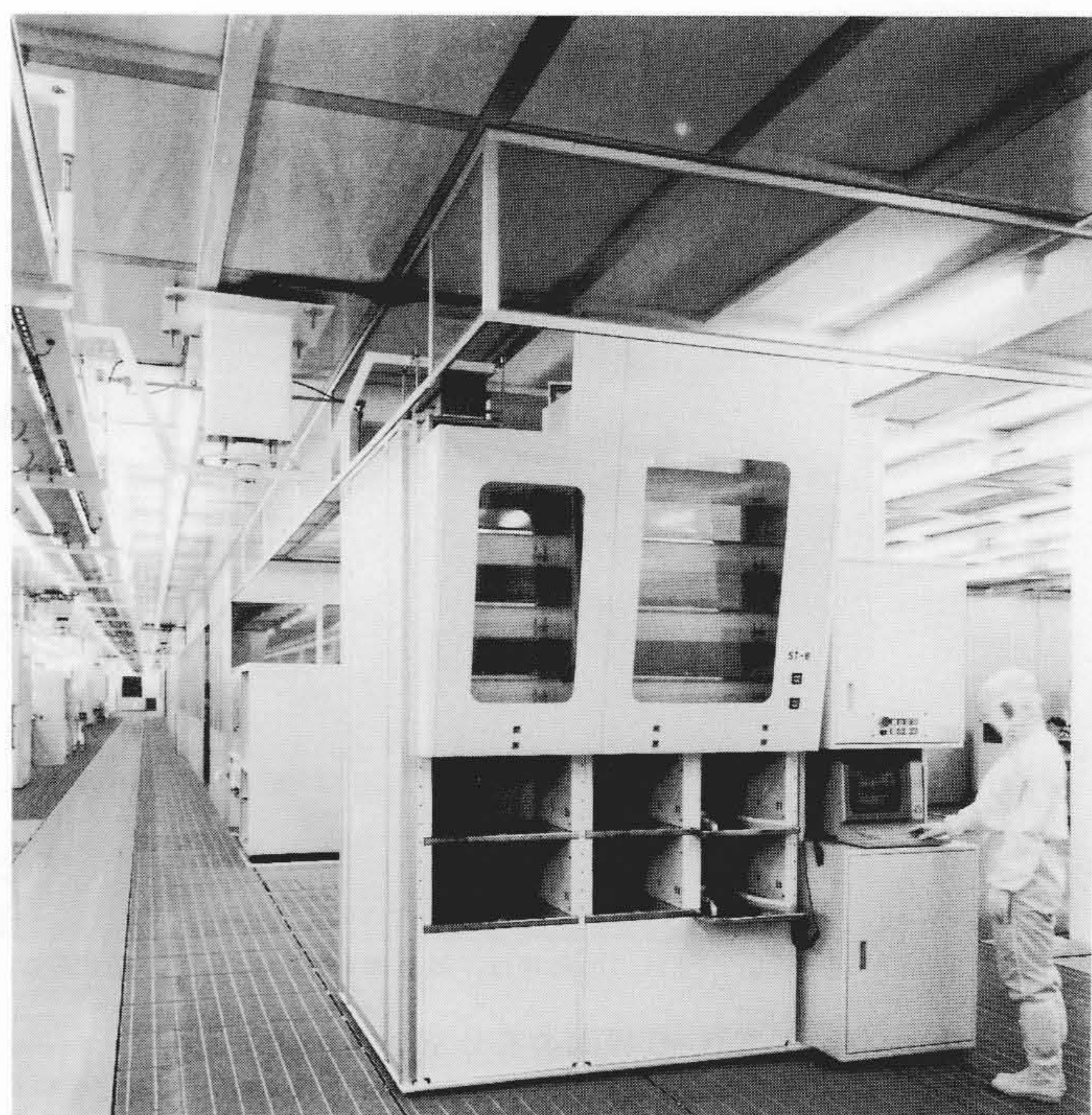


図6 天井走行形無じん搬送装置 受渡しステーション上の旋回ロボットが、空気浮上式リニアモータ駆動方式の搬送装置からウェーハボックスをつり上げ荷降ろしを行なっている状況を示す(写真提供は、日立機電工業株式会社による)。

の諸パラメータを計測して、これを次段プロセスの条件にフィードフォワードする方式の確立も必要である。超LSIの全工程は細かく見れば100工程以上にもなるが、各要素プロセス内、プロセス間に無数の閉ループを構成し、これをコンピュータで統轄し、またウェーハの搬送システムと組み合わせて全ライン自動化の生産システムを開発しなければならない。これにはハードウェアとしての機器装置の開発とともに、プロセス自体のモデル化やシミュレーション技術の大幅な前進が必要である。

また、プロセスのクリーン化や安全対策、大形化する装置の省エネルギー対策も重要な要素である。図6は生産装置間のウェーハ搬送を行なうロボットの例を示すもので、クリーンルーム内に設置するための独特の機構が用いられている。

5 結 言

サブミクロンデバイスを超高密度集積した将来の超LSIの動向を、加工プロセス及び製造装置の面から述べた。サブミクロンデバイスは試作レベルでの検討は進んでいるものの、これを 10^7 デバイス/チップのけたの集積度で量産化することを考えると、生産技術、製造装置面ではまだ解決すべき大きな問題を残している。

将来の生産システムは、閉ループ制御のできる要素プロセス装置とウェーハ搬送とを結合して、コンピュータで統轄した全自動システムでなければならないが、ウェーハの大形化や新原理プロセスの採用などによって、生産システムへの投資が巨大化し、経営的見地からの検討も必要になる。新展開する超LSIの分野で、高集積化によって維持されてきた製造コスト低減の従来路線を継続するためには、製造歩留まり向上策を徹底的に追求すると同時に、製造装置寿命の長期化や簡略化、省エネルギー化した専用装置の開発などにも力を注がねばならない。