

小形パッケージ用リードフレーム

半導体装置を搭載した電子機器が小形化、多機能化、高信頼化する中で、半導体装置に対しては、高集積化、多機能化、小形化のニーズが高まっている。このため、チップの大形化、多ピン化を図る一方、パッケージの小形化

が必要となってきた(図1)。

この発明では、この相反する二つの問題を解決するために、図2に示すように、パッケージのコーナーとなる部分に着目し、この部分からタブをつるようにしたものである。

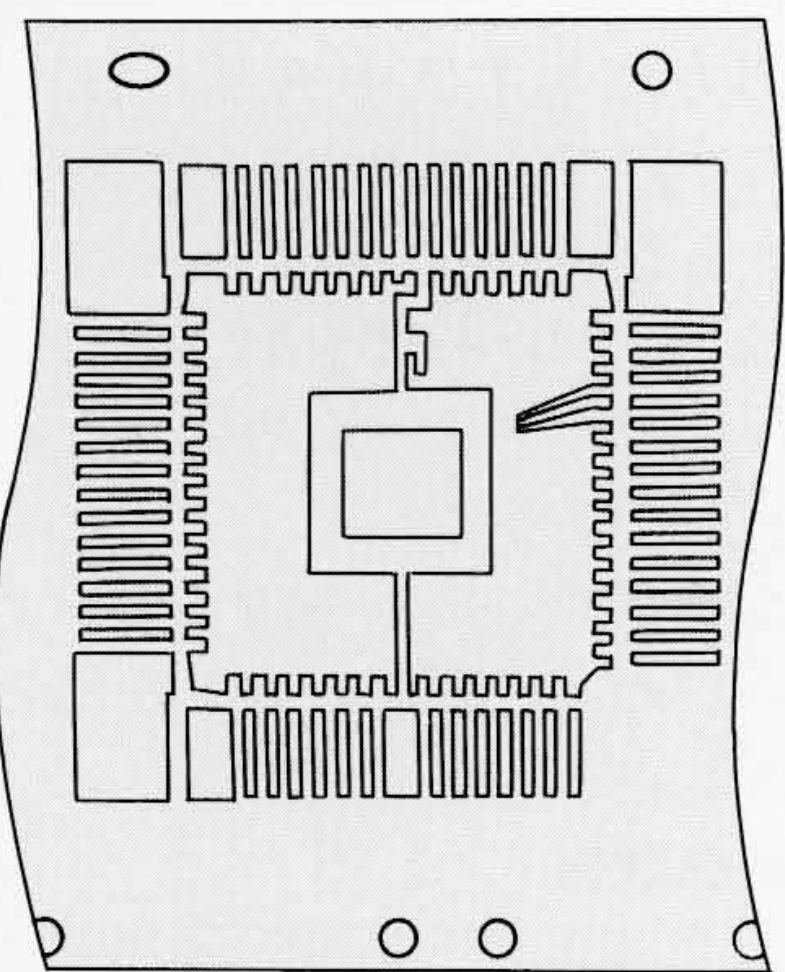


図1 従来のリードフレーム(ピンリード省略)

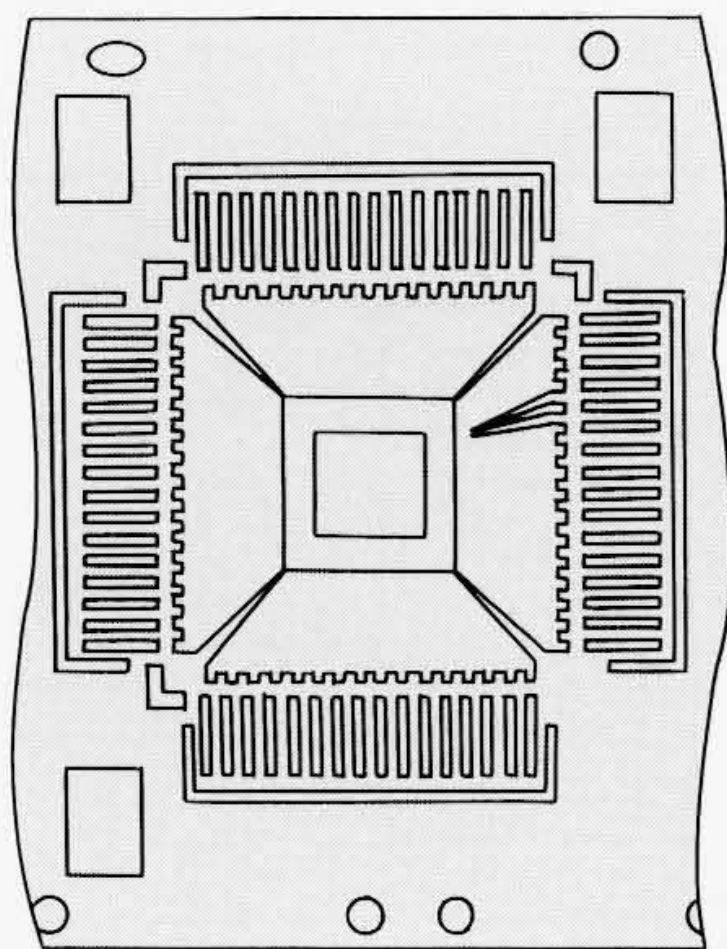


図2 本発明によるリードフレーム(ピンリード省略)

1. 特長・効果

- (1) タブを4方向から支持しているの
で、タブの傾きを防ぎ、パッケージの
厚さを薄くすることができる。
- (2) ピンリードの存在する領域に、タ
ブリードが入ることがなく、要求に応
じてピンやピン間隔を変えることがで
きる。
- (3) 樹脂封止後、ピンリードをリード
フレームから切断し、タブリードでIC
を支持しながら、フレーム単位で測定
することができる。

2. 提供技術

- 関連特許の実施許諾
- 米国特許第4, 301, 464号
特開昭55-21128号
「半導体装置及び半導体装置の組立に
用いるリードフレーム」

ウェルとのセルフラインを用いたMOSICの製法

MOSIC, CMOSICなどでは、P形チャンネルストップとN形ウェル、又はP形ウェルとN形ウェルとの位置合せが必要となる。

従来、このような各領域間の位置合せは、それぞれ別々のマスクを用いて処理していたため工程数が増加し、更にマスク合せ余裕が必要となり、集積度が下がるという問題があった。

この発明は、1枚のマスクでチャンネルストップ、ウェルなどを形成する技

術である。

まず、図1に示すようにSiNをマスクとして、N形イオン打込み、及び拡散を行う。次に、このSiNをマスクとして、ウェル上に厚い熱酸化膜を形成し、その後、(b)に示すように厚い酸化膜をマスクとして、P形チャンネルストップをイオン打込みにより形成し、その後(c)、(d)に示したように素子を形成する。図2は、この発明をCMOSのP形ウェル、N形ウェル形成に利用した例である。

1. 特長・効果

- (1) 工程数を減らすことができる。
- (2) セルフラインを用いるため、マ
スク合せが不要となり、微細化が可能
となる。

2. 提供技術

- 関連特許の実施許諾
- 米国特許第4, 586, 238号
特開昭55-156370号
「半導体装置及びその製法」

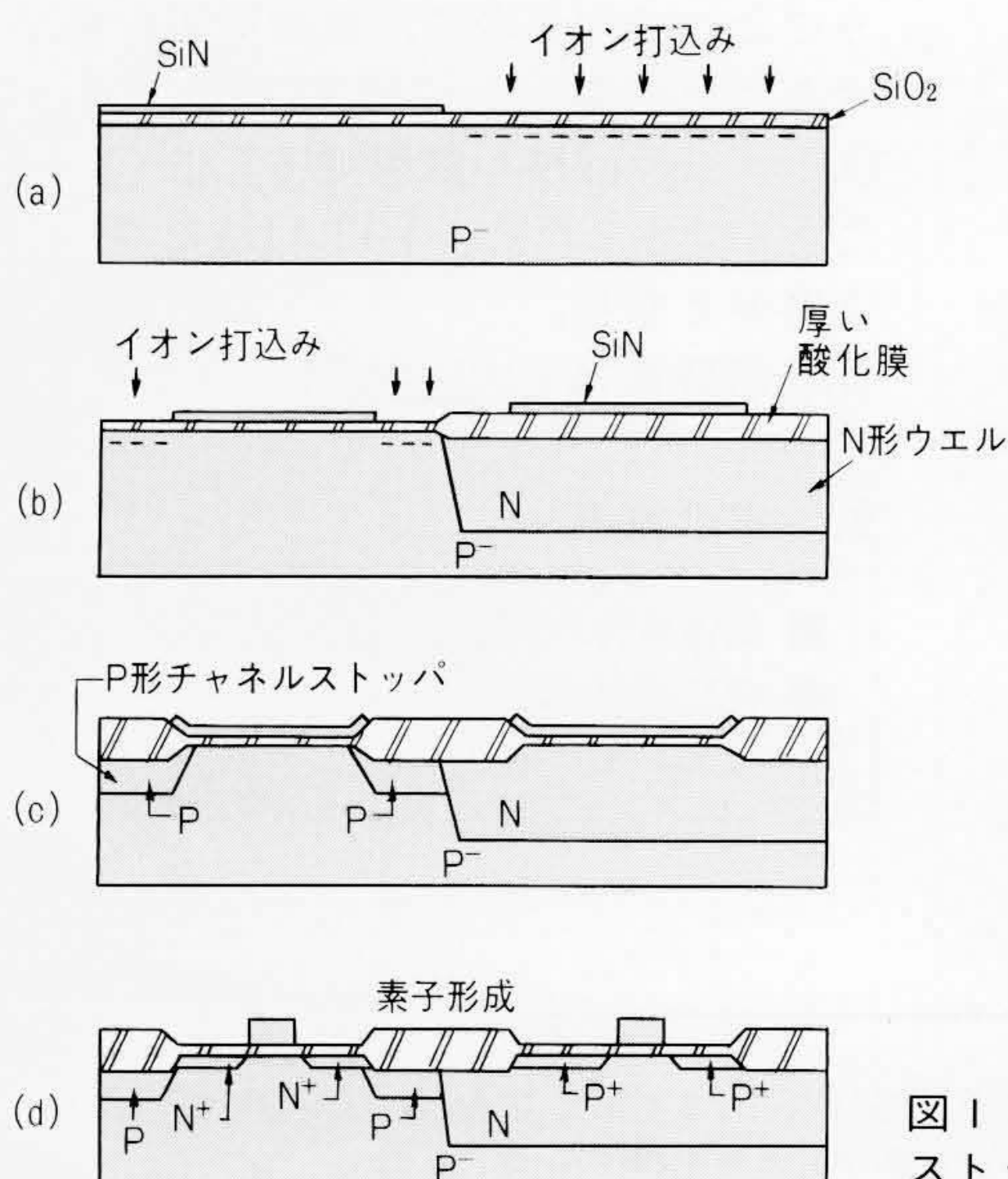


図1 チャンネルストップの形成

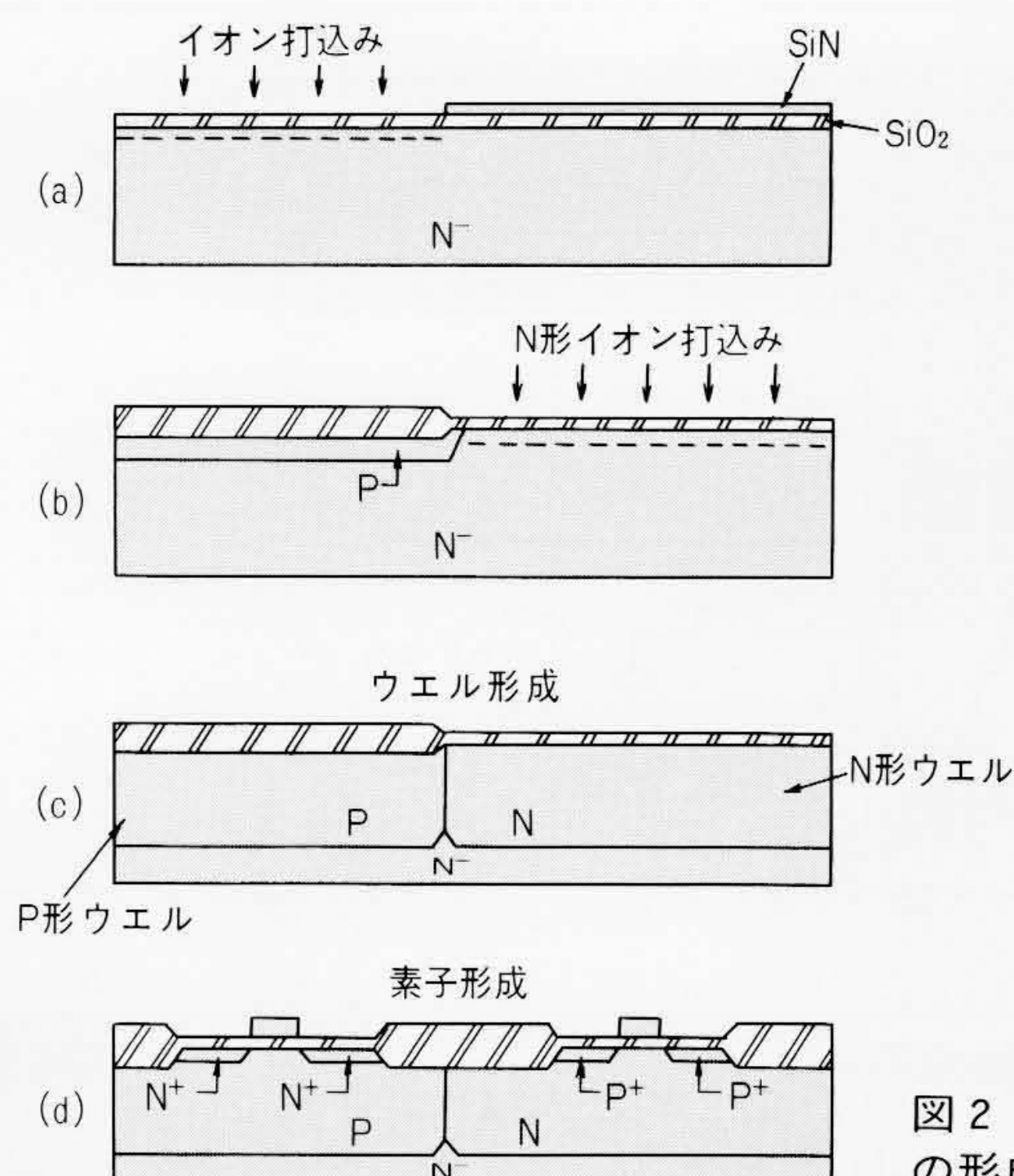


図2 両ウェルの形成

Alスリット配線

樹脂封止形半導体装置は、一般にチップ周辺部に幅広のAl配線を持つ構造となっている。この構造では、樹脂によって封止した場合、チップ周辺部に封止樹脂による強い応力が加わり、保

護膜にクラックが発生する問題があった。

また、耐湿性の点でも、クラックが発生した場合、Al配線に腐食が生じ、半導体装置の劣化の原因となる問題が

あった(図1)。

この発明では、チップ周辺部の幅広Al配線が、保護膜のクラックに関係していることを見だし、この周辺部の幅広Al配線に細いスリットを設けるようにしたものである(図2)。

1. 特長・効果

(1) 応力の集中は中央部に比べて端部、特に隅部に集中する傾向があり、スリットを設けることによって、スリット幅だけAl配線幅を狭くすることができるので、クラックの発生を防止することができる。

(2) クラックの発生を防止することができるため、耐湿性の向上を図ることができる。

2. 提供技術

- 関連特許の実施許諾
- 米国特許第4,625,227号
特開昭57-45259号
「樹脂封止形半導体装置」

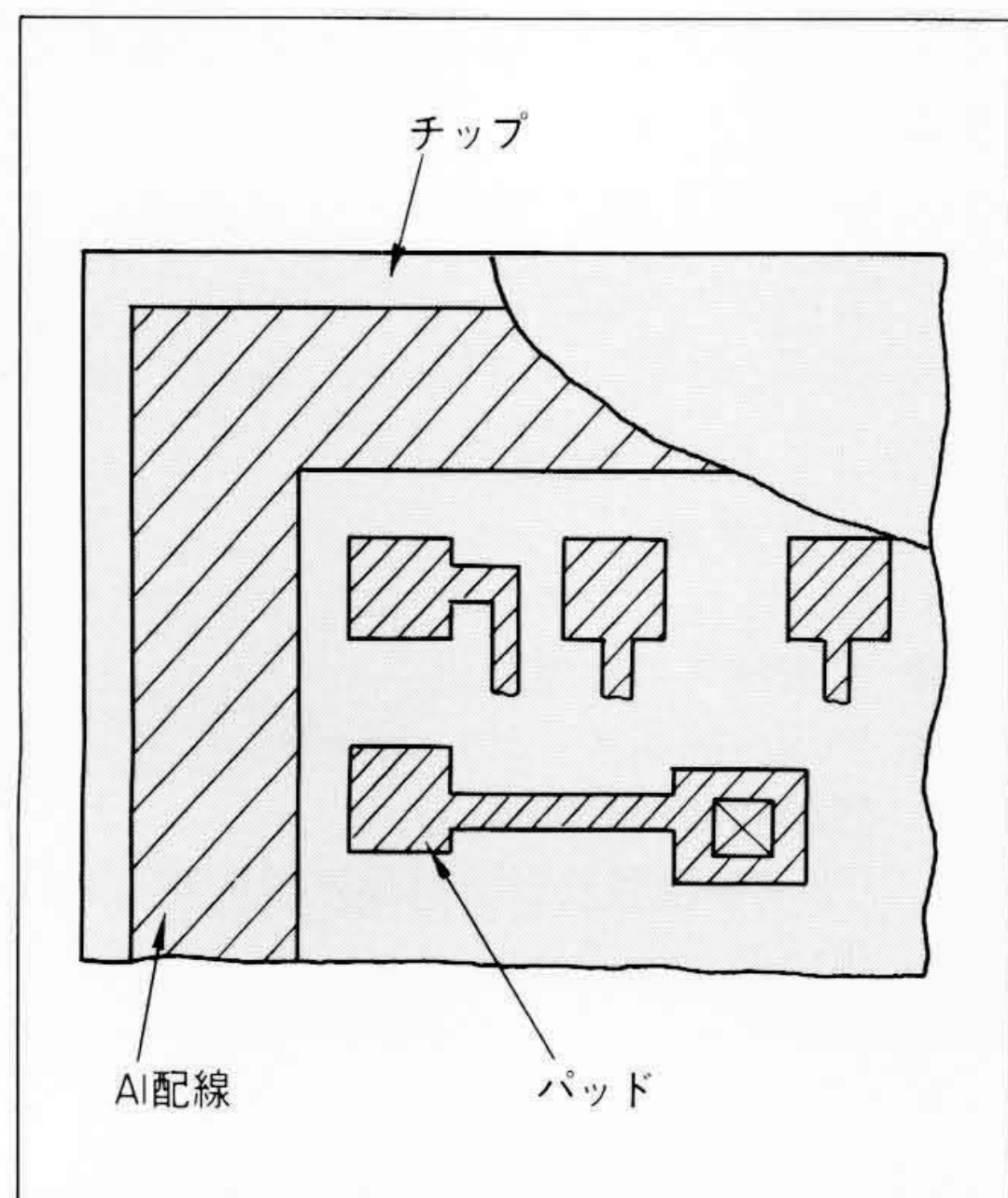


図1 従来のアルミニウム配線

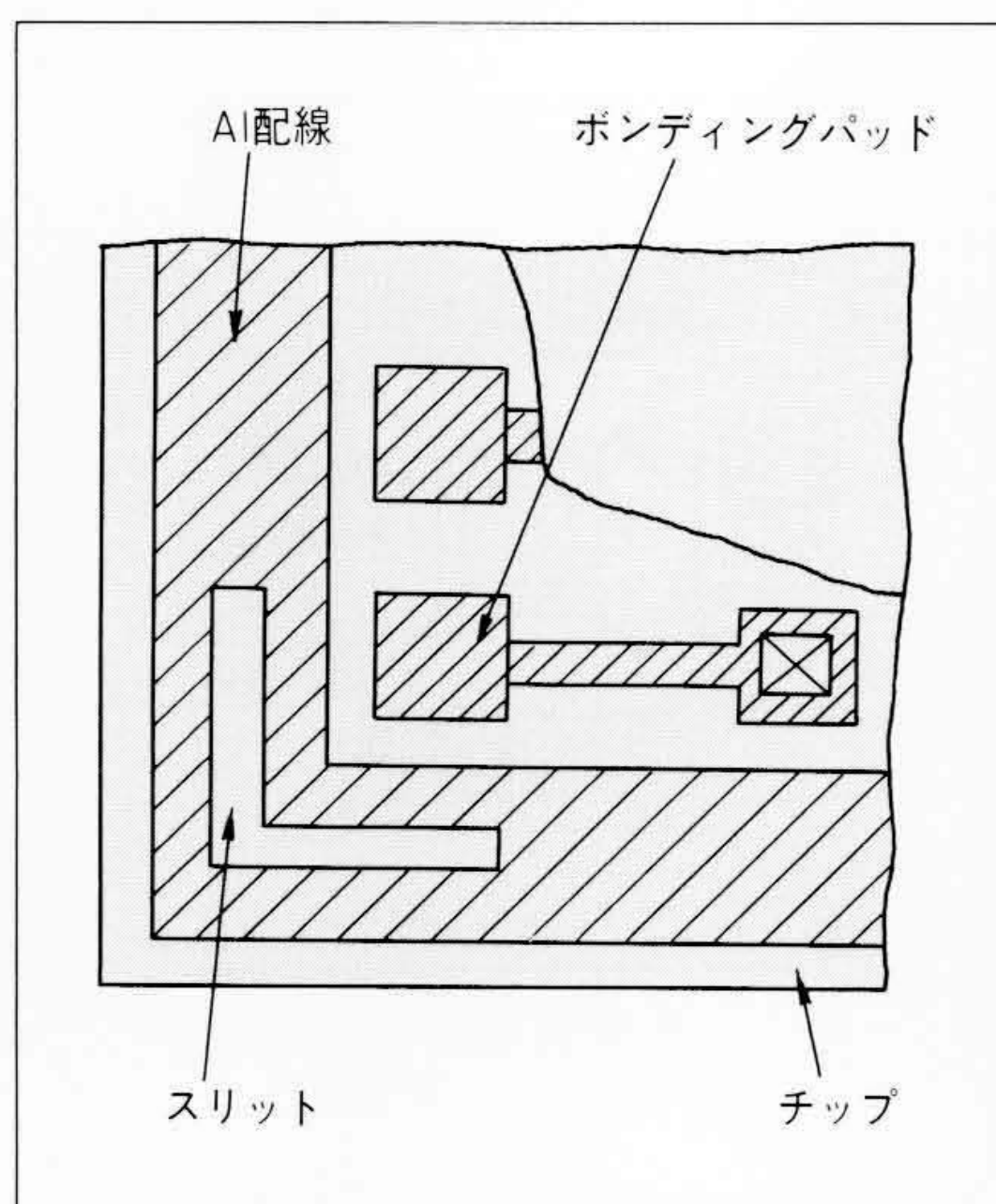


図2 本発明のアルミニウム配線

ワード線高電位化DRAM

DRAMでは、記憶容量に電荷を蓄積することによって情報の書込みを行っている。しかし、この書込みは、ワード線で制御されるスイッチングMISFETを介して行われるため、このMISFETのしきい値分だけ、書込み電圧レベルが低下し、書込み電荷のチャージ量が少なくなり、情報の保持時間が短くなり、また情報の検出感度が低下する。このため、従来はDRAMに加える電源

電圧を、例えば12Vと高くして、書込み電圧レベルの低下を補う必要があり、TTLの電源レベルである5Vという低電源電圧で作動する高集積DRAMの実用化は難しい状況にあった。

この発明は、ワード線駆動回路用電源電圧をブートストラップ回路によって、LSIに外部から供給される電源電圧より高くし、書込み時のワード線の信号レベルをデータ線の電圧レベルより

も高くするものである。これによって、書込み電圧レベルの低下が防止され、5V程度の低電源電圧だけで作動する高集積DRAMの製品化を可能にしたものである(図1)。

1. 特長・効果

(1) 記憶容量への電荷のチャージ量が低下しないため、情報の保持時間が長くなり、また情報の検出感度が向上する。

(2) 記憶容量に高レベルで書込みを行うことができるので、電源電圧を低くすることができる。

(3) メモリ回路の電源電圧を低くすることができるため、TTL回路との接続が容易となる。

(4) 消費電力を大幅に削減することができる。

2. 提供技術

- 関連特許の実施許諾
- 特公昭61-22396号
「MISメモリ回路」

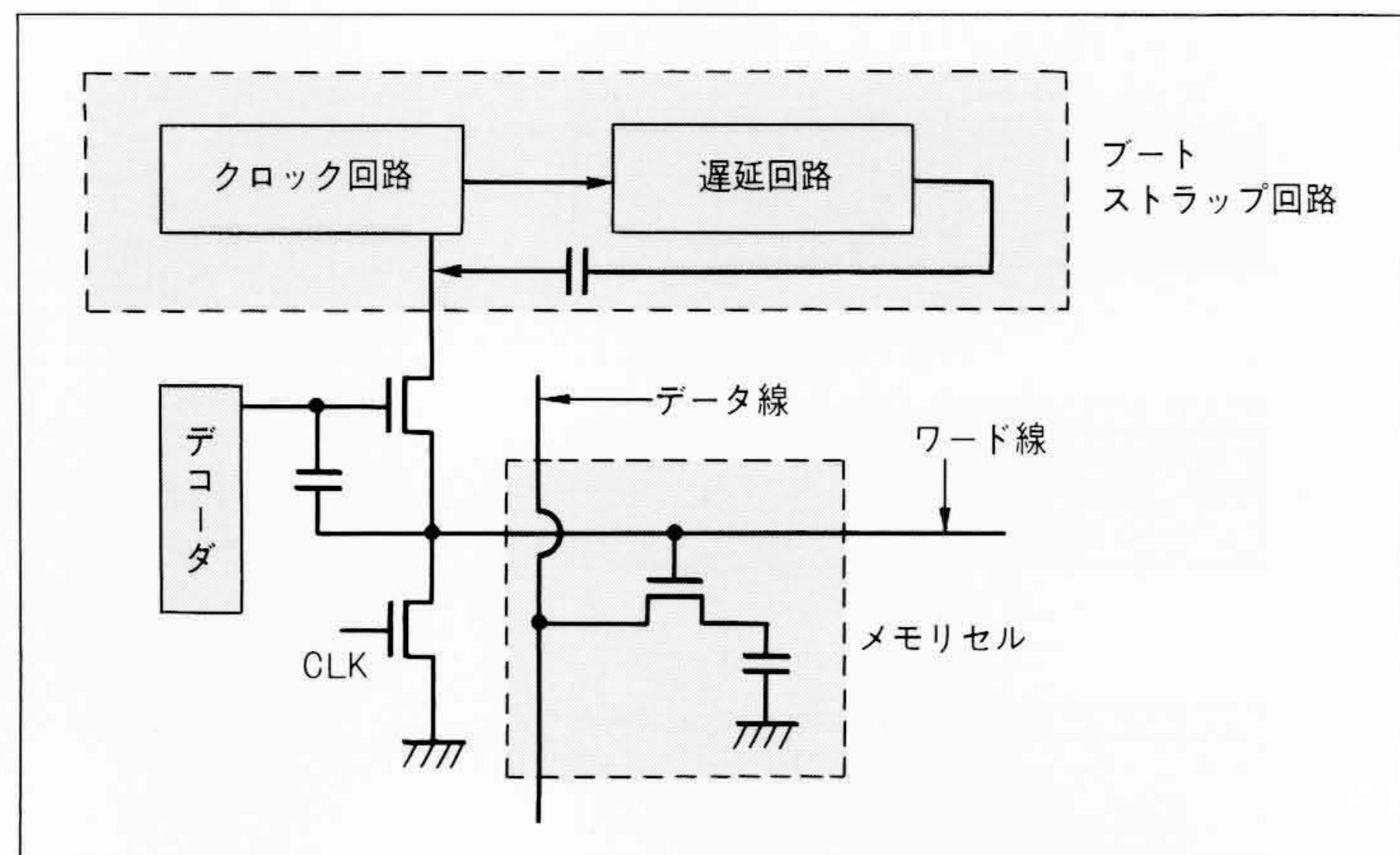


図1 本発明のMISメモリ回路

64kビットECL RAM “HM10490”

64kビットのECL RAMをバイポーラ技術で製品化する場合、消費電力の増大、チップサイズの増加など、種々の問題が想定される。そこで、日立製作所では、最先端微細加工レベル1.3 μm をHi-BiCMOS(先に紹介済み)技術に適用し、バイポーラ並みの高速性に加え、高集積・低消費電力の64kビットECL RAM HM10490-15を製品化した。

(1) 高集積化

メモリセルサイズは、セルにMOSを使用することで、バイポーラ技術で達成可能な最小サイズの数分の一となり、高集積化を実現した。

(2) 低消費電力化

メモリセル部、デコーダ部などの回路ブロックで、バイポーラ技術では必

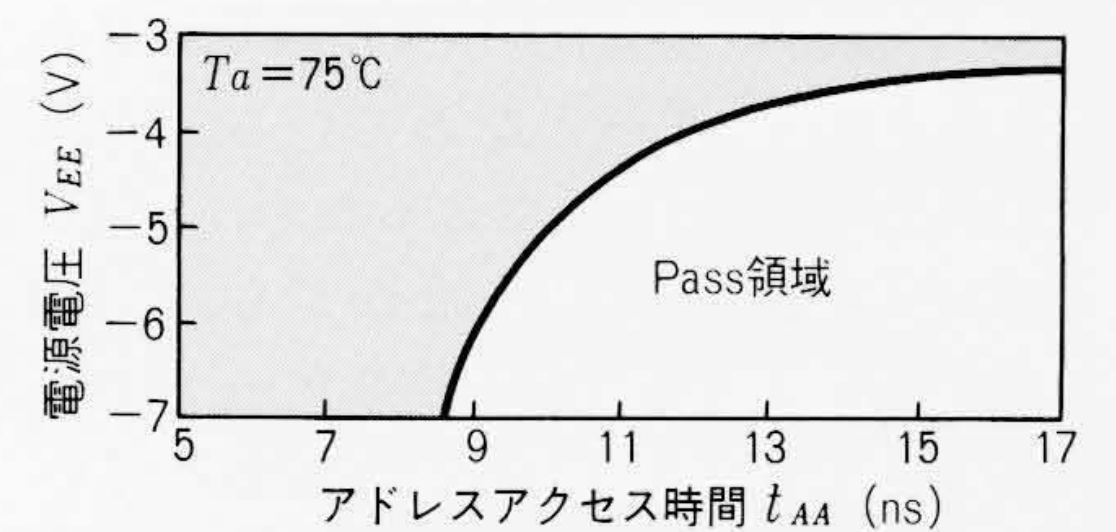
表1 主要特性

項 目	記号	HM10490シリーズ		
		Min.	typ.	Max.
入 出 力	—	10kコンパチブル		
アドレスアクセス時間	t_{AA}	—	—	15ns
最小書き込みパルス幅	t_w	10ns	—	—
アドレスセットアップ時間	t_{WSA}	2ns	—	—
アドレスホールド時間	t_{WHA}	3ns	—	—
電 源 電 流	I_{EE}	—140mA	—	—

要な定電流値をCMOS同様な貫通電流だけにすることで、低消費電力化を達成した。

(3) 高 速 化

種々の新回路技術及びHi-BiCMOSゲート使用による重負荷対応で、バイポーラ技術と同等の高速性がある。一方、書き込み特性は、バイポーラの場合の飽和形メモリセルに比べ、MOSメモリセルによる高速書き込み特性を達成し、

図1 HM10490の t_{AA} - V_{EE} 特性

読出し、書き込みを同一サイクルとした。

(4) 主要特性

表1にHM10490-15の主要特性を示す。図1に t_{AA} の V_{EE} 依存性データを示す。なお28ピンLCCパッケージでは、12nsの製品化も実施している。また、ECL100k版のHM100490-15も同時に開発した。

(日立製作所 半導体事業部)

4ビットマイクロコンピュータZTATシリーズ “HD4074608/4708/4808”

近年、マイクロコンピュータ技術の進展により、民生用電子機器の技術革新は目覚ましいものがある。特にマイクロコンピュータを選定する上で、応用プログラム開発から商品化までを円滑に進めるために、デバッグ効率のよいサポートツールと、同期商品開発が可能なZTATマイクロコンピュータを完備していることがキーポイントである。4ビットマイクロコンピュータHMCS400シリーズは、顧客の商品開発と同期化したマイクロコンピュータ製品の開発を進めるために、図1に示すような顧客サポートシステムづくりを進めている。

今回、新技術の高耐圧ZTATマイクロコンピュータを含む3品種の製品化を行った。

1. 主な特長

(1) 電話用マイクロコンピュータHD4074608

電話機の高機能化、多機能化の流れに沿って、使いやすさを重視し、LCDコントローラ・ドライバ、DTMF、大容量メモリなどを内蔵した多機能電話として最適の機能をオンチップ化した

表1 主な仕様

形 名		HD4074608	HD4074708	HD4074808	
特 性	標準命令実行時間(μs)	5/10	0.5/1~2	0.5/1~2	
	電 源 電 圧(V)	3~5	5/3~5	5/3~5	
	動 作 温 度(℃)	-20~+75	-20~+75	-20~+75	
	パ ッ ケ ー ジ	FG-80, FP-80	DC-64S, DP-64S, FP-64	FG-80, FP-80	
機	メモリ	PROM(ビット)	8,192×10	8,192×10	
		R A M(ビット)	1,184×4	1,184×4	
能	I/O	(本)	30	56(うち36本はV _{CC} -40V)	30
	割込み	外 部(本)	2	4	2
		内 部(本)	4	5	4
	タ イ マ(本)	8ビット×3	8ビット×3	8ビット×3	
	シ リ ア ル(本)	8ビット×1	8ビット×1	8ビット×1	
主 要 特 長		●DTMF発生回路内蔵 ●16桁LCDコントローラ・ドライバ内蔵 ●時計機能内蔵 (32kHz水晶発振) ●低消費電力モード スタンバイ ウォッチ ストップ	●VFDコントローラ・ドライバ内蔵 (16桁×16セグメント) ●14ビットPWM内蔵 ●時計機能内蔵 (32kHz水晶発振) ●低消費電力モード スタンバイ ウォッチ ストップ	●16桁LCDコントローラ・ドライバ内蔵 ●時計機能内蔵 (32kHz水晶発振) ●低消費電力モード スタンバイ ウォッチ ストップ	
対 応 マ ス ク R O M		HD404608	HD404708	HD404808	
主 要 応 用		●電話機 ●リモートコントロール機器	●VTR ●CD ●DAT	●CD ●DAT ●無線機	

製品である。

(2) VFDコントローラマイクロコンピュータHD4074708

EPROM技術と高耐圧技術の組合せにより、VTR、CD、DATなどに使用される蛍光表示管を、直接駆動できる

高耐圧ZTATマイクロコンピュータを実現した製品である。

(3) LCDコントローラマイクロコンピュータHD4074808

LCD表示機能を内蔵したマイクロコンピュータで、最小命令実行時間1.0 μs 動作が可能である。また、250 μs でのCPU動作、時計機能により低消費電力での時間表示もでき、バッテリー動作のポータブル機器にも応用できる製品である。最小命令実行時間0.5 μs 版も開発中である。表1にZTATマイクロコンピュータの機能一覧を示す。

(日立製作所 半導体事業部)

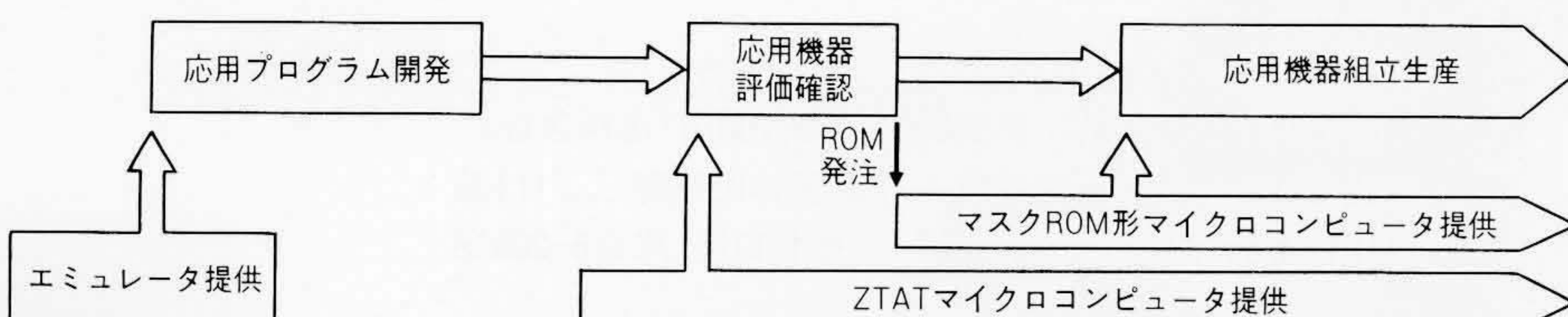


図1 HMCS400シリーズ顧客サポートシステム

製品紹介

高速CMOSゲートアレー「HG62Eシリーズ」

電子機器の差別化のため、論理LSIのカスタム化がキーとなっている。様々な顧客のニーズにこたえるため、ASICが脚光を浴びている。なかでも、短期間で安く容易に設計できるゲートアレーは、あらゆる機器分野に浸透している。このたび日立製作所では、先端プロセスを適用したHG62Eシリーズとして7タイプを製品化した。

1. 主な特長

機器の高速化設計への要求に対応できるように、微細化プロセス(ゲート長=1.0μm)を採用し、平均負荷条件(ファンアウト=2、アルミ配線長=2mm)で2入力NANDゲートの遅延時間0.7nsという超高速性能を実現した。また、最大2万4,020ゲートと、論理の大規模化に対応したラインアップを用意した。大規模化に伴うテスト設計の煩わしさから設計者を解放するため、HG62Bシリーズ同様に全自動診断機能をサポートした。日立独自のスキャン方式を採用したテスト回路を自動的

表1 HG62Eシリーズの主な仕様

マスタ名		E43	E58	E75	E101	E130	E182	E240		
項	目									
ゲ	ー	ト	数	4,309	5,821	7,488	10,076	13,015	18,176	24,020
パ	ッ	ド	数	100	118	138	162	190	230	272
ゲート ディレイ	内部ゲート		0.7ns typ./2NANDゲート, FO=2, Al=2mm							
	入力バッファ		2.0ns typ./FO=2, Al=2mm							
	出力バッファ		7.0ns typ./CL=50pF							
入出力レベル			TTL/CMOS選択可							
特殊機能			自動診断機能内蔵, 水晶発振回路 シュミット入力回路, プルアップ・プルダウン抵抗 トランスマッション回路							
消費電力			200μW typ./2NANDゲート, 10MHz							

に付加し、それに応じたテストパターンを自動発生するものである。これにより、大幅に設計省力化が図れる。更に、階層設計のサポート強化、標準TTL論理からゲートアレー論理への自動変換サポートなど、ユーザーフレンドリーなDAサポートにより、だれでも容易に設計できるようにサポート強

化している。
2. 主な仕様
表1にHG62Eシリーズの主な仕様を示す。
(日立製作所 半導体事業部)

日立評論 Vol.69 No. 8 予定目次	日立 Vol.49 No. 7 目次
■特集 都市開発におけるインテリジェントビル 都市開発とインテリジェントビルシステム技術の動向 インテリジェントビルと通信システム インテリジェントビルとシステムOA インテリジェントビルとニューメディアシステム ビルディングオートメーション ビル総合管理サービス ビル内交通計画とオフィスの配置 インテリジェントビルのパワーサプライシステム インテリジェントビル配線システム インテリジェントビルにおける空調システム インテリジェントビルにおける照明システム 都市開発における地域冷暖房システム インテリジェント住宅システム“HA”	グラフポ 治水・利水を支える高度河川情報 ルポ 始まった電子出版情報サービス 明日を開く技術<81> 高温超電導線材の実用化へ前進 日立財団紹介<6> 環境調査センター 技術史の旅<126> 中馬(その2) 続・美術館めぐり<91> 小諸市立小山敬三美術館 HINT コーナー マスタックス VT-Z70

企画委員	評論委員
委員長 武田 康嗣 委員 内田 幹和 " 森山 昌和 " 村上 啓一 " 阿部 脩 " 坂田 京之 " 臼井 忠男 " 伊藤 俊彦 幹事 三村紀久雄	委員長 武田 康嗣 委員 加藤 寧 " 長谷川邦夫 " 大島弘安 " 福地文夫 " 飯島幸雄 " 松尾 壹郎 " 竹川 正 " 今井 溥 " 押山 博一 " 天野比佐雄 " 中山 恒 " 三巻 達夫 " 伊藤 俊彦 幹事 三村紀久雄

日立評論 第69巻第7号
発行日 昭和62年7月20日印刷 昭和62年7月25日発行
発行所 日立評論社 東京都千代田区神田駿河台四丁目6番地 ㊟101 電話(03)258-1111(大代)
編集兼発行人 伊藤俊彦
印刷所 日立印刷株式会社
定価 1部500円(送料別) 年間購読料 6,700円(送料含む)
取次店 株式会社オーム社 東京都千代田区神田錦町三丁目1番 ㊟101 電話(03)233-0641(代) 振替口座 東京6-20018