

4MビットダイナミックRAM技術

Technology for 4M Bit Dynamic RAM

4MビットダイナミックRAM(4MDRAM)は、次世代の主力メモリとして大容量化だけでなく、高速・多機能化が強く要求されている。これらを達成するプロセス技術、回路技術を確立するため、4MDRAMプロトタイプの開発を行った。0.8 μ mCMOSプロセス技術・積層形メモリセル方式により、高集積・大容量化を、ツイステッドドライブラインセンスアンプ回路とAl2層配線技術によって高速性能を達成した。また、新機能としては、メモリの大容量化に伴い増大するテスト時間を軽減するため、8ビット並列テスト機能を採用した。本論文では、プロトタイプの特長、回路技術及びプロセス技術について述べる。

宮沢一幸* Kazuyuki Miyazawa
 石原政道* Masamichi Ishihara
 下東勝博** Katsuhiko Shimohigashi
 清水真二* Shinji Shimizu

1 緒言

DRAM(Dynamic Random Access Memory)は、大形コンピュータ、通信機器から各種OA(Office Automation)機器、端末機器に至るまで広く使用されている。システムの高性能化、小形化に伴いDRAMの大容量化は3年に4倍の割合で進んでいる。256kDRAMは1983年に量産が開始され、昨1986年には1MDRAMの量産が開始された。4MDRAMもこのトレンドに沿うと予想される。

はん(汎)用大形コンピュータのメインメモリ用DRAMについても高速性能が要求されているが、32ビットマイクロプロセッサの場合はこの要求が特に強い。図1に32ビットマイクロプロセッサの高速化への動きを示す。当初の動作周波数は10MHzであったが、現在では16.7MHz品でシステム設計を行う段階になり、更に20MHz、30MHz¹⁾と高速化が進んでゆくと思われる。16.7MHzで動作するプロセッサにキャッシュメモリなしで対応しようとすれば、メモリにはアクセス時間80ns以下が要求される。

そのため、4MDRAMでは80ns若しくはそれ以下のアクセス時間を実現し、高性能32ビットマイクロプロセッサに対応する必要がある。

2 特長

今回試作した4MDRAMプロトタイプ^{2),3)}のチップ写真を図2に、仕様及び性能を表1に示す。0.8 μ mCMOS2層Al配線技術により、チップ寸法6.38 \times 17.38mm²、メモリセル寸法2.2 \times 6.7 μ m²のプロトタイプを開発した。この試作チップは、機能・アクセス時間などの性能は製品とほぼ同じ仕様を目標としているが、チップとセルの寸法に関しては、開発時期には装置面の対応が遅れるため(特に重要な微細加工関連設備)、やや大きめに設定した。

前章で述べたように、高速化への要求は強いが、大容量化

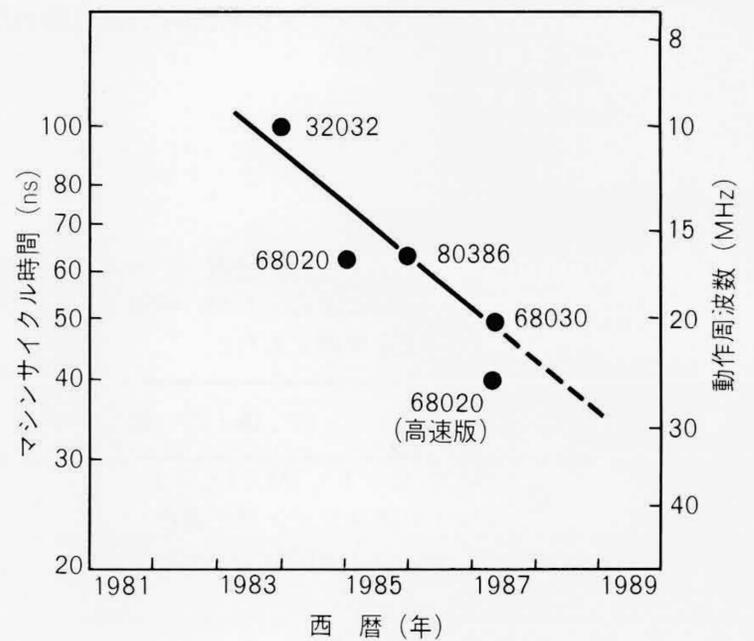


図1 32ビットマイクロプロセッサの高速化 DRAMに対しても高速化の要求が強くなる。

に伴い配線の抵抗や寄生容量の影響が大きくなり、プロセス技術の向上だけではもはや高速化は困難になってきている。

1MDRAMと同様にAl2層を使ってメモリセルアレーの最適設計を行うとともに、回路的対策としてツイステッドドライブラインセンスアンプ方式を試みた。この結果、図3のように電源電圧4.5V、温度70 $^{\circ}$ Cのワースト条件でもアクセス時間76nsを達成した。製品化に向け更に高速化を図る予定である。

これまでのDRAMにはなかった新機能として、1,024サイクルで全メモリセルをクリアできる高速イニシャライズ機能を実現した。また、高速アクセスモードとしては、1MDRAMと同様に、スタティックカラム・高速ページ・ニブルモードを採用している。

* 日立製作所デバイス開発センタ ** 日立製作所中央研究所

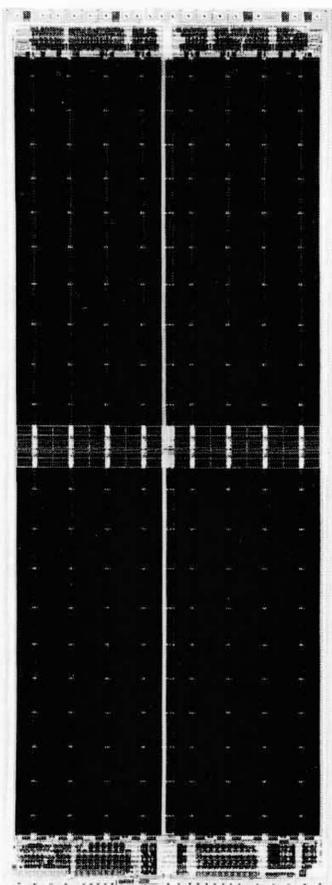


図2 4MDRAMプロトタイプチップ写真 中央にXデコーダ、Yデコーダを配置し、センスアンプとI/O(入出力装置)を8列設けた。

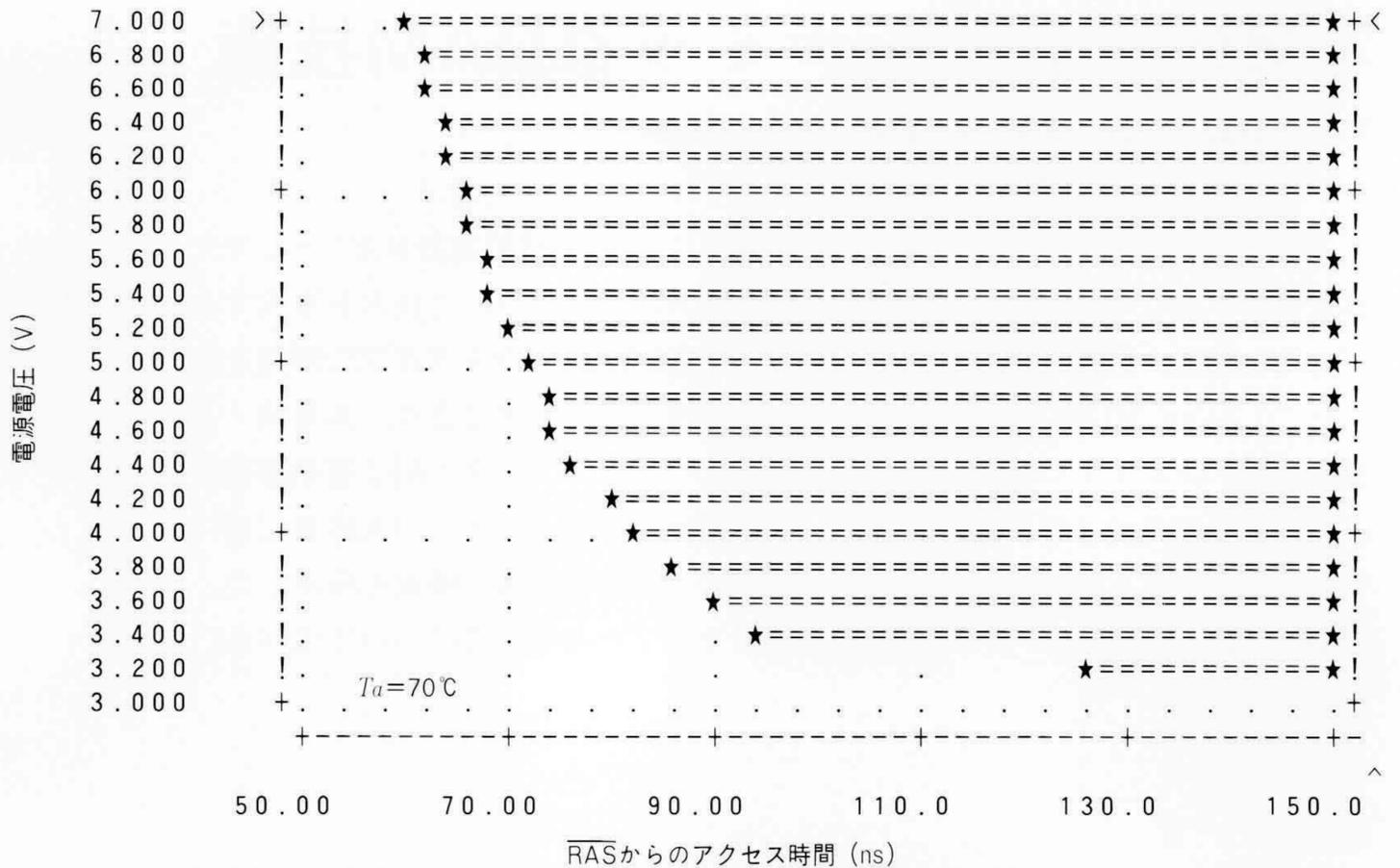


図3 アクセス時間の電源電圧依存性

電源電圧4.5V, 温度70°Cの条件で76nsのアクセス時間を実現した。

表1 4MDRAMプロトタイプの仕様及び性能 チップ及びセル寸法はプロトタイプのためやや大きめに設定したが、機能・アクセス時間などの性能は製品とほぼ同じ仕様を目標とした。

項目	仕様・性能
構成	4M×1ビット・1M×4ビット (ワイヤボンディングで選択)
製造技術	0.8μmルールの両ウエルCMOS (2層Al配線)
チップ寸法	6.38×17.38mm ²
セル寸法	2.2×6.7μm ²
電源電圧	+5V単一
ノーマルモードのアクセス時間消費電流	RASから76ns, 列アドレスから36ns (電源電圧+4.5Vの最悪条件) 動作時45mA(サイクル時間220ns) 待機時0.1mA(CMOSレベル)
リフレッシュサイクル	1,024サイクル 16ms
高速アクセスモード	スタティックカラム・高速ページ・ニブル (金属配線マスクで選択)
新機能	高速イニシャライズ機能
テスト機能	8ビット並列テスト (高電圧を印加せずに、CASビフォアRASのタイミングでテストモードに入る。)

注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)

1MDRAMから採用されたテスト機能も4MDRAMでは並列処理ビット数も2倍の8ビットにし、テスト効率を上げるとともにテストモードに入る方式も高電圧(V_{cc}+2.5V以上)を使わずにCASビフォアRASのタイミング(WCBBと称する。)で制御することによって使いやすくした。

3 回路設計

3.1 高速設計

現状のメモリセル構成(1トランジスタ+1キャパシタ)とセンスアンプ形式を採用し続ける場合、メモリ容量の増加に伴って高速化の大きなネックとなるのは、センスアンプに接地電位を供給するための共通ドライブラインである。このラインの電位を下げることによってセンスアンプを駆動し、ビット線の電位差を十分確保したところでメインアンプの共通ラインへ信号を伝える。したがって、センスアンプに接地電位を供給する共通のドライブラインを、いかにすばやく低レベルにできるかによってアクセス時間は大きく変わる。しかし、メモリ容量が増加するに従ってこのドライブラインに接続するセンスアンプの数が増え、それだけ配線抵抗と寄生容量が増加する。

この問題を解決する手法として、ツイステッドドライブラインセンスアンプ方式を開発した。回路構成を従来方式と比較して図4に示す。一般に配線抵抗を下げるためには線幅を広げればよいが、センスアンプ部は従来から配線抵抗が問題になっており、許される限り配線幅を広くしてきた。センスアンプ列が複数列(今回の構成では8列)あるので、この部分の配線抵抗を下げるために配線幅を広くすれば、チップ面積の増加につながる。

今回のセンスアンプ方式はこの点を改良し、チップ面積を増やすことなくセンスアンプで引き抜くべき電荷量を半分にして高速化をねらった方式である。センスアンプの半数は逆バイアスとなってオフ状態となり、この結果ドライブラインの等価的な容量が半分になる。この方式により、図5に示すようにアクセス時間が10ns速くなり、サイクル時間は20ns短縮することができた。

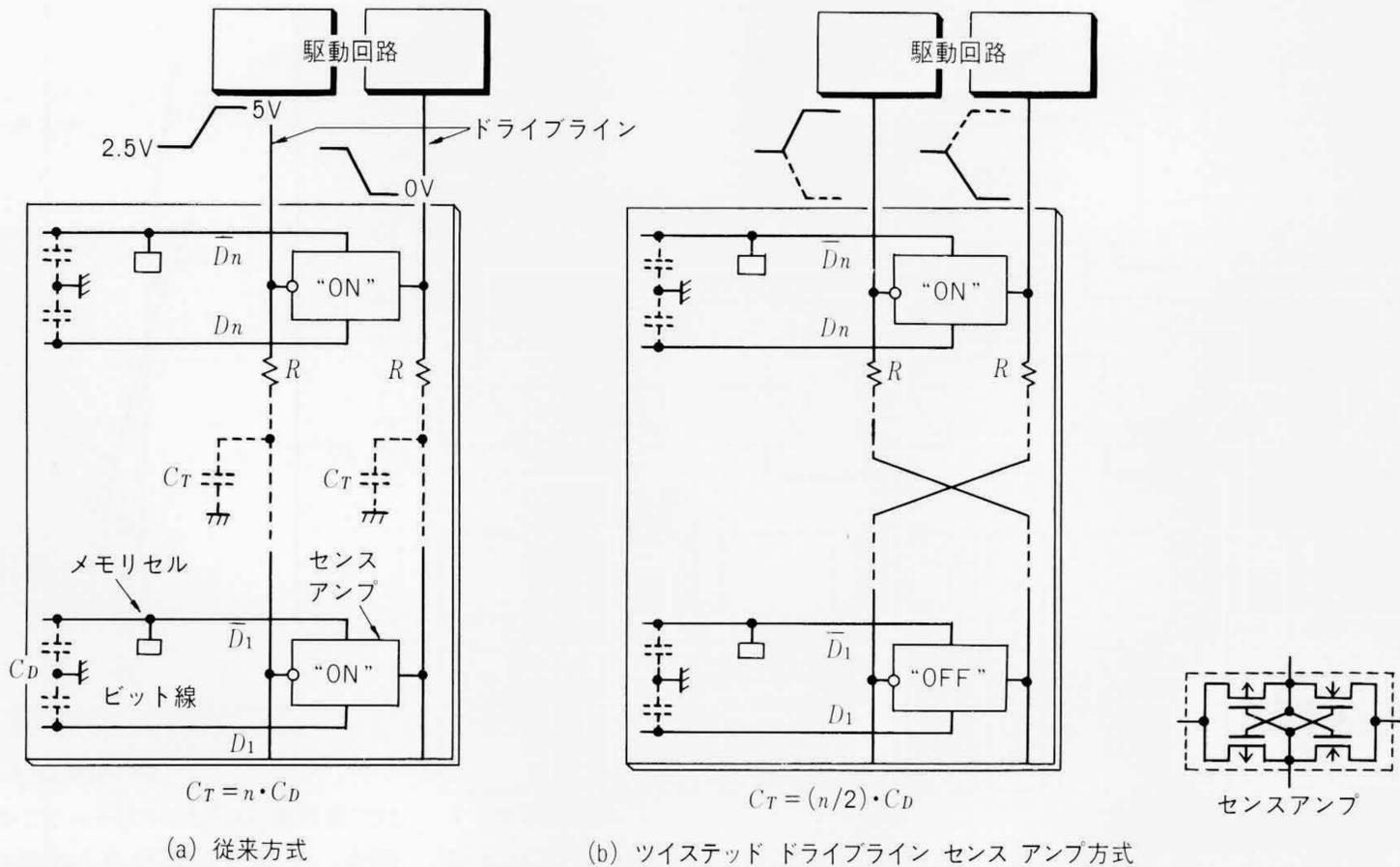


図4 センスアンプ方式の比較 ツイステッド ドライブライン センス アンプ方式にすると、オン状態になるセンスアンプの数を半分に減らせる。このため、ドライブラインの等価容量 C_T が半分になる。

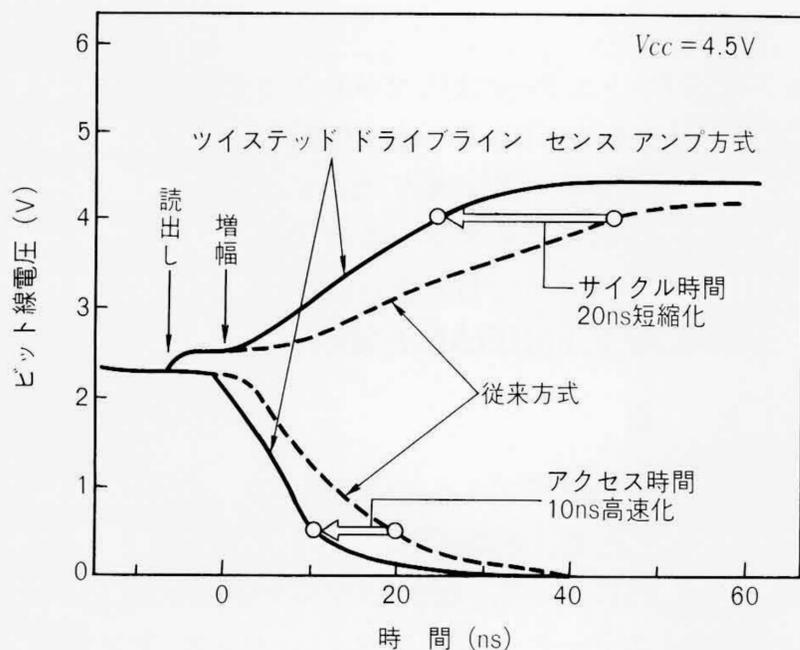


図5 ツイステッド ドライブライン センス アンプ方式の効果 ビット線電圧の波形、アクセス時間を10ns速くし、サイクル時間を20ns短縮できた。

3.2 テスト機能

メモリが大容量になるほど、チップ面積の増大によるウェーハ当たりの取得数の低下と、テスト時間の増加がコスト上の大きな問題となってくる。一般にテスト時間は、集積度が4倍になれば簡単なテストパターンで4倍になり、複雑なビット間の干渉パターンなどでは16倍にもなり、原価に占めるテストのためのコストは飛躍的に大きくなる。そこで1MDRAMからチップ内で並列テストする機能が採用され始めている。また、×1構成の1MDRAMは4ビットの並列テストを採用している。

4MDRAMプロトタイプには、8ビットの並列テストを採

用した。ブロックダイアグラムを図6に示す。この並列テストビット数は多ければ多いほどテスト時間の短縮に寄与する。しかし、実際にテストを行う場合すべてに並列テストを使えるわけではなく、メリットとデメリットを考慮して最適な並列テストビット数を決める必要がある。

並列テストのビット数が増すことによって、次のようなデメリットが挙げられる。第1にメインアンプの増加によりチップ面積が大きくなり、消費電流も増加する。更に、内部回路の論理段数が増えてアクセス時間は長くなる。

以上のような検討結果から、4MDRAMでは8ビットの並列テストが最適と考える。

テストモードへ入る方法は、図7に示すタイミング組合せで行う。まず、 \overline{CAS} ビフォア \overline{RAS} リフレッシュと同様に \overline{RAS} の前に \overline{CAS} を降下させ、 \overline{WE} を低レベルにしておく。このタイミングでアドレスのMSB(Most Significant Bit×1ビット構成で A_{10} 、×4ビット構成では A_9)が高レベルのときテストモードに入る。このとき下位のアドレス端子から種々のテストモードを指定する。このテストモードから抜け出すには、通常サイクルでアドレスのMSBを低レベルにすればよい。

テストモードに入る方法については、米国のJEDEC(Joint Electron Device Engineering Council)で現在標準化作業を進めている。今回のチップには標準案に沿った方法を盛り込んだ。標準化はまだ完了していないが、今回内蔵した機能に若干手を加えるだけで最終案に対応できると見込んでいる。

4 メモリセル

積層形メモリセルの断面図を図8に示す。3層多結晶Siを用い、2層目と3層目の間にメモリセル容量を形成している。積層形セルの特長はメモリセル容量部の接合面積が小さく、

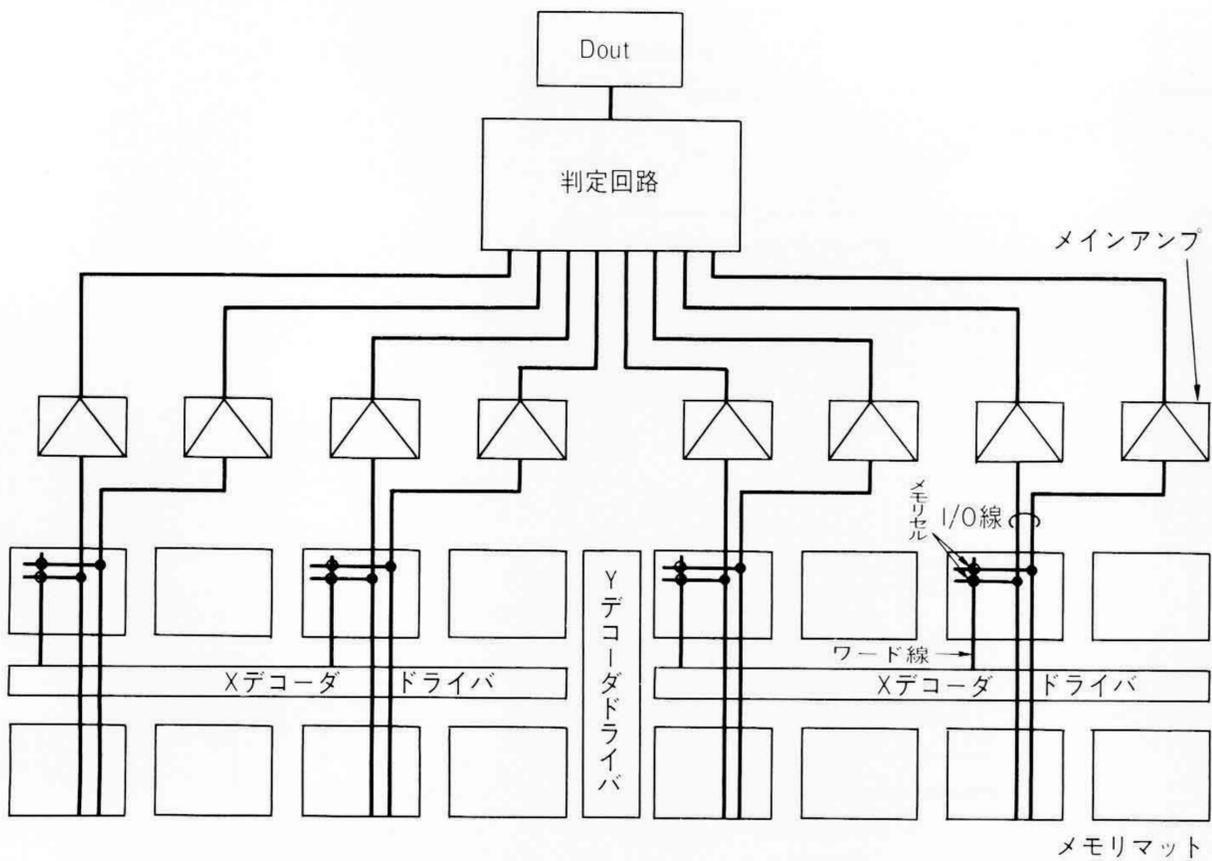
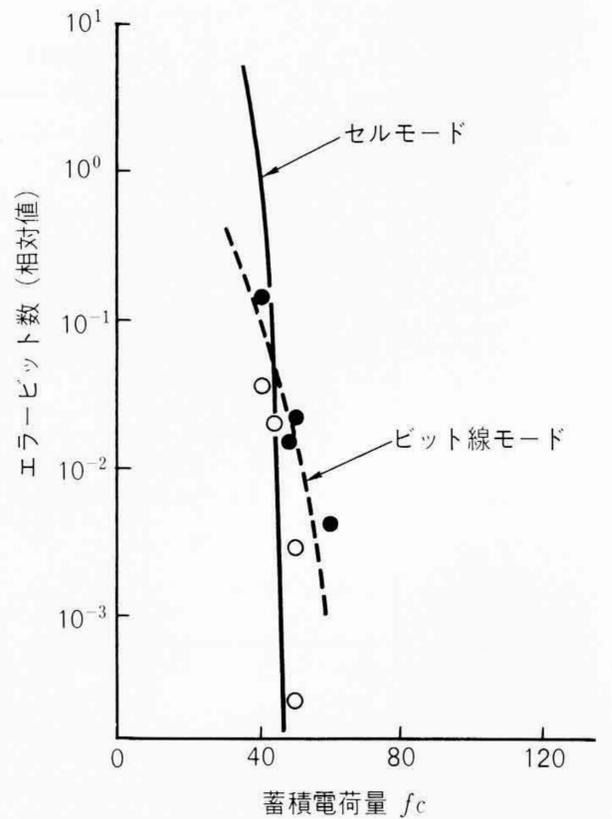


図6 テストモード ブロック ダイアグラム テストモード読み出し時のデータの流れを示す。8ビットのメモリセルから同時にデータが読み出され、8ビットのデータの一致、不一致を判定回路で処理し、出力される。



注：実測値 ○ (ビット線モード), ● (セルモード)

図9 α 線によるソフトエラー率の評価

絶縁膜の厚さを変えて容量値を小さくした4 M DRAMを試作し、蓄積電荷の下限を確認した。スタックド キャパシタ セルの採用で臨界電荷量を1Mの $\frac{2}{3}$ にできた。

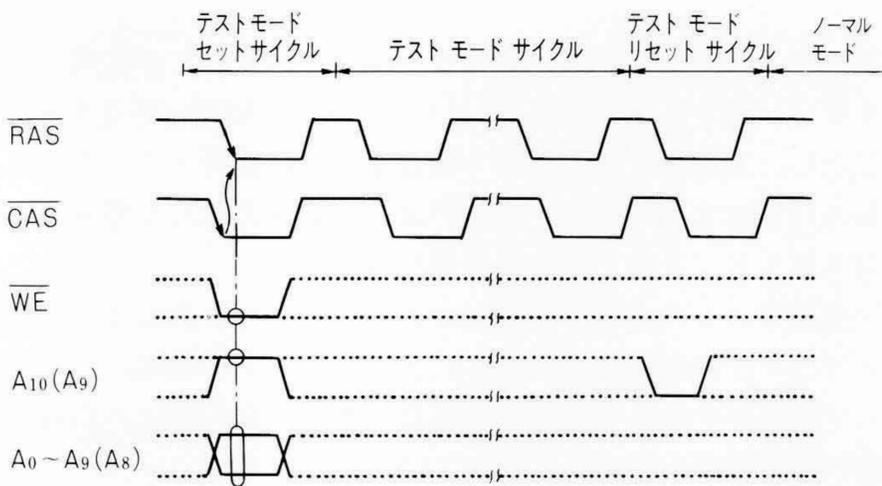


図7 テストモードのタイミング波形 $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ のタイミングでテストモードに入る。ユーザがボード上でもテストできる方法として米JEDECでも標準化作業が進行中である。

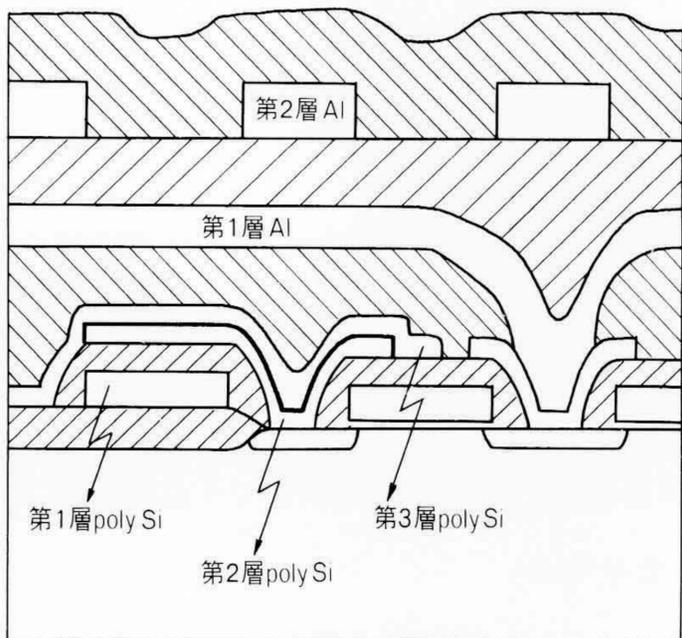


図8 積層形メモリセルの断面図 3層Poly Si(ポリシリコン)による積層形メモリセルの断面図を示す。第1層Poly Siと第2層Poly Si間の絶縁膜により容量部を形成している。

アルファ線ソフトエラーに対して強いことである。この結果、臨界電荷量(あるソフトエラー率を保証するのに必要な最小限の電荷量)がプレーナ形メモリセルに比べて約30%少ない(図9)。このためソフトエラーに対する性能は、プレーナ形の1 MDRAMよりも約一けた低い結果を得ている。また、リフレッシュ特性も1 MDRAMと同等以上である。

5 結 言

サブミクロンCMOSプロセス技術により、4 MDRAMプロトタイプを開発した。0.8 μm 微細加工技術及び積層形メモリセル方式の適用によって、高集積(チップサイズ110mm²)を実現した。ツイステッド ドライブライン センス アンプ回路、Al 2層配線技術によりアクセス時間76ns(ワースト条件)と高速性能を達成した。また、8ビット並列テスト機能によりテスト時間の短縮を可能とした。

現在、4 MDRAMプロトタイプで得られた技術をベースに、製品の早期開発を進めている。

参考文献

- 1) メモリ管理ユニットを内蔵し、4.5~7MIPSの32ビット・マイクロプロセッサMC68030を1987出荷へ、日経エレクトロニクス、Vol.39, pp.25~28(1986年10月6日号)
- 2) 下東, 外: A 65ns CMOS DRAM with a Twisted Driveline Sense Amplifier, ISSCC Digest of Technical Paper(1985)
- 3) 石原, 外: $\times 1/\times 4$ 構成の標準4 MビットDRAMを試作, 1989年ごろの量産時期を見据える, 日経エレクトロニクス, pp.149~163(1987年4月6日号)