

超高速ECL RAMファミリー

Family of High Speed ECL RAMs

超高速ECL RAMは、情報社会の中核にあるコンピュータの性能向上に重要な役割を果たしてきたが、近年のOA化の進展に伴い、よりいっそう高速、かつ高集積なECL RAMの需要が高まっている。

このような背景を踏まえ、今回、 $1.3\mu\text{m}$ Hi-BiCMOS技術を基盤として64kビット/12ns、16kビット/10ns及び $1.0\mu\text{m}$ U-ISO技術を基盤として4kビット/5nsの、超高速ECL RAMファミリーを開発した。これらのECL RAMは、高速性ととともに十分な動作マージンや耐 α 線ソフトエラー強度、及び高い信頼性を持っている。更に、システム性能を向上させるため、メモリモジュールや論理とメモリを一体化したロジック イン メモリなどの新しい展開が始まっている。

小高雅則* Masanori Odaka
岩渕正人* Masato Iwabuchi
外村健一** Ken'ichi Tonomura

1 緒 言

超高速ECL RAM(Emitter Coupled Logic Random Access Memory)は、情報社会の中核にあるコンピュータの性能向上に重要な役割を果たしている。これは、コンピュータの処理速度を左右するバッファ記憶装置や制御記憶装置などに、高速ECL RAMの優れた高速性が生かされているからである。このため、コンピュータの大形化、高性能化に伴い、ECL RAMに対するよりいっそうの高速化、高集積化の要求がますます強くなっている。

また、FA(Factory Automation)やCAD/CAM(Computer Aided Design/Computer Aided Manufacturing)などの事務処理分野にも用途が広がり、成長率の目覚ましいスーパーミニコンピュータでもシステムの高性能化が進み、論理素子のECL化やバッファ記憶容量の増大が図られ、新しい需要が高まっている。

日立製作所はこのような需要にこたえるため、4kビットから64kビットの超高速ECL RAMファミリーを開発した。

本論文では、以上の超高速ECL RAMの開発の基盤となった $1.3\mu\text{m}$ Hi-BiCMOS(High Performance Bipolar Complementary Metal Oxide Semiconductor)技術及び $1.0\mu\text{m}$ U-ISO(U-groove Isolation)技術などの主要技術、得られた性能について述べるとともに、最近の動向であるASIC(Application Specific Integrated Circuits)メモリについても紹介する。

2 開発製品の特徴

表1に、今回開発した製品の概要を示す。

2.1 64kビットECL RAM・16kビットECL RAM

64kビットECL RAM “HM100490/10490”は、64kワード×1ビット構成の入出力レベルがECL100k/10kレベルの

RAMであり、最大アドレスアクセス時間15 ns/12 ns、最小書込みパルス幅10 nsと、64kビットとしては最高速の性能を持っている。平均消費電力は0.32W/0.42Wと、低消費電力である。本製品は、高速性能を持つバイポーラトランジスタと高集積・低消費電力特性に優れるCMOSを同一シリコン基板上に形成する、 $1.3\mu\text{m}$ Hi-BiCMOS技術を用いて開発された。パッケージは従来のDIP(Dual In Line Package)のほか、高密度実装に適したLCC(Leadless Chip Carrier)やFPG(ceramic Flat Package)タイプなどもそろえている。

また、同じ $1.3\mu\text{m}$ Hi-BiCMOS技術を採用した最大アドレスアクセス時間が10nsの16kビットECL RAMとして、4ビット構成の“HM100484”と1ビット構成の“HM100480”も開発した。更に、顧客ニーズにこたえられるように、入出力レベルが10kの“HM10484”、“HM10480”の製品化を進めている。

以上述べた $1.3\mu\text{m}$ Hi-BiCMOS技術を採用した高速・低消費電力ECL RAMは、電氣的な動作マージンや α 線などに起因するソフトエラーに対し十分考慮した設計がなされており、各種高性能コンピュータのバッファ記憶装置や制御記憶装置、計測機器などに使用され、その性能向上に大きく寄与するものと期待される。

2.2 4kビットECL RAM

4kビットECL RAM “HM100474”は、1kワード×4ビット構成の入出力信号レベルがECL100kレベルのRAMであり、最大アドレスアクセス時間5 ns、最小書込みパルス幅3.5 nsという超高速性能を持っている。このRAMは、最小加工寸法 $1.0\mu\text{m}$ の $1.0\mu\text{m}$ U-ISO技術によるバイポーラ素子を用いて設計されている。また、入出力レベルが10kの“HM10474”も、顧客ニーズにこたえられるように製品化を進めている。

* 日立製作所デバイス開発センタ ** 日立製作所高崎工場

表1 超高速ECL RAMの製品概要 4kビット～64kビットまで、多様化するニーズに対応できるようにビット構成、入出力レベル、パッケージなどの異なる品種の製品化を進めている。

項目	集積度 品種名 単位	4kビット		16kビット		64kビット	
		HM100474-5	HM10474-5	HM100484-10	HM100480-10	HM100490-15	HM10490-12/15
技 術	—	1.0μm U-ISO		1.3μm Hi-BiCMOS			
ビ ッ ト 構 成	—	1,024ワード× 4ビット	1,024ワード× 4ビット	4,096ワード× 4ビット	16,384ワード× 1ビット	65,536ワード× 1ビット	65,536ワード× 1ビット
入出力レベル	—	ECL100k	ECL10k	ECL100k	ECL100k	ECL100k	ECL10k
最大アドレス アクセス時間	ns	5	5	10	10	15	12/15
最小書込みパ ルス幅	ns	3.5	3.5	6	6	10	10
平均消費電力	W	1.0	1.1	0.65	0.6	0.32	0.42
パ ャ ケ ー ジ	—	FPG24 LCC24	FPG24	DG28 FPG28	DG20	LCC22 FPG22 DG22	DG22 LCC28

注：略語説明 U-ISO〔U-Groove Isolation(U溝分離)〕 FPG(ceramic Flat Package)
Hi-BiCMOS(High Performance Bipolar Complementary Metal Oxide Semiconductor) LCC(Leadless Chip Carrier)
ECL(Emitter Coupled Logic) DG〔Dual in Line Package(Cerdip)〕

これらも、高速性能と十分な電氣的動作マージンや耐ソフトエラー強度を兼ね備えており、各種コンピュータや高性能計測装置などに最適である。

3 主要技術

ECL RAMの一般的な構成は図1に示すとおりであり、情報を記憶するメモリセルアレーと周辺回路から成っている。周辺回路としては、アレー中の任意のセルを選択して、情報

の書込み、読出しを行うX、Yアドレス入力バッファ、デコーダドライバ、センス回路、出力バッファ回路などがある。RAMの設計では、メモリセルの設計が最も重要である。なぜならば、メモリセルは通常、チップ面積の50%以上を占めコストを支配するばかりでなく、消費電力やスピードをもほぼ決定するからである。Hi-BiCMOS技術を用いたRAMでは、MOSのSRAM(Static RAM)と同様、高集積化に適した高抵抗負荷形NMOSセルを用い、バイポーラ技術を用いた超高速RAMでは、超高速化に適したRL(メモリセル低抵抗)切換形バイポーラメモリセルを用いている。

3.1 1.3μm Hi-BiCMOS技術

従来、高速ECL RAMの分野では、バイポーラ技術が用いられてきた。しかし、16kビットから64kビットへの高集積化を図る上で、消費電力の増加と歩留まりの低下が問題となり、高性能バイポーラとCMOSを同一シリコン基板上に形成する2μm Hi-BiCMOS技術を開発し、最大アドレスアクセス時間が25 nsと高速な64kビットTTL (Transistor Transistor Logic)/ECL RAMシリーズを世界に先駆けて開発した^{2),3)}。今回、更に微細化した1.3μm Hi-BiCMOS技術を確立し、RAMに適用することで、64kビットで12ns以下、16kビットで10ns以下の高速性を実現できた。図2に基本的なデバイス構造を示す。CMOS部は、N⁺埋込み層とP⁺埋込み層を持つ両ウェル構造を持つゲート長1.2μmの微細化CMOSとなっており、バイポーラ部は、最小エミッタサイズ1×3μm²のポリシリコンエミッタ構造を持つ高性能バイポーラとなっている。基本的なデバイス構造は、2μmデバイスと同じであるが、バイポーラトランジスタの性能向上のため、エミッタとベースの拡散深さをプロセスの熱処理工程の低温化などにより浅くしている。すなわち、エミッタ・ベース接合深さとベース・コレクタ接合深さは0.15μmと0.3μmである。この結果、バイポーラトランジスタの高周波特性指標である利得帯域幅積f_Tは、2μm

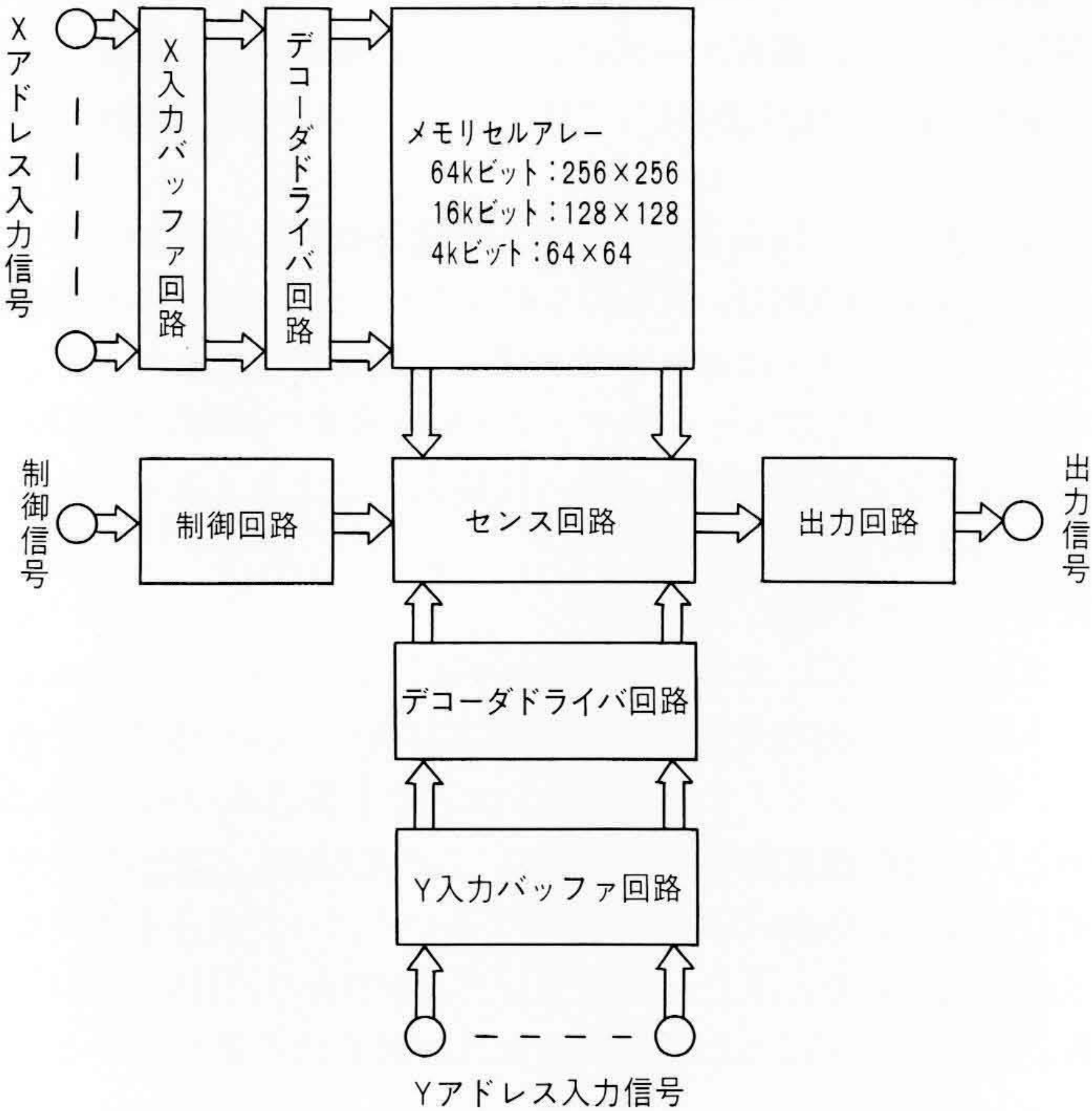
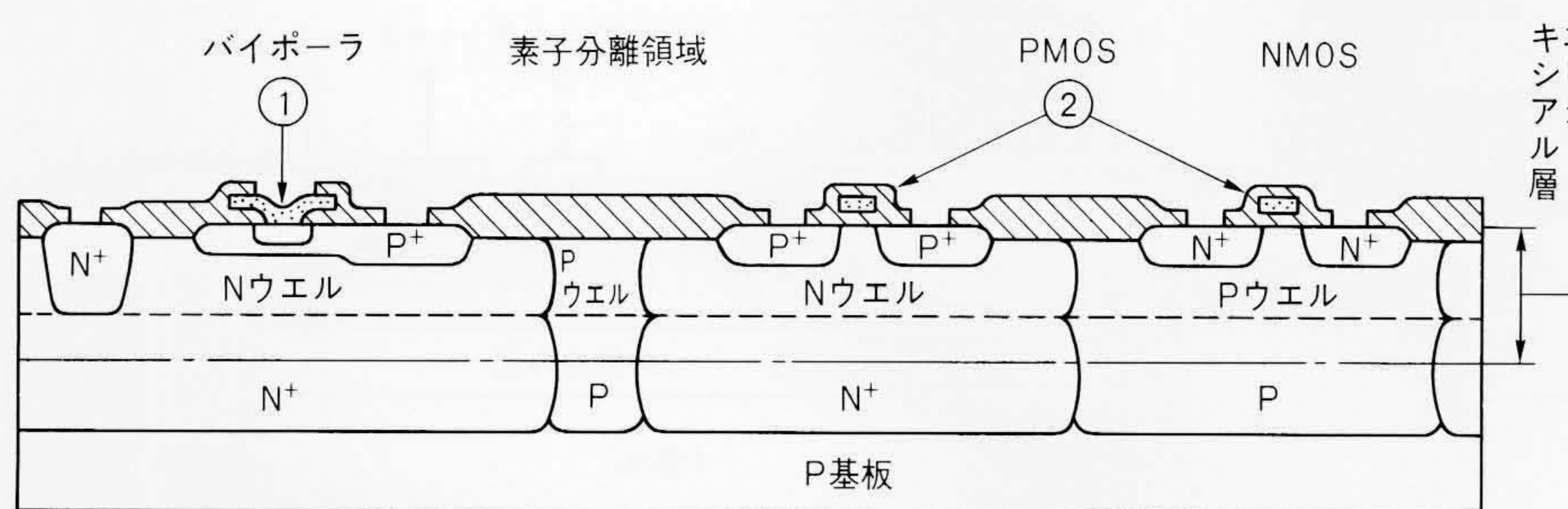


図1 ECL RAMの構成 メモリセルアレー部がチップの50%以上の面積を占め、コストを支配する。更に、メモリとしての基本的なスピードと消費電力も支配している。



注：略語説明など

CMOS (Complementary Metal Oxide Semiconductor)

PMOS (PタイプMOS)

NMOS (NタイプMOS)

① バイポーラトランジスタ

最小エミッタ寸法 = $1 \times 3 \mu\text{m}^2$ エミッタ接合深さ = $0.15 \mu\text{m}$ ベース接合深さ = $0.30 \mu\text{m}$

② CMOSトランジスタ

ゲート長 = $1.2 \mu\text{m}$ ゲート酸化膜厚 = 25nm 図2 $1.3 \mu\text{m}$ Hi-BiCMOSデバイス構造 高性能 $1 \mu\text{m}$ バイポーラトランジスタと $1.3 \mu\text{m}$ CMOSを同一基板上に形成している。

技術の4 GHzに対し、 $1.3 \mu\text{m}$ 技術では7 GHzと高速バイポーラLSIに使用されているバイポーラトランジスタと同程度の値を得ている。図3に $2 \mu\text{m}$ 技術と $1.3 \mu\text{m}$ 技術の比較を示す。Bi-CMOS複合ゲート、バイポーラECL回路の各々の伝搬遅延時間は $0.45 \text{ns}/\text{ゲート}$ 、 $0.3 \text{ns}/\text{ゲート}$ と $2.0 \mu\text{m}$ 技術に比較し約1.6倍の高速化がなされていることが分かる。

3.2 $1.0 \mu\text{m}$ U-ISO技術

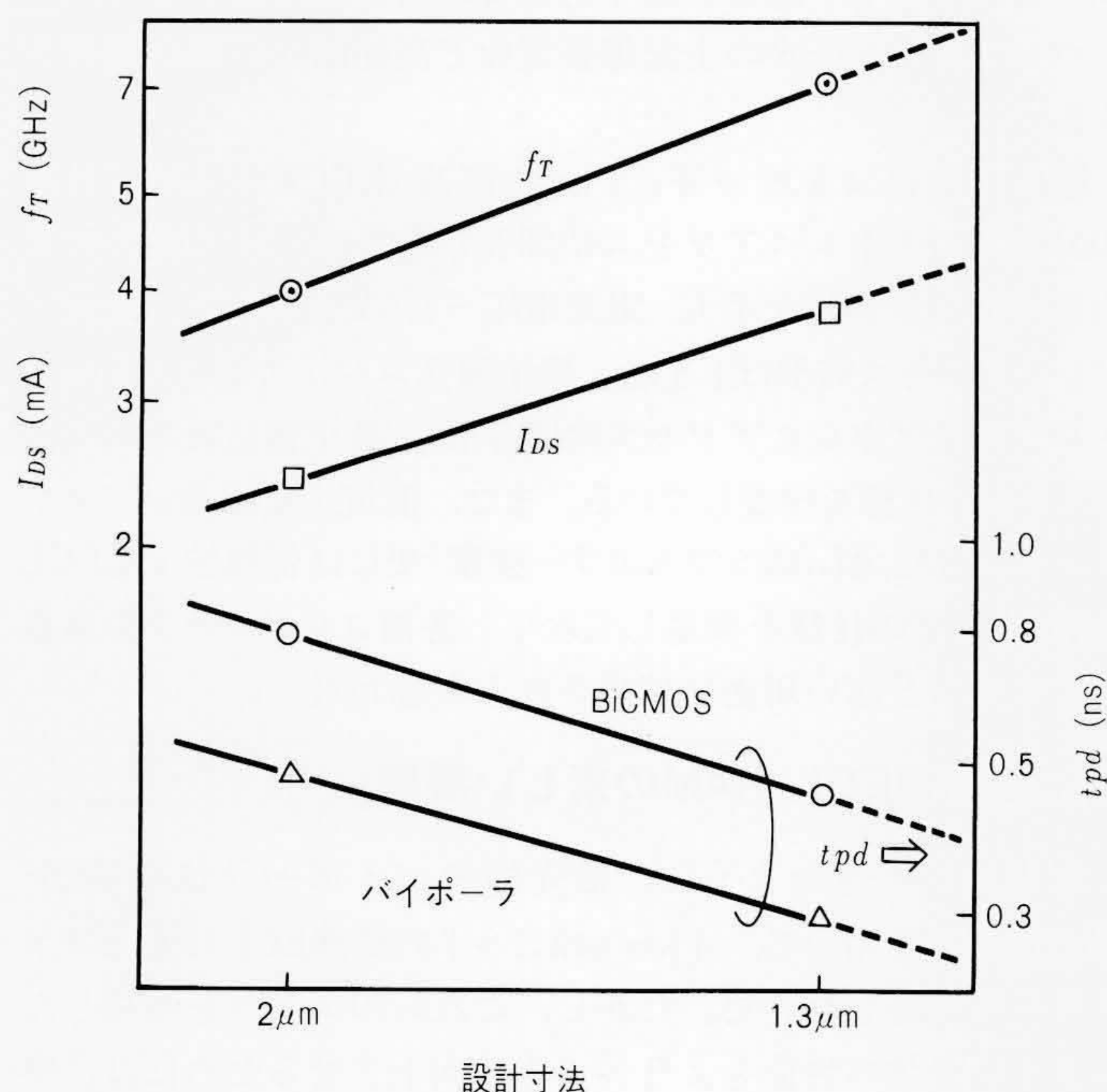
これまで述べてきたように、現状Bi-CMOS技術で最大アドレスアクセス時間 10ns は実現できているが、 5ns 以下という超高速領域を達成するには、以下に述べるとおり従来のように純バイポーラ技術が必要である。

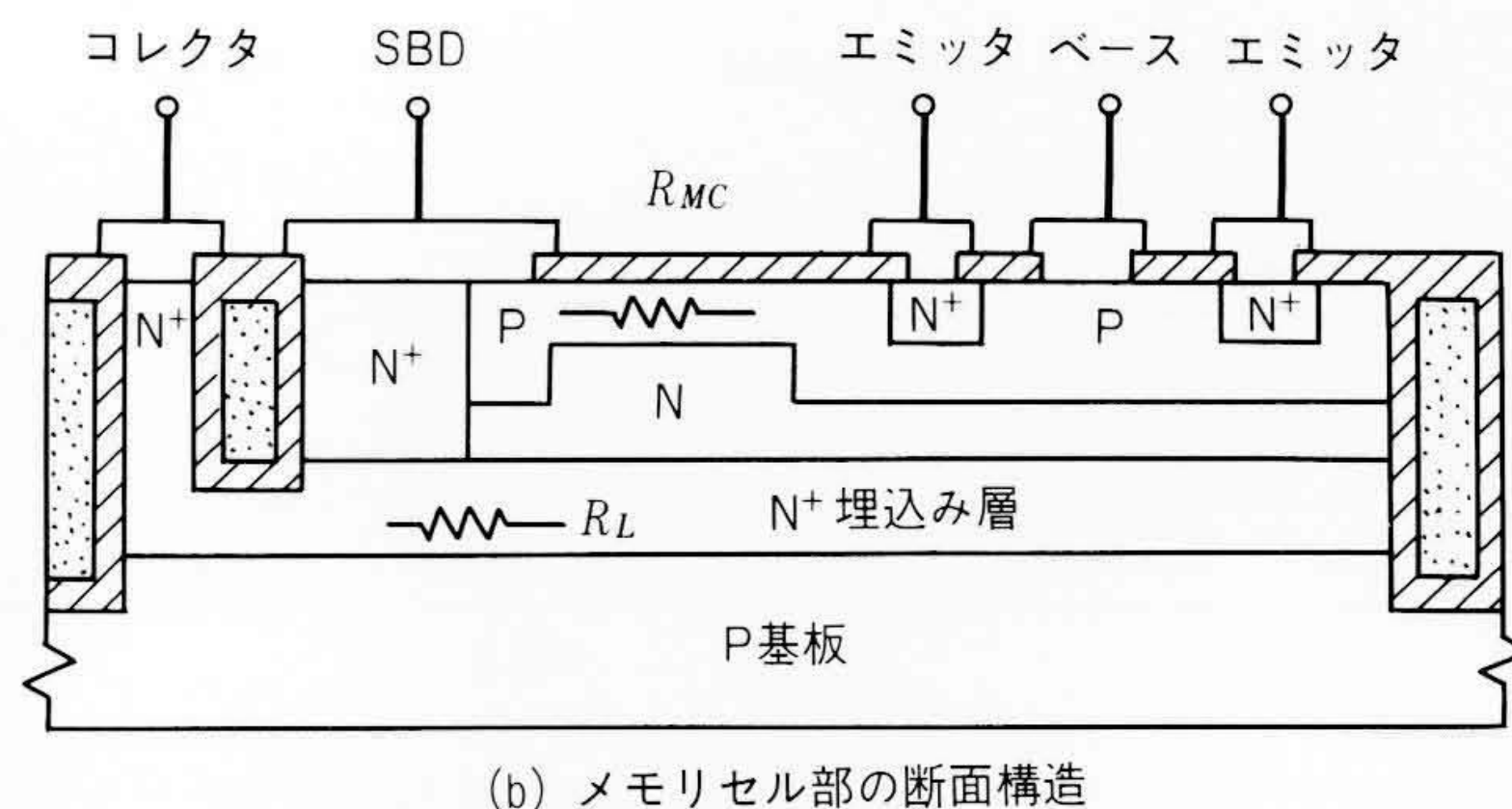
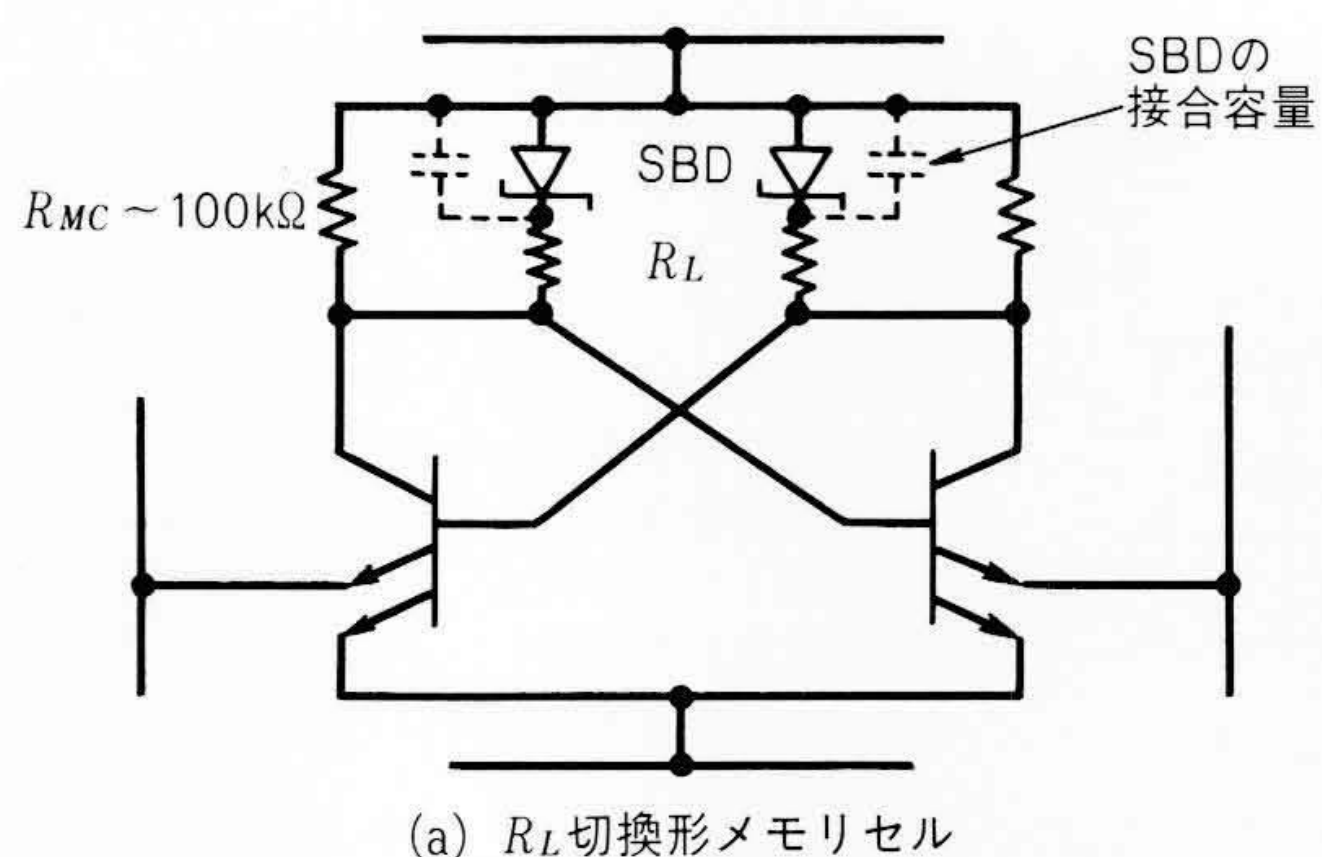
まず、Bi-CMOS技術で高速化していく場合、図1に示したECL RAMの構成の中の入力バッファとデコーダドライバ部の高速化が必要である。入力バッファ部では、ECL入力(振幅約 0.35V)を内部動作レベルであるMOSレベル(振幅約 5V)に

増幅している。このため、純バイポーラECL RAMに比較して、約 1.5ns 遅延が大きくなる。更に、デコーダドライバ部は振幅 5V で動作しているため、通常 0.6V で動作するバイポーラ形デコーダドライバに比較し約 1.0ns 遅延が増加してしまう。すなわち、現状のBi-CMOS ECL RAMでは、純バイポーラECL RAMに対し、全体で 2.5ns アドレスアクセス時間が大きくなってしまう。

一方、純バイポーラ技術は高速性に優れており、学会レベルでは $1 \sim 3 \text{ns}$ のアドレスアクセス時間が報告されている。実用レベルでは、まだ 3ns を切るECL RAMは出されていないが、技術的には可能である。純バイポーラ技術を用いて実用レベルでアドレスアクセス時間 5ns 以下の超高速ECL RAMを開発するための最大の課題は、 α 線によるソフトエラーに強いメモリセルとメモリセル面積縮小である。以下、今回開発した $1.0 \mu\text{m}$ U-ISO技術について述べる。

図4は、従来の $1.5 \mu\text{m}$ U-ISO技術を用いて開発した超高速ECL RAMのメモリセルの等価回路とその断面図である。メモリセルは、 R_L 切換形メモリセルである。このメモリセルは、非選択時に情報保持のためにセルに流れる必要最小限の保持電流 I_{ST} と、選択時に情報を高速に読み出すために必要な最大限の読出し電流 I_R の比、すなわち非選択時から選択時にセルに流れる電流の切り換わる比率 I_R/I_{ST} が大きくとれるため、最も高速化に適している。しかし、素子数が多いこと、大きな面積を持つSBD(Schottky Barrier Diode)があることなどのため、メモリセル面積が大きくなる。特に、SBDの接合容量は、耐 α 線ソフトエラーに直接影響を及ぼすため、ある値以上必要であり、メモリセル縮小の大きな阻害要因であった。この問題解決のため、 Ta_2O_5 薄膜による容量形成技術を $1.0 \mu\text{m}$ U-ISO技術では導入した。図5に、 $1.0 \mu\text{m}$ U-ISO技術を用いて開発した4 kビットECL RAM “HM100474”のメモリセル等価回路とその断面図を示す。すなわち、小さい面積のSBDに並列に大きな容量を持つ(小面積の) Ta_2O_5 キャパシタを備えることでメモリセル面積の縮小が可能となった。 Ta_2O_5 薄膜は大きい比誘電率を持つため、小面積で大きな容量を形成することができる。例えば、 $75 \text{\AA}$ の厚さのとき $8.5 \text{fF}/\mu\text{m}^2$ の容量が得られるが、この値はSBDの接合容量に対して3倍以上大きな値である⁴⁾。このメモリセルの開発によって、超高速に動作し、かつ α 線によるソフトエラーにも強い、小さなメモリセルが形成可能となり、4 kビット/ 5ns の性能が実現できた。

注：略語説明 f_T (利得帯域幅積) I_{DS} (NMOSドレーン電流) ($V_G = V_D = 5 \text{V}$) t_{pd} (ゲート遅延時間 C_L 一定 (1pF))図3 $2.0 \mu\text{m}$ と $1.3 \mu\text{m}$ Hi-BiCMOS技術の比較 $2.0 \mu\text{m}$ から $1.3 \mu\text{m}$ に微細化することによって、BiCMOSゲート及びバイポーラECLゲートの遅延時間は約1.6倍高速化される。



注：略語説明 R_{MC} (メモリセル高抵抗), R_L (メモリセル低抵抗), SBD (ショットキーバリアダイオード)

図4 従来の R_L 切換形バイポーラメモリセル 耐 α 線ソフトエラー強度を確保するため、大きな面積を持つSBDを備えており、メモリセル縮小の阻害要因となっている。

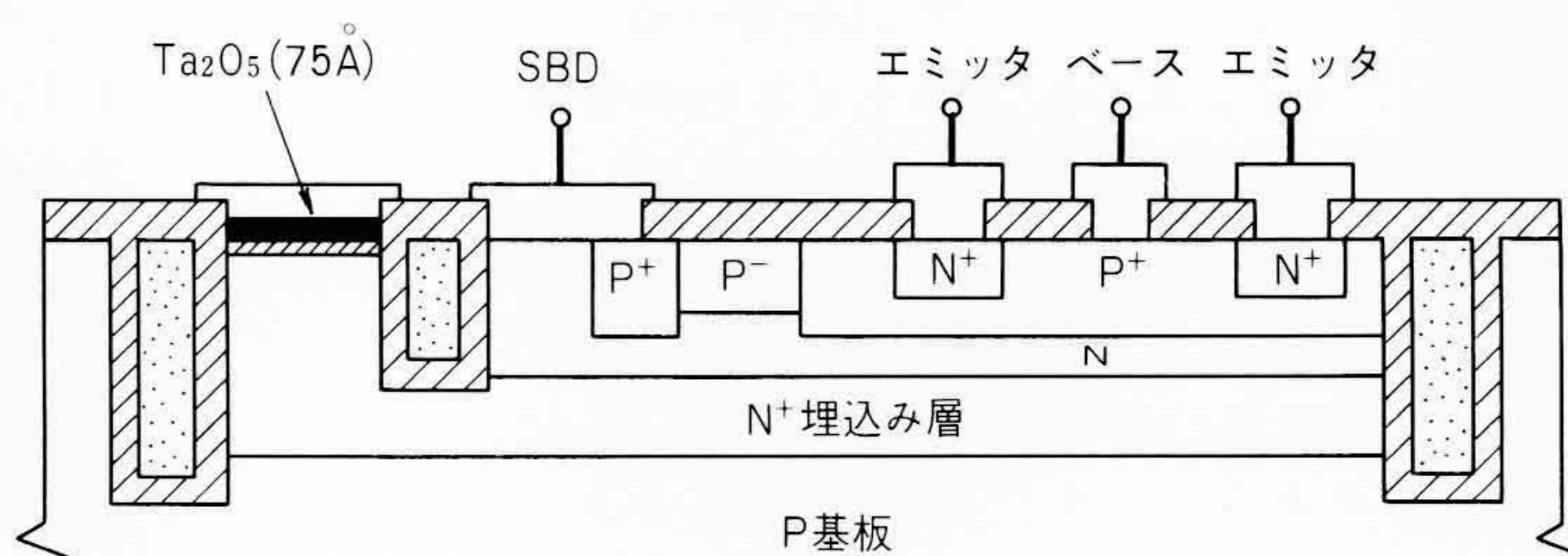
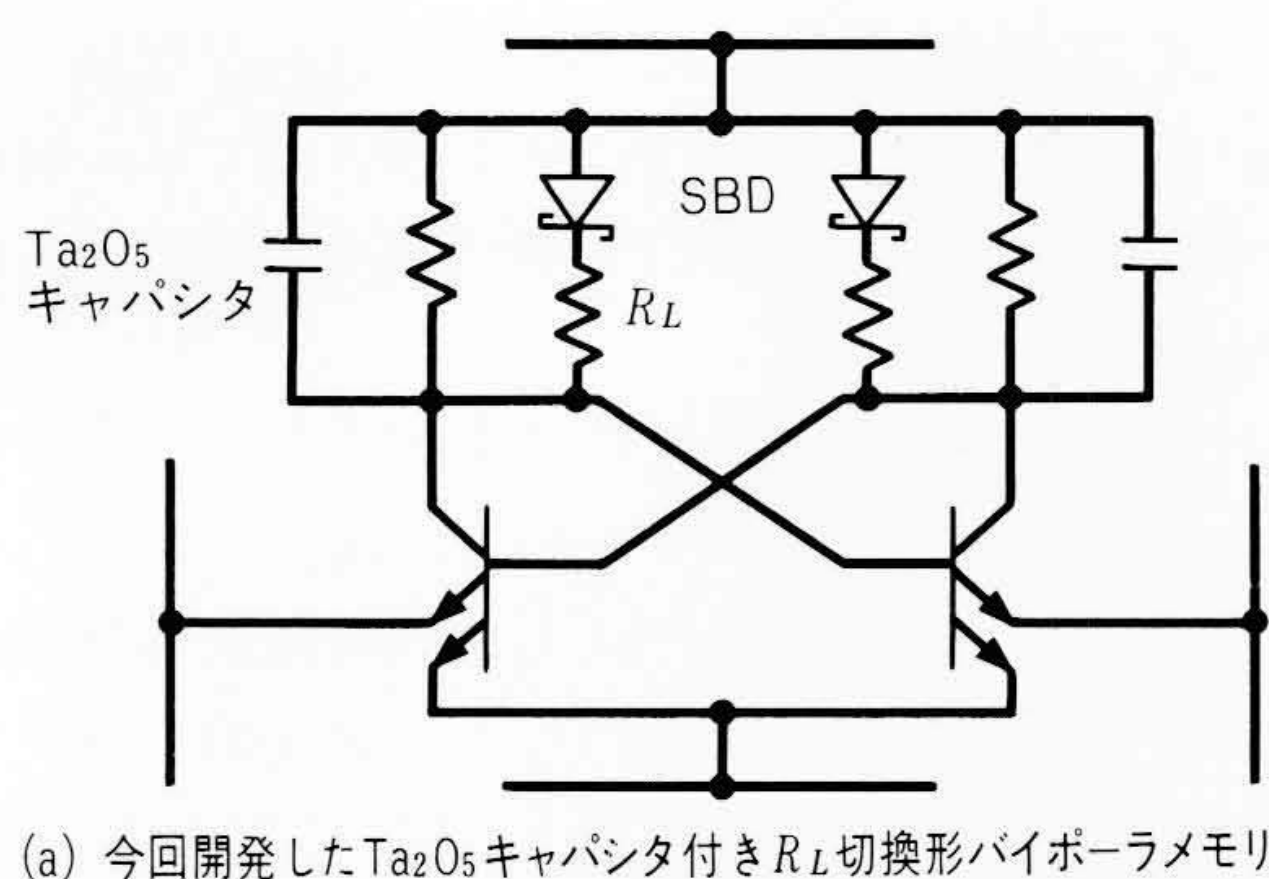


図5 Ta_2O_5 を用いた新しい R_L 切換形バイポーラメモリセル Ta_2O_5 薄膜をキャパシタとして用いることで、メモリセル縮小と耐 α 線ソフトエラー強度とを同時に達成できる。

4 性能評価結果

図6に今回開発した64kビット/12 nsのECL RAM “HM 10490”のチップ写真を、図7、8にアドレスアクセス時間と書込みパルス幅の電源電圧依存性の代表例を示す。電源電圧 $-5.2V \pm 5\%$ での最大アドレスアクセス時間は11 ns, 最小書込みパルス幅は4.5 nsであり、最大アドレスアクセス時間12 ns, 最小書込みパルス幅10 nsの仕様を満たすことができる。このほか、直流特性、交流特性、ファンクション特性、耐 α 線ソフトエラー強度、更には信頼性についても、ECL RAMと

しての使用条件で全仕様を満足しており、各種高性能コンピュータのバッファ記憶装置や低消費電力特性を生かして、スーパーコンピュータの主記憶装置など高範囲な応用が期待される。

図9、10に4 kビット/5 nsの超高速ECL RAM “HM 100474”のアドレスアクセス時間及び書込みパルス幅の代表的電源電圧依存性を示す。電源電圧 $-4.5V \pm 10\%$ で、最大アドレスアクセス時間は4.5 ns, 最小書込みパルス幅は2.5 nsであり、最大アドレスアクセス時間5 ns, 最小書込みパルス幅は3.5 nsの仕様を満足している。また、直流・交流及びファンクション特性、耐 α 線ソフトエラー強度、更には信頼性でもECL RAMとしての仕様を満足しており、各種コンピュータや高性能テストなど広い用途に使用されると思われる。

5 超高速ECL RAMの新しい展開

以上述べてきたように、最先端のバイポーラ技術やBi-CMOS技術を用いて、4 k~64kビットの高速ECL RAMファミリを開発してきた。しかし、これらのメモリを使用したシステム全体の性能をよりいっそう向上させるためには、実装配線による遅延を短縮しなければならない。なぜならば、システムスピードに実装配線の占める割合が、メモリの高速化の進展に伴い大きくなってきているからである。図11(a)に、従来の超高速ECL RAMをシステム上で使用する場合の概念図を示す。信号は論理LSIを通り、メモリ情報を読み出し、そ

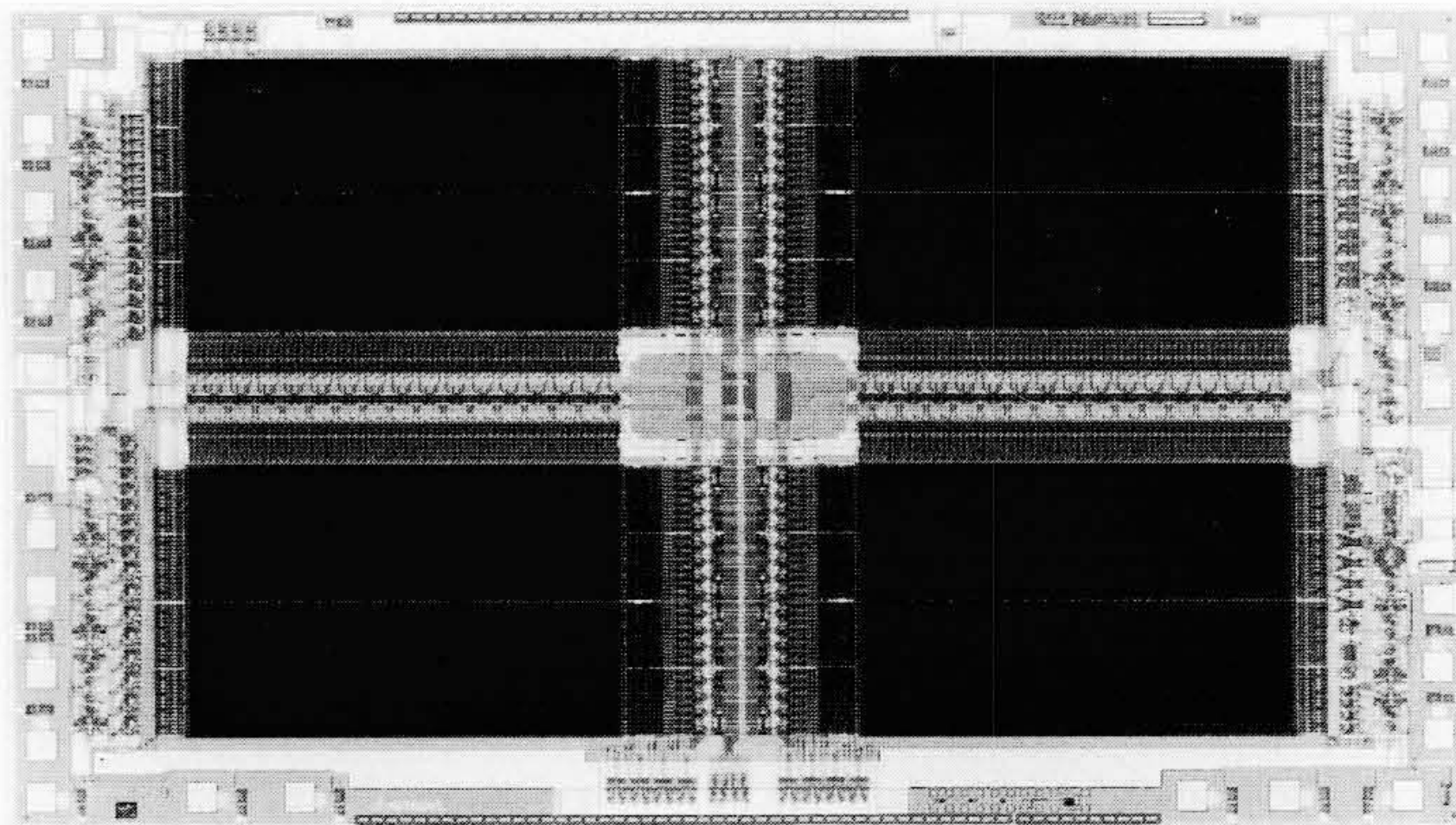


図6 64kビットECL RAMのチップ外観 チップサイズは $5.9 \times 3.4 = 20\text{mm}^2$ である。

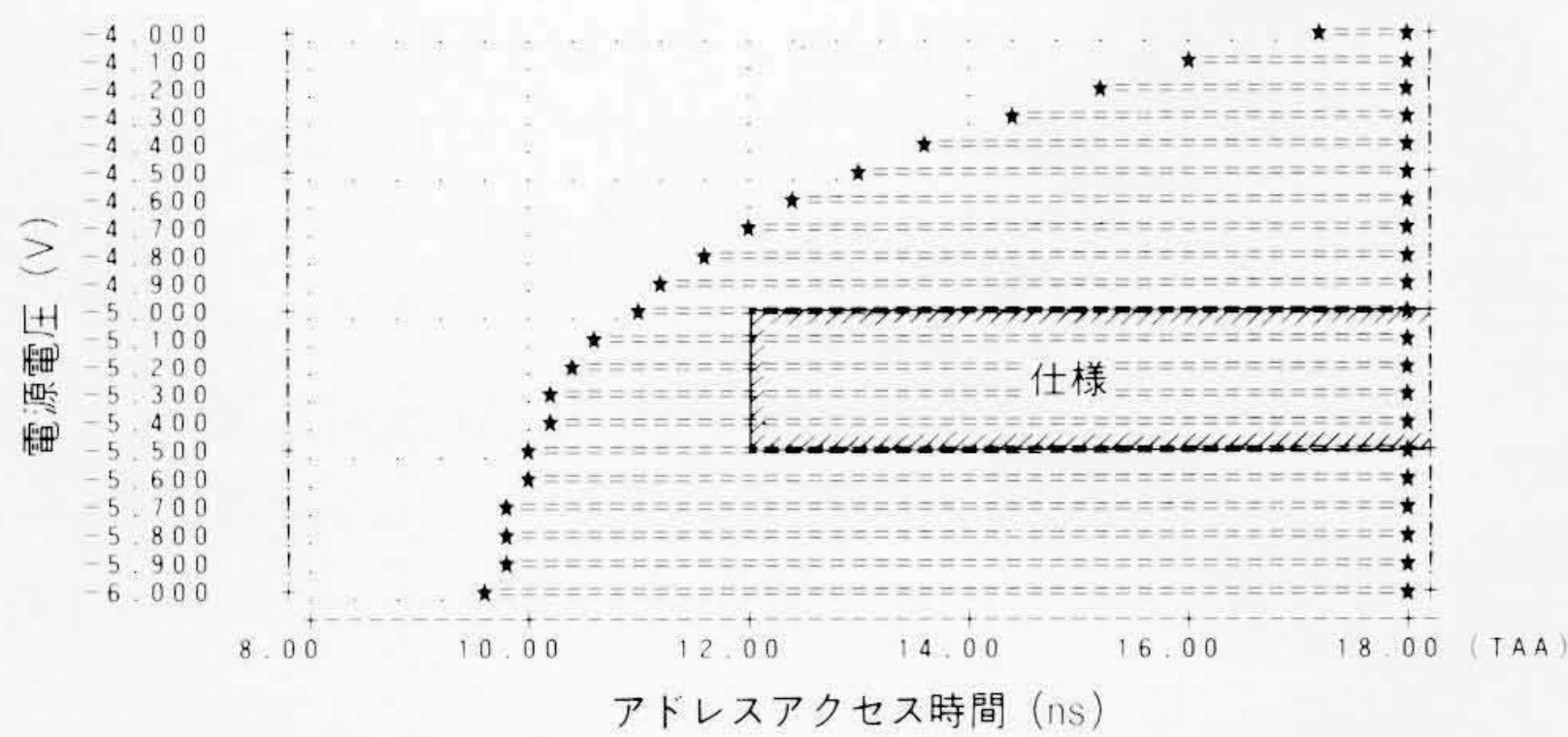


図7 64kビットECL RAMのアドレスアクセス時間の電源電圧依存性 最悪条件でも最大アドレスアクセス時間12nsの仕様を十分に満足している。

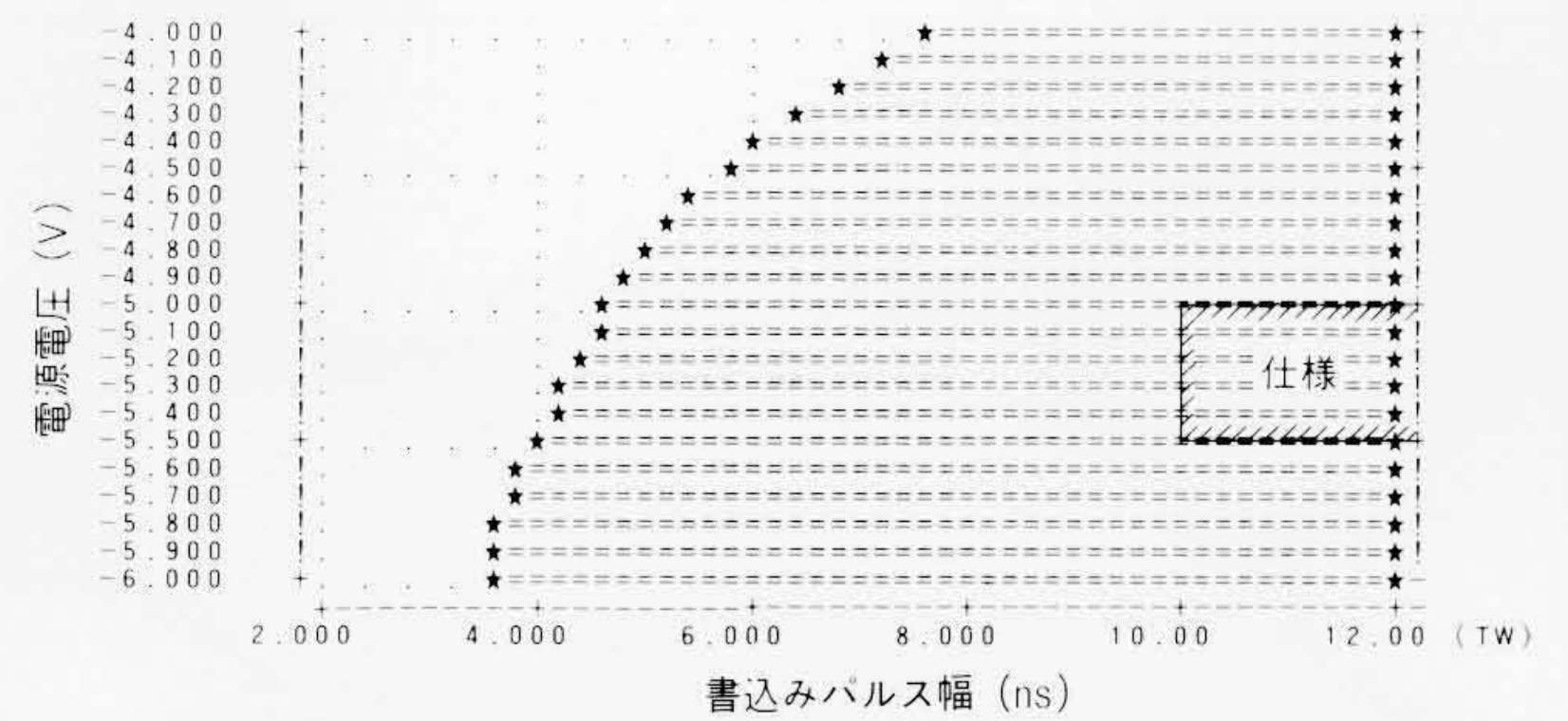


図8 64kビットECL RAMの書き込みパルス幅の電源電圧依存性 電源電圧-5.2V時、最小書き込みパルス幅4.4nsと高速書き込みが可能である。

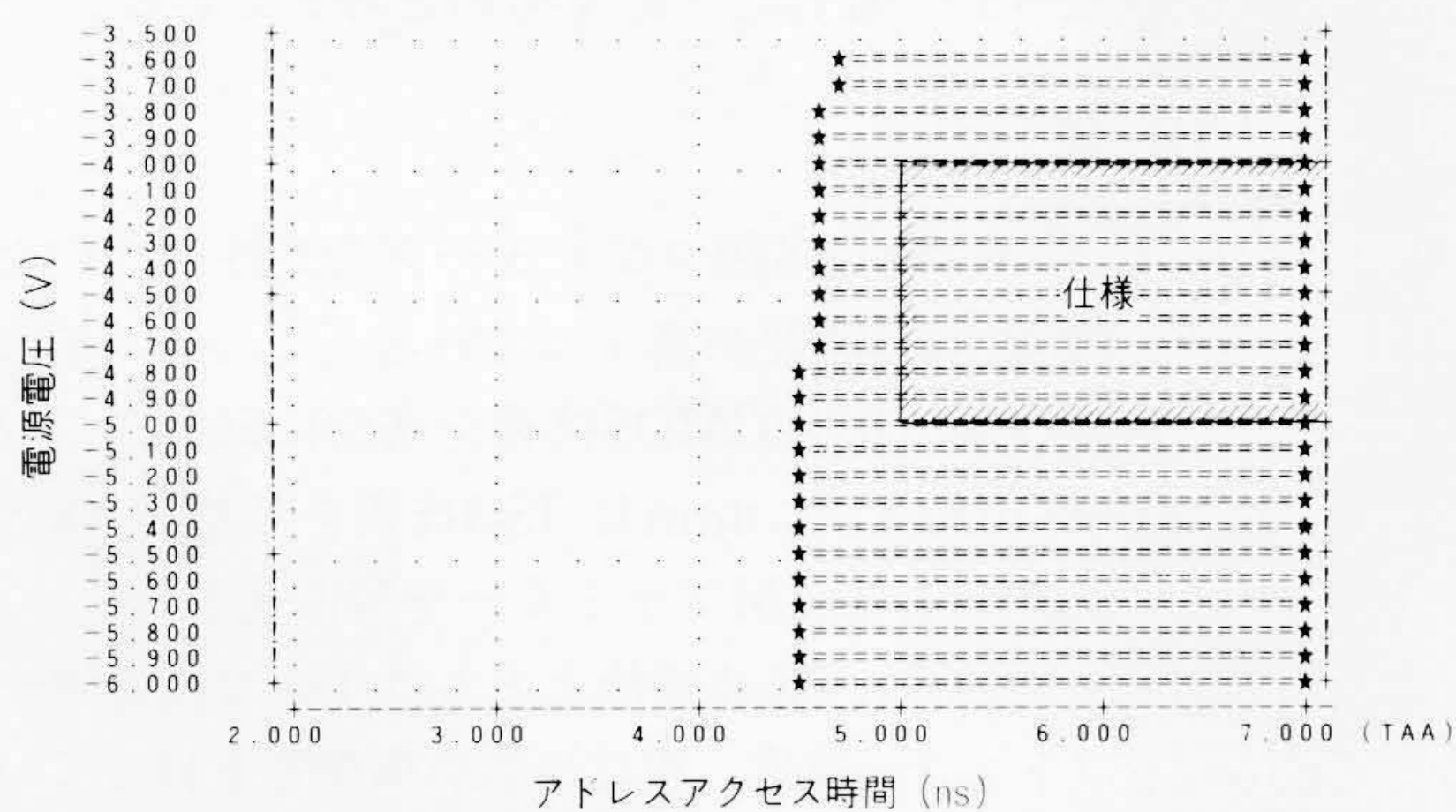


図9 4kビットECL RAMのアドレスアクセス時間の電源電圧依存性 最悪条件でも最大アドレスアクセス時間5nsの仕様を満足している。

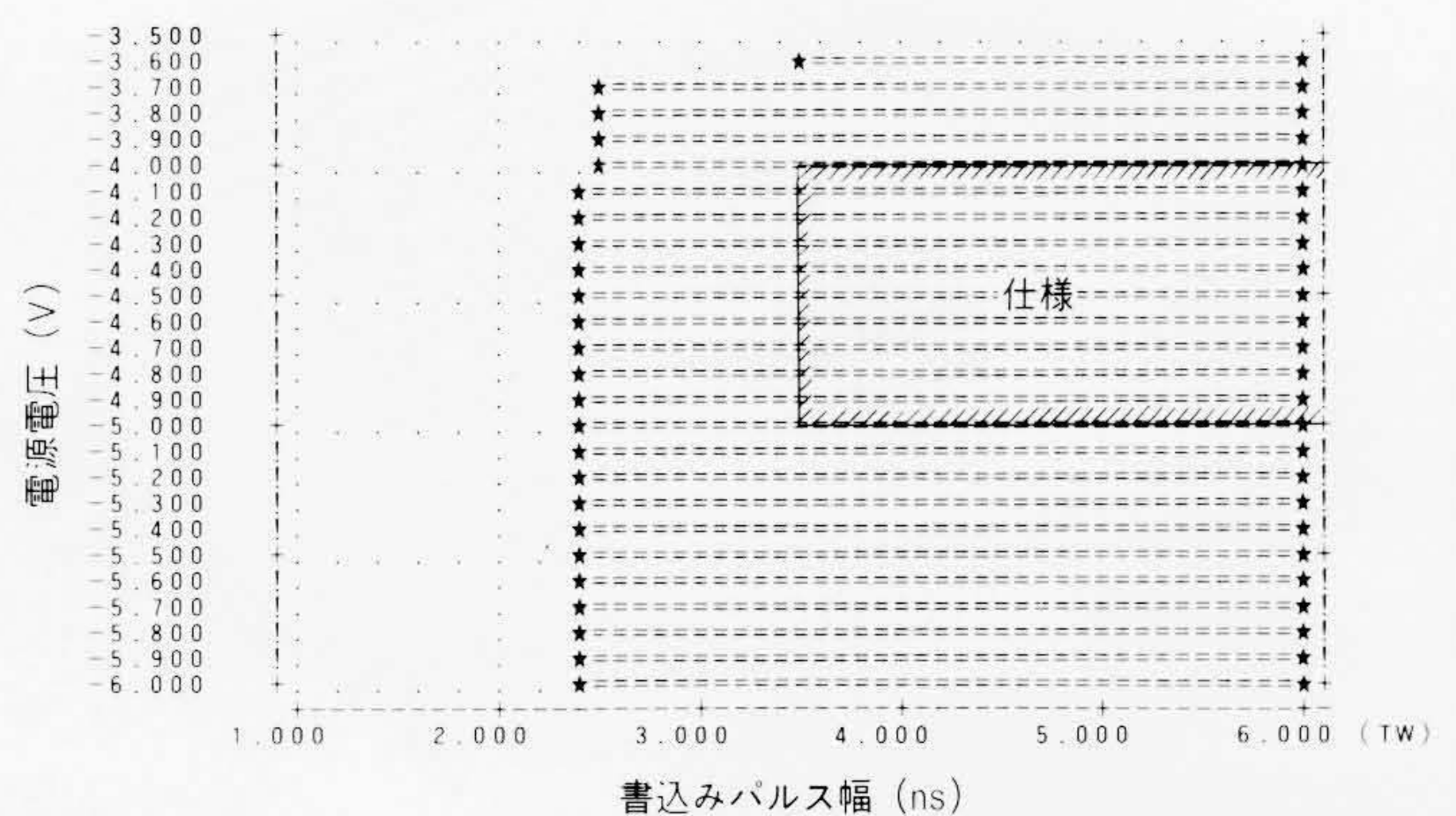


図10 4kビットECL RAMの書き込みパルス幅の電源電圧依存性 電源電圧-4〜-6V時、最小書き込みパルス幅2.4nsと超高速な書き込みが可能である。

の後論理LSIで演算を行い、次のLSIに伝搬していく。この場合、論理LSIとメモリLSI間の実装配線による遅延が問題となってくる。同図(b)は、シリコン配線基板上に、論理LSIチップとメモリLSIチップを直接はんだバンプを用いて実装するもの

であり、メモリモジュールと呼んでいる。この場合、チップ間の配線が短くなり、配線による遅延を従来の場合の $\frac{1}{2}$ 以下にできる。図12に、メモリ8チップと論理LSI1チップを、シリコン基板上に実装した具体例とその特長を示す⁵⁾。

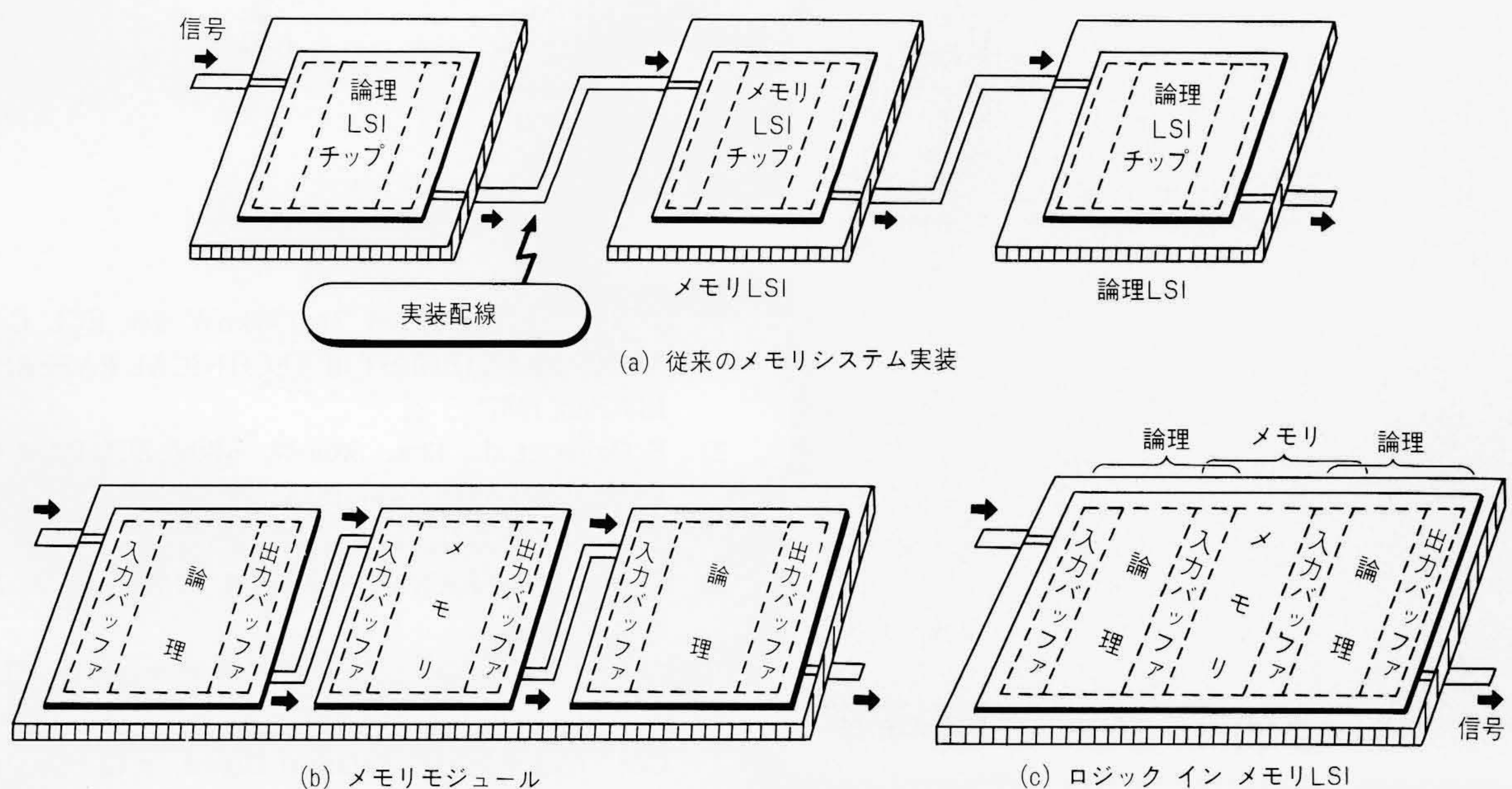


図11 超高速ECL RAMの新たな展開 (b)は、配線を備えたシリコン基板上に論理LSIとメモリLSIをクリップチップボンディング(はんだ球によるフェースダウンボンディング)で組み立て、配線遅延を低減するメモリモジュール、(c)は論理とメモリを1チップに集積したロジック イン メモリLSIである。



図12 メモリモジュール 4kビット/2.5ns typのRAMチップ8個と0.7kゲートで0.2ns/ゲートの論理チップをシリコン配線基板上に直接搭載し、メモリモジュール化している。

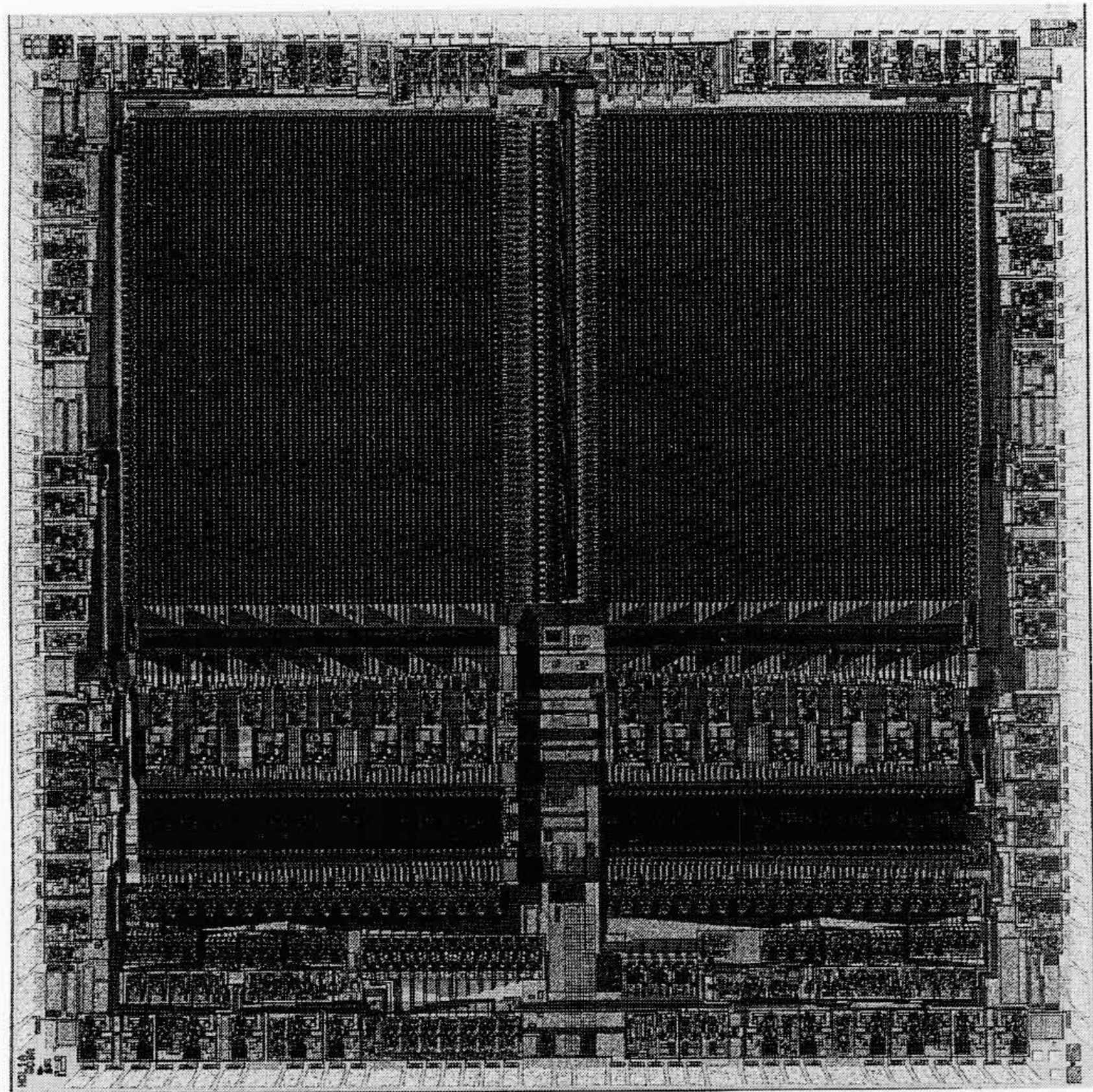


図13 ロジック イン メモリLSI 7kビット/6ns typのメモリと1.2kゲートで0.25ns/ゲートの論理を同一シリコン上に集積したLSIである。

更に、図11(c)は、論理LSIとメモリLSIを同一シリコンチップ上に形成した場合であり、単独のチップ上に設けてある大きな外部負荷を駆動するための大きな出力バッファ回路が省略でき、その分高速化が達成できる。このアプローチの具体例を図13に示す。このLSIは、IA (Index Array)と呼ばれるものであり、7kビットのメモリと1,200ゲートの論理を同一チップ上に形成しており、日立製作所の大形コンピュータ(M-680Xシリーズ)に実用されている。

以上述べたように、超高速化の進展とともに、システム全体の性能を向上させるため、メモリモジュールやロジック イン メモリのように、メモリと論理をシリコン配線基板上で、あるいは同一シリコン基板上で一体化したASIC (Application Specific IC) メモリが一般化していくものと考えている。

6 結 言

情報化社会の進展に伴う各種コンピュータの高性能化のために超高速ECL RAMの需要が高まっている。このニーズにこたえるため、1.3 μ m Hi-BiCMOS技術を基盤に64kビット/12ns、16kビット/10ns及び1.0 μ m U-ISO技術を基盤に4kビット/5nsの超高速ECL RAMファミリーを製品化した。

これらのECL RAMは、高速性能とともに十分な動作マージンと耐 α 線ソフトエラー強度、更には高い信頼性を持っている。また多様化する顧客のニーズに対応できるように、入出力信号レベル、ビット構成及びパッケージの異なるECL RAMの製品化を進めており、今後システムの高性能化に重要な役割を果たすものと期待される。

今後も、コンピュータを中心とした情報化社会の発展に従い、高速ECL RAMのよりいっそうの高速化・高集積化が必要となってくる。このような要求にこたえるために、メモリ単体としての性能向上だけでなく、よりシステム側のニーズに合ったメモリモジュールやロジック イン メモリのようなメモリと論理を一体化したASICメモリの開発及び製品化を推進していきたい。

参考文献

- 1) S.Miyaoka, et al.: A 7ns/350mW 64k ECL Compatible RAM, ISSCC DIGEST of TECHNICAL PAPERS, p.132~133 (Feb. 1987)
- 2) K.Ogiue, et al.: 13ns, 500mW, 64kbit ECL RAM Using HI-BICMOS Technology, IEEE Journal of Solid-State Circuits, Vol.SC-21, NO 5, 1986, p.681~685
- 3) 増田, 外: Hi-BiCMOS技術の展開, 日立評論, 68, 7, p.533~538 (昭61-7)
- 4) Y. Nishioka, et al.: High Capacitance Ultra-Thin Ta₂O₅ Dielectric Film Applied to a High Speed Bipolar Memory Cell, IEEE IEDM Technical Digest, p.42~45 (Dec. 1985)
- 5) M.Iwabuchi, et al.: A 7ns 128k Multi-chip ECL RAM-with-Logic Module, ISSCC DIGEST OF TECHNICAL PAPERS, p.226~227 (Feb. 1987)