

高速A-D及びD-Aコンバータ LSI ファミリー

High Speed Analog to Digital and Digital to Analog Converter LSI Family

画像信号処理を中心として、信号処理の複雑さ、画像メモリの開発などにより、従来アナログ処理で行われていたものがデジタル処理化されつつある。これらアナログ信号とデジタル信号とのインタフェースには、A-D及びD-AコンバータLSIが必要となる。特に、アナログ信号をデジタル信号化するA-Dコンバータは、高速性、消費電力及び集積規模の大きさからデジタル処理への障害の一つとなっていた。このため日立製作所は、高速・低消費電力を目的として、新プロセスと新回路方式の考案により、高速コンバータLSIシリーズの開発を進めてきた。この結果、バイポーラプロセスによりA-D及びD-Aコンバータを含めて6～10ビットで11品種を開発した。

笠原真澄* Masumi Kasahara

上田誠一* Seiichi Ueda

堀田正生** Masao Hotta

1 緒 言

ADC〔A-D(Analog-Digital)コンバータ〕LSIは、アナログ信号をデジタル信号に変換し、DAC〔D-A(Digital-Analog)コンバータ〕LSIは、その逆を行うLSIである。応用分野は、ファクシミリなどの通信分野、デジタルオシロスコープなどの計測分野、コンピュータの端末などのOA(Office Automation)分野と非常に幅広い。特に最近、テレビジョン、VTRなどの民生分野で画像信号を専門に扱う画像メモリの開発が盛んに進められ、従来、音声信号帯で行われているデジタル信号処理技術が、高速な画像信号処理にも応用されるようになった。このデジタル画像処理では、高速にアナログ～デジタル間の変換を行う技術が重要であり、高速ADC及びDACに対する市場ニーズが高くなっている。

本稿では、画像信号処理に適したADC及びDACの製品の特長、製品系列、設計技術並びに応用について述べる。

2 製品の特徴

(1) 高 速 性

6～8ビットのADCで変換速度30MHz(typ.)、6～10ビットのDACで変換速度20～50MHz(typ.)が達成でき、画像信号処理として十分な性能が得られている。

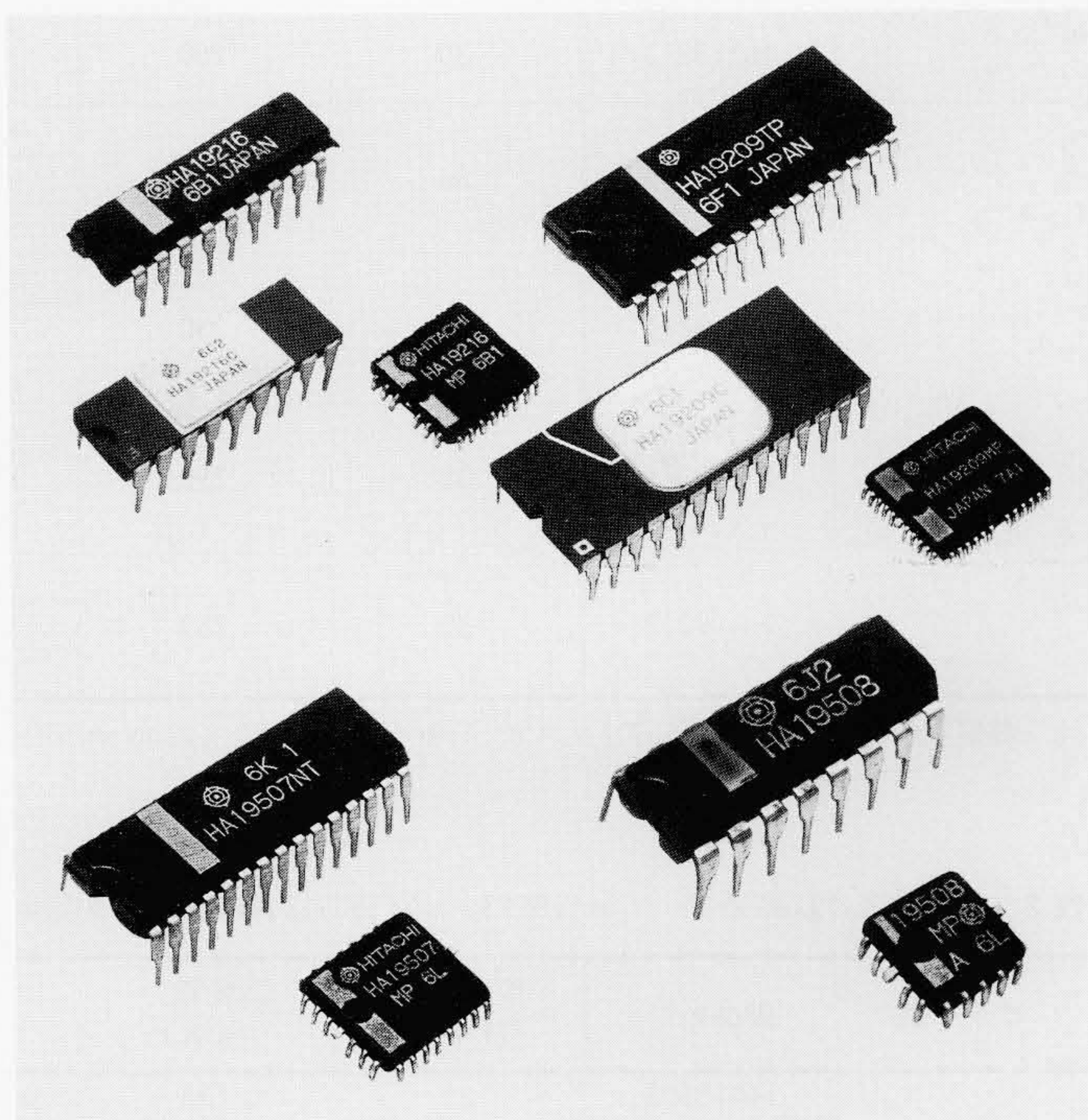
(2) 低消費電力

8ビットADCのHA19209, HA19210, HA19211, HA19212の場合で消費電力は250mW(typ.)と従来製品の $\frac{1}{2}$ ～ $\frac{1}{4}$ である。その他、TTL/CMOS(Transistor Transistor Logic/Complementary Metal Oxide Semiconductor)コンパチブルなロジックレベル、高基準抵抗値、アナログ入力の低容量化など使いやすくなっており、周辺回路が低電力化できることから、ADCだけでなく応用システム全体の低消費電力化が可能である。

可能である。

(3) クロック発生器内蔵

画像メモリを使ったシステムで必要となる基準信号(サブキャリア: f_{sc})と同期したクロック発生回路をDACに内蔵し、部品点数を削減している。3倍の f_{sc} の基準クロック用としてHA19503を、4倍の f_{sc} の基準クロック用としてHA19507を用



意している。

(4) 基準電圧源内蔵

8ビット及び10ビットの高分解能のDACであるHA19510, HA19505には、アナログ出力の振幅を決める基準電圧源を内蔵した。これにより、部品点数が減るとともに、電源電圧変動、温度変動に対して出力振幅の変動を小さく抑えることができた。

(5) パッケージの多様性

プラスチックDIP(Dual In Line Package)及びセラミックDIPに加えて、小形化、面付け化のニーズにこたえたMSP(Mini Square Package)も利用可能となっている(図1)。

3 製品系列

高速ADC及びDACの製品系列としては、ADCとしてHA19209, HA19210, HA19211, HA19212, HA19213, HA19216が、DACとしてHA19503, HA19505, HA19507, HA19508, HA19510がある。表1にADCを、表2にDACの製品概要を示す。

3.1 HA19209, HA19210

8ビットの分解能で変換速度30MHz(typ.)の性能を持つADCである。消費電力は、250mW(typ.)と従来製品の $\frac{1}{2} \sim \frac{1}{4}$ になっている。ロジックレベルは、TTL/CMOSコンパチブル、+5V単一電源で動作する。HA19209とHA19210の違いはオーバーフロー時のデジタルコードが、前者はオール“1”となり主に画像信号処理用に適している。後者はオール“0”となり9ビットへの展開又は計測用に適している。

3.2 HA19211, HA19212

8ビットの分解能で変換速度30MHz(typ.)の性能を持つADCである。HA19209, HA19210とピンコンパチブルであり、デジタルデータの確定期間を約2倍に延ばし、より使いやすくしている。HA19211とHA19212の違いは、HA19209, HA19210の違いと同様にオーバーフロー時のデジタルコードが各々オール“1”とオール“0”である。

3.3 HA19213

7ビットの分解能で変換速度30MHz(typ.)の性能を持つADCである。HA19211の7ビット版の機能を持ち、ロジック

表1 高速ADC製品系列 8ビット系列は、250mWの低消費電力を達成している。

ビット数	製品系列	変換速度 (MHz)	消費電力 (mW)	型 名	パッケージ	備 考
4	HA19202	10	160	HA19202	DP22	• TTLレベル(オープンコレクタ)
	HA19203	10	160	HA19203MP	MSP18	• TTLレベル(オープンコレクタ)
6	HA19216	30	250	HA19216	DPI8	• TTL/CMOSレベル • 3ステート出力
				HA19216C	DC18	
				HA19216MP	MSP28	
7	HA19213	30	200	HA19213NT	DP30S	• TTL/CMOSレベル
				HA19213MP	MSP28	
8	HA19209	30	250	HA19209TP	DP28	• TTL/CMOSレベル
				HA19209C	DC28	
				HA19209MP	MSP44	
	HA19210	30	250	HA19210TP	DP28	• TTL/CMOSレベル
				HA19210C	DC28	
				HA19210MP	MSP44	
	HA19211	30	250	HA19211P	DP28	• HA19209とピンコンパチブルで、 デジタルデータの確定期間が 2倍
				HA19211NT	DP30S	
				HA19211MP	MSP44	
	HA19212	30	250	HA19212P	DP28	• HA19210とピンコンパチブルで、 デジタルデータの確定期間が 2倍
				HA19212NT	DP30S	
				HA19212MP	MSP44	

注：略語説明 TTL/CMOS(Transistor Transistor Logic/Complementary Metal Oxide Semiconductor)

表2 高速DAC製品系列 HA19503, HA19507は基準クロック発生器を内蔵しており、画像メモリ応用に使いやすい。

ビット数	製品系列	変換速度 (MHz)	消費電力 (mW)	型 名	パッケージ	備 考
6	HA19503	20	180	HA19503ANT	DP30S	・ 3fscクロック発生器内蔵
	HA19507	20	220	HA19507NT	DP30S	・ 4fscクロック発生器内蔵
				HA19507MP	MSP28	
	HA19508	30	130	HA19508	DPI6	—
				HA19508MP	MSP18	
8	HA19510	50	220	HA19510	DPI8	・ 基準電圧源内蔵
				HA19510MP	MSP18	
10	HA19505	50	220	HA19505	DP20	・ 基準電圧源内蔵

レベルはTTL/CMOSコンパチブルで、+5V単一電源で動作する。

3.4 HA19216

6ビットの分解能で変換速度30MHz(typ.)の性能を持つADCである。デジタル出力をハイインピーダンスにすることができるので、マイクロプロセッサなどのバスラインに接続することが容易にできる。

3.5 HA19508

6ビットの分解能で変換速度30Mspsの性能を持つDACである。ロジックレベルではTTL/CMOSコンパチブルで、+5V単一電源で動作する。

3.6 HA19503, HA19507

6ビットの分解能で、変換速度20Mspsの性能を持つDACであり、基準クロック発生器を内蔵し、画像メモリ応用システムでは大幅に部品点数が削減できる。HA19503とHA19507の違いは、基準クロックの周波数で区別され、前者が3fsc、後者が4fscの基準クロックを持ち、応用システムの周波数によって選択使用される。

3.7 HA19510, HA19505

それぞれ8ビット及び10ビットの分解能で変換速度50Mspsの性能を持つDACである。ロジックレベルはTTL/CMOSコンパチブルで、+5V単一電源で動作する。アナログ出力振幅を決める基準電圧源を内蔵しているため、電源電圧、温度が変動しても一定の出力振幅が得られる。

4 高速ADC及びDAC設計技術

高速コンバータの技術動向としては、高速化、低消費電力化、及び小形化が挙げられる。ここではADC、DACにとって必要な要素技術として、大集積でかつ高速な動作を可能にするデバイス技術、大集積化に伴う消費電力の増加を抑える回路技術がある。本章では、

(1) デバイス技術

(2) 低消費電力コンパレータ

に関する技術について概要を述べる。

4.1 デバイス技術

高速アナログ・デジタル混在形LSI用として、新たに開発したバイポーラプロセスであるHIT(High Integration Technology)プロセスを、一連の高速ADC及びDACに採用した。バイポーラデバイスでは、高速化が図れる反面、消費電力の増大を招くことが予想される。しかし、HITプロセスでは、

(1) トランジスタの微細化により、動作電流自体が従来のプロセスで作ったトランジスタと比べて約 $\frac{1}{10}$ となる。

(2) 微小電流領域でのベータ、カットオフ周波数 f_T が高い。といった、従来のバイポーラデバイスの欠点を十分カバーする特長があり、消費電力の増大を抑えることができた¹⁾。表3にHITプロセスによるトランジスタの主な特性を示す。

また、HITプロセスでは、素子の面積も縮小でき、トランジスタについては従来のものに比べて約 $\frac{1}{10}$ となっている。8ビットADCの場合、7,000～1万素子の集積が必要であるから、素子面積の縮小もICチップの小形化に大きく貢献している。

表3 HIT(High Integration Technology)プロセス特性 従来のアナログプロセスに比べて、素子面積で約 $\frac{1}{10}$ になっている。

デバイス	パラメータ	
NPN形 トランジスタ	f_T Max.	4.5GHz
	h_{FE}	200
	BV_{CEO}	10V
	エミッタ長	3 μ m

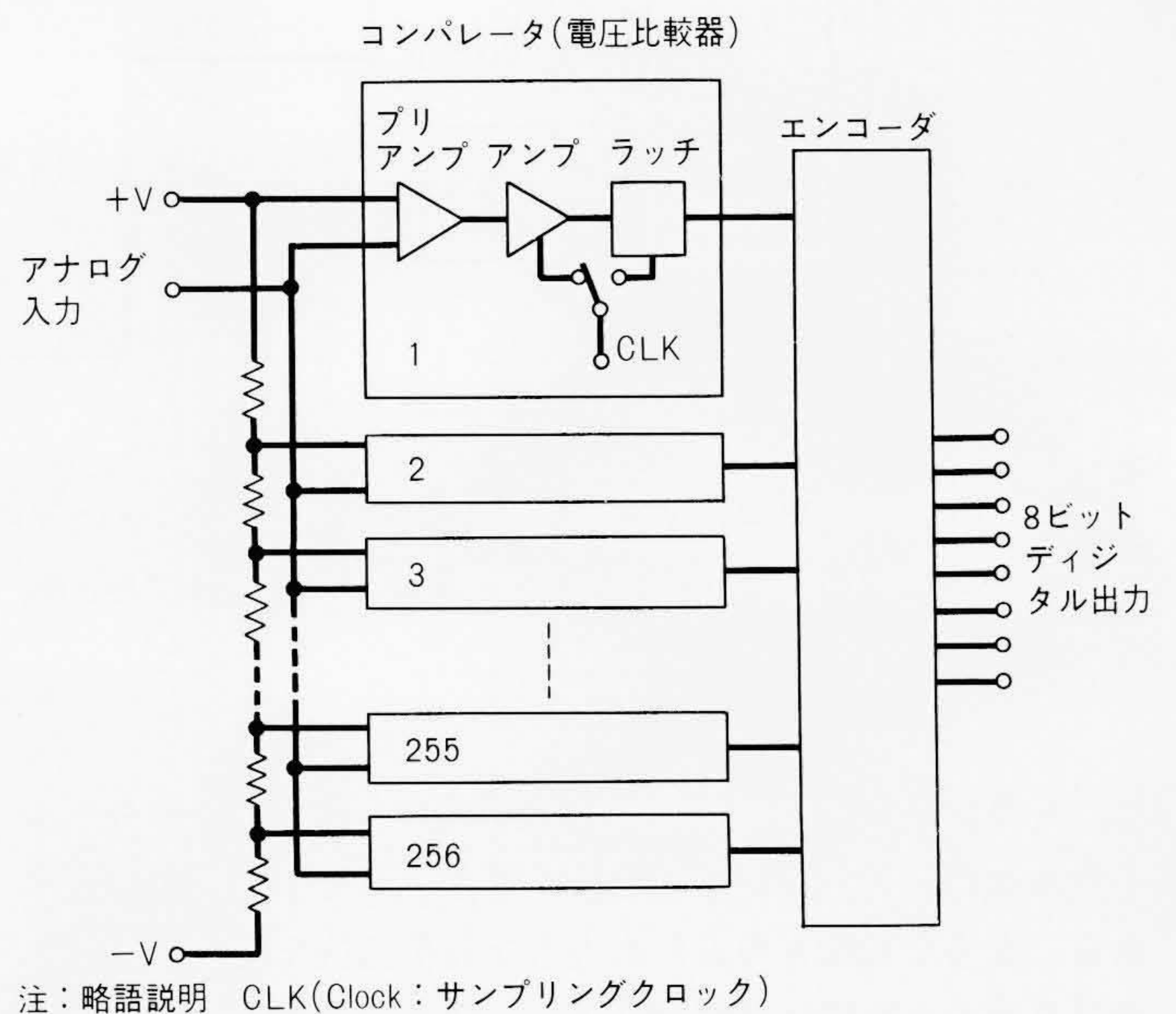


図2 並列形高速ADCの構成 入力したアナログ信号をとらえるコンパレータが、8ビットADCの場合256回路ある。

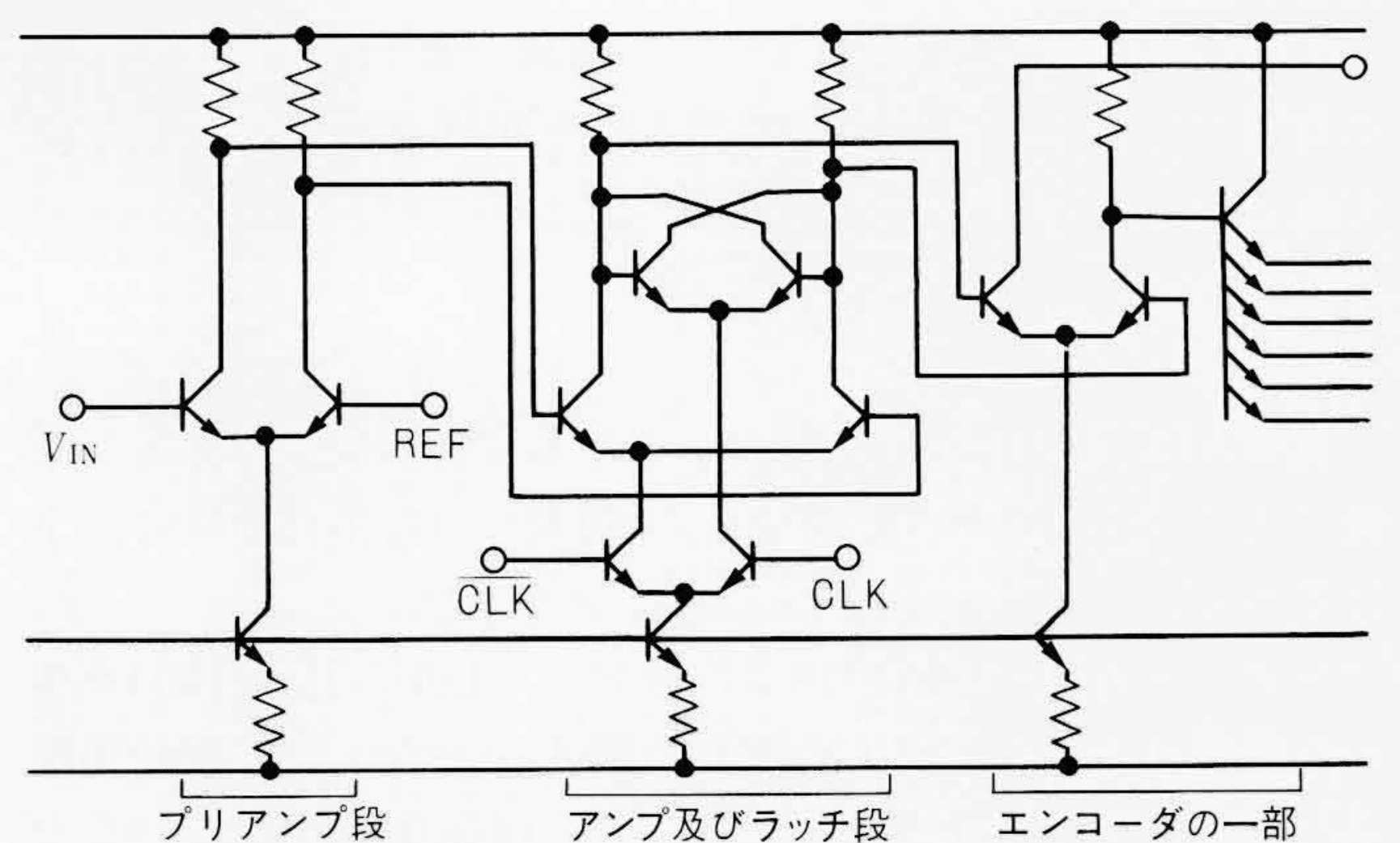
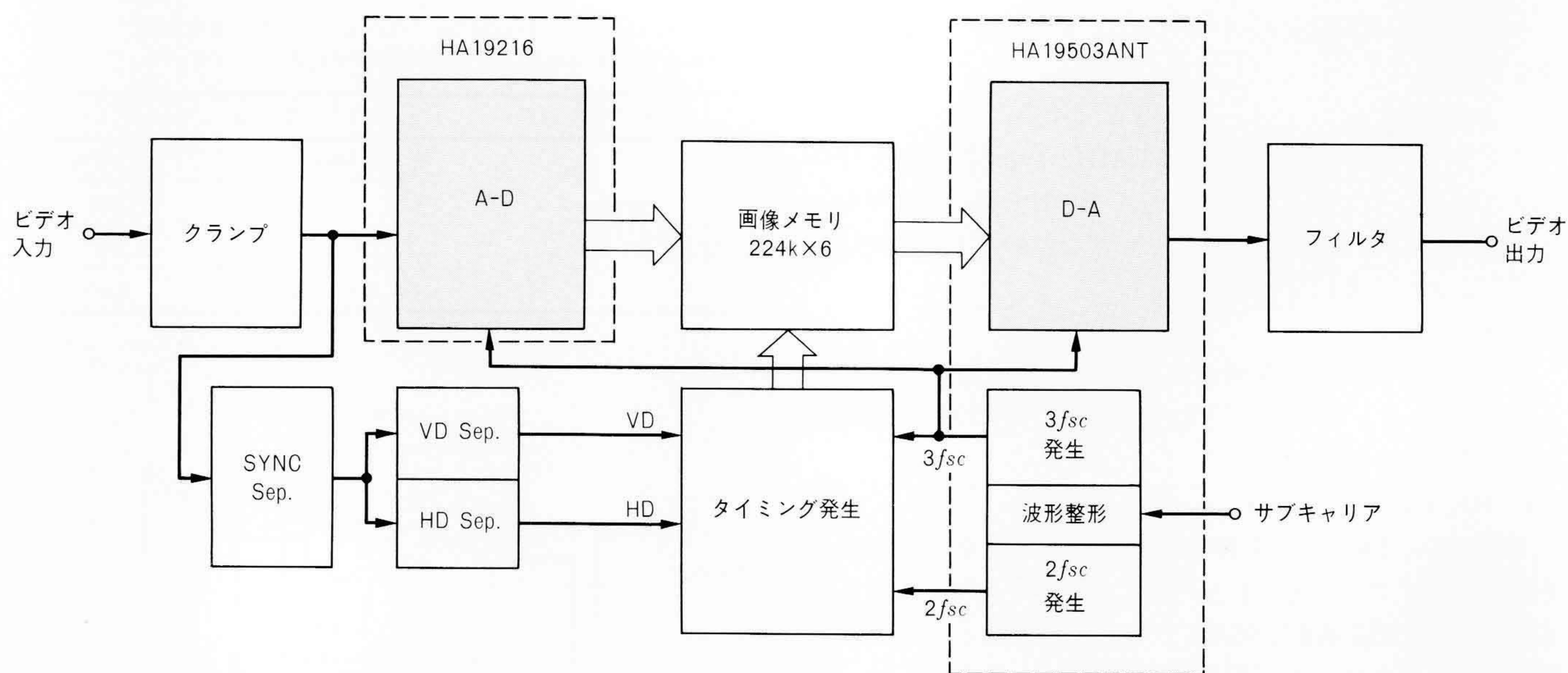


図3 新しく開発した低消費電力コンパレータ アナログ信号を、プリアンプ段であらかじめ増幅してラッチ段に送るので、ラッチ段の消費電力を下げてでも信号はとらえられる。

4.2 ADC用低消費電力コンパレータ

高速なADCでは、図2に示すように多数のコンパレータを使って並列処理を行っている。したがって、各々のコンパレータ回路の消費電力を低減するために、新たに図3に示す低消費電力コンパレータ回路を開発した^{2),3)}。前節で述べたよう



注：略語説明

SYNC Sep.(同期信号分離), VD Sep.(垂直同期信号分離), HD Sep.(水平同期信号分離), VD(垂直同期信号), HD(水平同期信号), f_{sc} (サブキャリア)

図4 画像メモリを使った映像機器 画像メモリを使って静止画, マルチ画面などの特殊効果を行う。

に、トランジスタの動作電流はHITプロセスにより十分小さくなったが、アナログ信号を扱う場合、適当な振幅が必要である。適当な振幅を得るため大きな負荷抵抗を付けたのでは浮遊容量のため動作速度が低下し、性能の劣化を起こす。このため、負荷抵抗を上げずに電圧振幅を得る手段として、新しいコンパレータ回路では、アナログ信号をとらえるラッチ段の前にプリアンプを設けた。このプリアンプ段であらかじめアナログ信号を増幅してラッチ段に送ることによって、ラッチ段の動作速度は向上する。この結果、素子数が増えたが、消費電力を約 $\frac{1}{5}$ に下げても従来と同じ動作速度を保つことが可能となった。

5 応 用

高速ADC及びDACを実際にシステムに使った例として、画像メモリを使ったテレビジョン、VTRへの応用について以下に述べる。

6ビットADC HA19216及び6ビットDAC HA19503を用いた画像メモリシステムの構成を図4に示す。映像信号処理系に画像メモリを使うことによって、従来困難であった完全な静止画及び特殊効果を実現することができる。入ってきた画像信号をHA19216によりA-D変換しデジタル信号にしてメモリに書き込み、画像を保持する。また、メモリから読み出したデジタル信号は、HA19503によりD-A変換し、再び画像信号に合成して出力する。また、メモリの読み書きを行うゲートアレーを制御する基準クロック及びADC、DACの変換クロックはHA19503で発生する。基準クロックが $4f_{sc}$ のシステム用には、DACとしてHA19507を用意している。また、基準クロック回路を内蔵しないDACとして、6ビット用にHA19508、8ビット用にHA19510、10ビット用にHA19505がある。このように、従来、アナログICで構成していたシステムを無

調整化し、機能向上するためにデジタル化する場合、HA19216とHA19503などのADCとDACの機能が必要となる。

6 結 言

デジタル信号処理システムとアナログ信号の間をインタフェースする高速ADC及びDACの高速化、低消費電力化を目的としてアナログLSI用微細加工プロセス技術、低消費電力コンパレータ回路などのプロセス技術、回路技術の開発を行ってきた。

今回紹介したHA19209～HA19216のADC 6品種及びHA19503～HA19510のDAC 5品種は、上記技術を使い、市場ニーズに合わせてユーザーが使いやすいような特徴を持たせている。今後、更に高速・多ビットの高性能化、周辺機能の取込み、製品系列を充実させていく計画である。

現在、高速ADC、DACの応用分野は、通信・計測・OA・民生分野へと非常に拡大している。特に、画像信号を扱う民生分野への展開は目覚ましいものがあり、システムのデジタル化へは欠かすことのできない製品になってきている。

参考文献

- 1) M.Hotta, et al.: A 120mW, Video-Frequency A/D Converter with Shallow-Groove-Isolated Bipolar VLSI Technology, in 1984 Symposium on VLSI Technology Dig. of Tech. Papers, Sept. 1984
- 2) 清水, 外: 150mW, 8ビットビデオ用AD変換器—コンパレータの設計手法に関する検討—, 昭60電子通信学会全国大会, 441
- 3) 堀田, 外: 150mW, 8ビットビデオ用AD変換器—試作ICの評価結果—, 昭60電子通信学会全国大会, 442