

スーパーコンピュータ“HITAC S-820”のハードウェア技術

Packaging Technology for Supercomputer “HITAC S-820”

大形科学技術計算分野での要望にこたえるために、最大処理性能が3G FLOPSとシングルプロセッサとしては世界最高速を誇るスーパーコンピュータ“HITAC S-820”を開発した。

HITAC S-820は、超高速処理性能に加え、主記憶と拡張記憶から成る大容量記憶、高いシステム信頼性、省スペース、省エネルギー化などを特長としている。

本稿では、これを実現するために開発した半導体、ハイブリッドモジュール、多層プリント基板、電気部品、冷却機構、給電機構などのハードウェア技術の全容について述べる。

小林二三幸* *Fumiyuki Kobayashi*
村田 慎 吾* *Shingo Murata*
頭 士 鎮 夫* *Shizuo Zushi*
荻 上 勝 己** *Katsumi Ogiue*
榎 本 実** *Minoru Enomoto*

1 緒 言

スーパーコンピュータHITAC S-820システム(以下、S-820と略す。)は、最大処理性能3G FLOPS(Giga Floating-point Operations Per Second)という超高速処理能力を実現するとともに、巨大計算に備えて最大512Mバイトの高速・大容量記憶、最大12Gバイトの大容量拡張記憶を備えたシングルプロセッサで世界最高速を誇るスーパーコンピュータである。

こうした高速化、大容量化を実現するために、HITAC M-68X(以下、M-68Xと略す。)で確立したハードウェア技術に加え、幾つかの新しいハードウェア技術を採り入れて、スーパーコンピュータに最適な高速、高密度化実装を実現した。

具体的には、RAM(Random Access Memory)部のアクセス時間2.5nsで6,912ビットのRAMと2,500ゲートの論理を1チップに収容したベクトルレジスタ用超高速LSI、BiCMOS(Bipolar Complementary Metal Oxide Semiconductor)技術によるアクセス時間20nsの64kビットスタティックメモリとそれをセラミック基板上に12個搭載したMS(Main Storage)モジュール、SOJ(Small Outline with J-leads)封止の1MビットDRAM(Dynamic RAM)とそれらを576個両面実装した大容量拡張記憶パッケージなどを開発した。

プラッタ間のデータ転送時間を短縮するために、パッケージとプラッタを組み合わせた3次元高密度実装を採用し、これらのプラッタを2段に積み重ねた2段実装構造とし、冷却空気の最適制御技術の開発により、超大形のスーパーコンピュータでありながら設置性と保守性に優れた強制空冷方式を実現した。

大容量の低電圧電流を得るための電源方式としては、M-68Xと同じ電動発電機に直流電源ユニットを組み合わせる方式を採用している。

これらの高度なハードウェア技術の採用により、S-820では

処理能力、省スペース、省電力の面で大幅な改善が実現できた(表1)。

2 高速・高集積半導体

S-820では、S-810から飛躍的に高速・高集積化した半導体技術を採用した。論理素子及びバッファ記憶、制御記憶、インデックスアレー用RAMとしては、M-68Xプロセッサ用に開発した素子を用い、新たにベクトルレジスタ用超高速LSI、主記憶用高速スタティックRAMを開発し装置の高速化を図った(表2)。

(1) ベクトルレジスタ用超高速LSI

高速なベクトル演算を実行するためには、演算結果を格納するベクトルレジスタの高速化、高集積化が極めて重要な課題となる。S-820では図1に示すベクトルレジスタとしての機能を果たすRAMとその周辺の論理、すなわち、読出し及び書込みアドレス演算部、アドレスセクタ及びレジスタ、書込み及び読出しデータレジスタを一つのチップにまとめた、いわゆるロジックインメモリとして専用のLSIを開発した。

このようにRAMと周辺論理を一体化することによって、回路の統合及び最適化が可能となり、また1 μ mレイアウトルールによる最新の半導体プロセスの採用とあいまって、RAMのアクセスタイム2.5ns、書込みサイクルタイム3.8nsを実現することができた。

また、超高速化に当たっては、各レジスタへ供給するクロックパルス及びRAMの書込みパルスのパルス幅、位相を高精度で制御することが必要であるが、本LSIでは、基本クロックを外部から供給し必要なパルスをLSI内で作り出す、いわゆるセルフタイム方式を採用することによってこの問題を解決した。

* 日立製作所神奈川工場 ** 日立製作所デバイス開発センタ

表1 S-820とS-810技術の比較 S-820は、S-810に比べ大幅な性能向上を図るとともに、性能当たりの床面積、消費電力の改善を行った。高密度な3次元2段積み実装形態を採り空冷式である。

項 目		S-820モデル80	S-810モデル20
最大処理性能(G FLOPS)		3	0.63
床 面 積(m ²)		15.6	19.7
消 費 電 力(kVA)		134	127
実装技術	実 装 形 態	3次元プラッタ 2段積み	3次元プラッタ 2段積み
	高 密 度 論 理	論理LSIとRAMモジュール 表面実装	論理LSIとSSI 表面実装
	ベクトルレジスタ	論理LSIとVR LSI 表面実装	論理LSIとVRモジュール 両面実装
	主 記 憶	MSモジュール アキシャル実装	MSモジュール アキシャル実装
	拡 張 記 憶	SOJ封止DRAM 両面実装	DILパッケージDRAM アキシャル実装
冷却技術	冷 却 方 式	強制空冷(熱拡散方式) 風速>5 m/s	循環水式空冷 風速>5 m/s
	電 力 密 度 比	5	1

注：略語説明 RAM(Random Access Memory), VR(Vector Register), MS(Main Storage), SOJ(Small Outline with J-lead), DIL(Dual In Line), DRAM(Dynamic Random Access Memory)

表2 S-820とS-810半導体技術の比較 S-820は、S-810に比べ大幅な高速化、高集積化を実現した。

		S-820	S-810
論 理 素 子(ゲートアレー)		2,000ゲート, 0.2 ns	550ゲート, 0.35 ns
		5,000ゲート, 0.25 ns	1,500ゲート, 0.5 ns
RAM	バッファ記憶, 制御記憶	4 kビット, 4.5 ns	4 kビット, 7 ns
	インデックスアレー	7.2 kビット+1,200ゲート	3 kビット+470ゲート
	ベクトルレジスタ	6.9 kビット+2,500ゲート	1 kビット, 5 ns*
	主 記 憶	64 kビット, 20 ns	16 kビット, 55 ns

注：* S-810では、2.5cm角のセラミック基板に1kビットRAM 6個を実装し、VRモジュールとして使った。

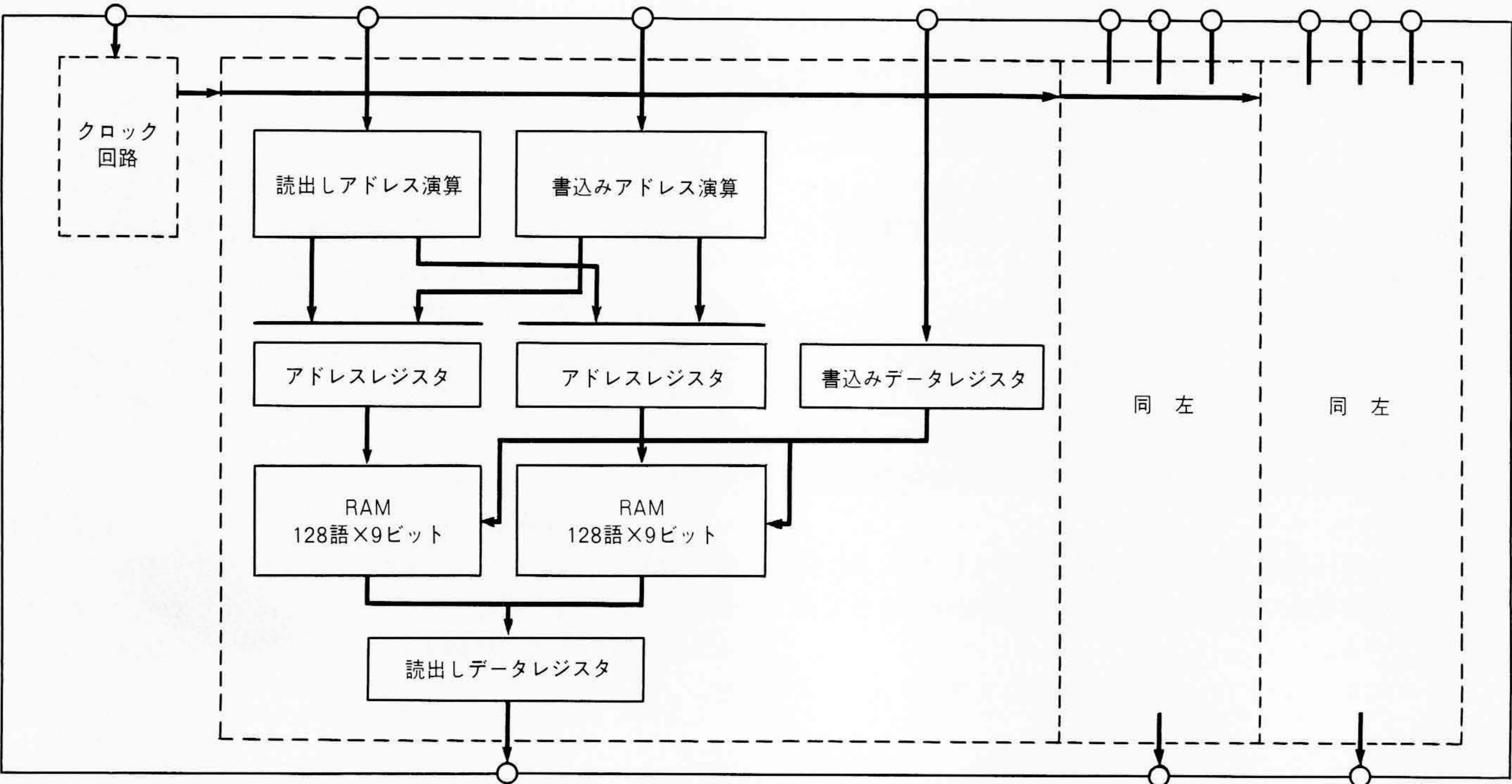


図1 ベクトルレジスタ用超高速LSIの構成 6,912ビットのRAMと、その周辺論理回路2,500ゲートを同一チップに収容する。

本LSIの設計に当たっては、論理部を複数に分割したブロックと、128語×9ビットを基本単位としたRAMブロックとをビルディングブロック方式でレイアウトし、各論理ブロック内はスタンダードセル方式をベースにした設計自動化システムを使った。こうして設計したチップの写真を図2に示す。

このようにして6,912ビットのRAMと2,500ゲートの論理を1チップに収容したベクトルレジスタ用超高速LSIの消費電力は7.2Wであり、LSIパッケージには、2,000及び5,000ゲート論理LSIと全く同一の160ピンフラットリード形を採用した。

(2) 主記憶用高速スタティックRAM

主記憶用として、64k語×1ビット構成でアクセス時間最大20nsの高速スタティックRAMを開発した。

1.3 μ mデザインルールによるBiCMOS技術を採用し、メモリセル部はCMOS技術で高集積化を図り、周辺回路部はバイポーラ技術によって高速性を達成した。チップを収容するパッケージには22ピンLCC(Leadless Chip Carrier)を使用し、消費電力は300mWである。図3にチップの写真を示す。

3 高速ハイブリッドモジュール

M-68Xで開発した1個の論理LSIと最大8個の高速バイポーラメモリを、30mm×40mmの多層セラミック基板上に混在実装した高速RAMモジュールに加えて、主記憶用に高速MSモジュールを新たに開発した。この高速MSモジュールは、前述のBiCMOS技術を採用した64kビット高速スタティックRAMの性能を最大限に引き出すために、プリント基板上で2,000ゲート論理LSIと同一領域となるように設計され、パッケージ上での論理LSIとの混在実装を可能とした。

このMSモジュールには、導体層数が10層で、30mm×40mm

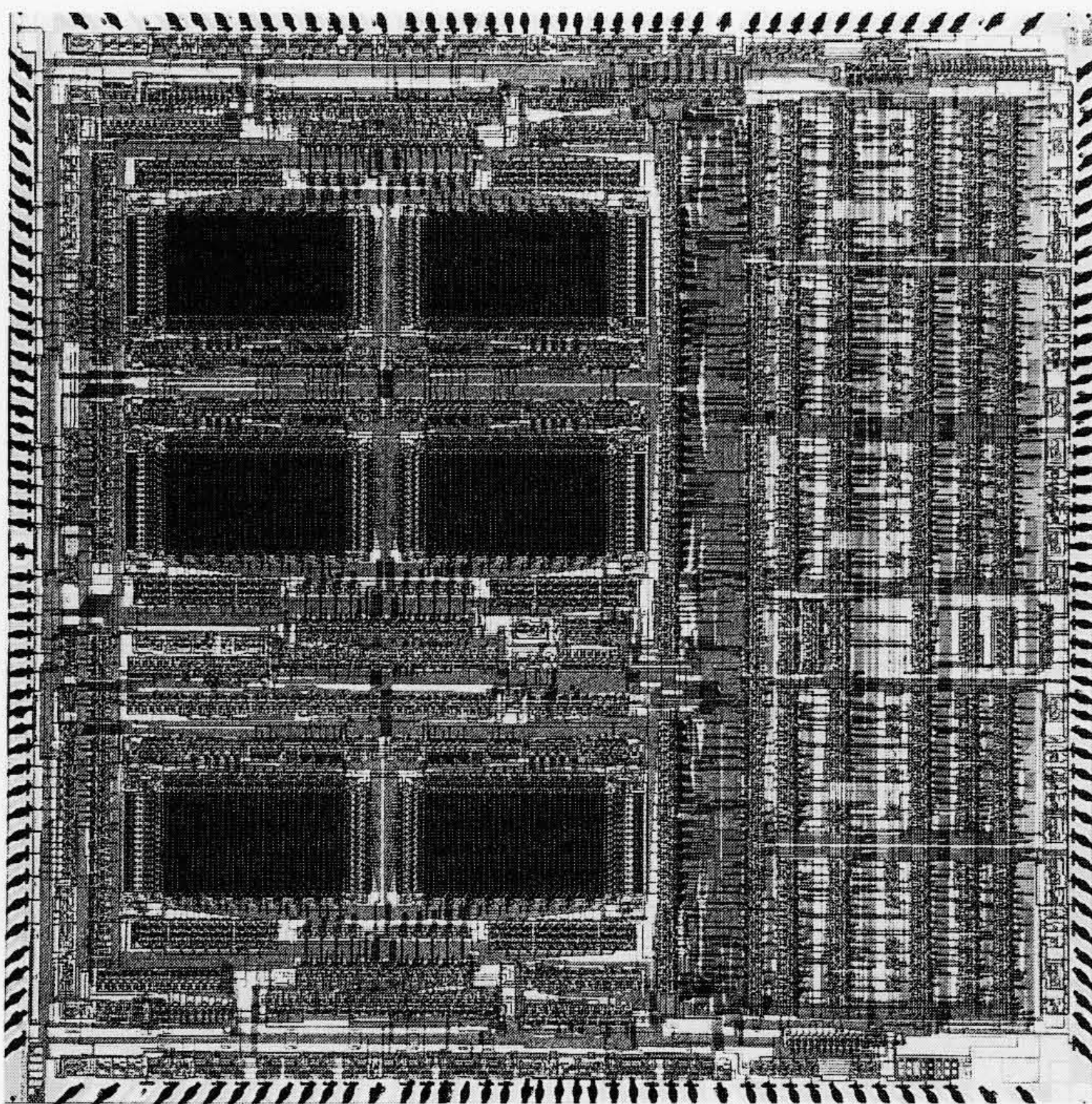


図2 ベクトルレジスタ用超高速LSIのチップ写真 6,912ビットのRAMと2,500ゲートの論理を収容した。消費電力7.2W, 1 μ mのデザインルールにより高速・高集積化を図っている。

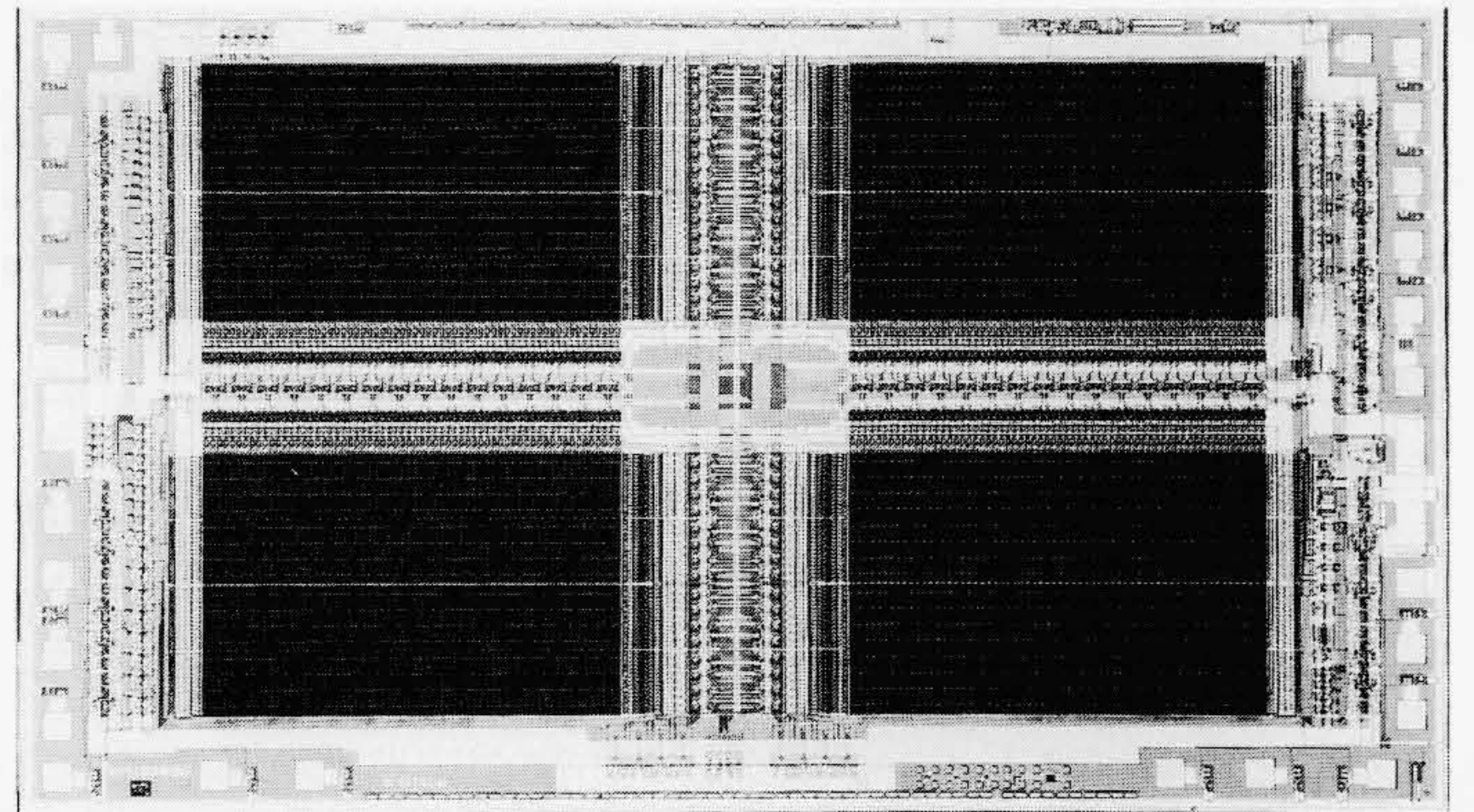


図3 64kビット BiCMOS RAMのチップ写真 メモリセルはCMOSで、周辺の駆動回路をバイポーラで構成し、高速・高集積化を図っている。最大アクセス時間は20 nsである。

の多層セラミック基板の表面に8個、裏面に4個、計12個の22ピンLCC封止の64kビットスタティックRAMをはんだ接続している。メモリ構成は、128k語×6ビットである。更にこのMSモジュールには、高速バイポーラ論理LSIによって複数個駆動されるために負荷容量の増大による波形ひずみの改善、多数のスタティックメモリのデータが同時に切り替わるときに発生する雑音の低減などのために、合計31個のチップ抵抗、チップコンデンサを実装している(図4)。

モジュールのピン数は42ピンで、ピン間隔100ミル(2.54mm)の2辺アキシアルリード形である。MSモジュールのピンの部分のインダクタンスが大きいと、信号の波形ひずみや電源の雑音が増大し誤動作の原因となるので、高速化を達成するためにはピンの長さを最短にする必要がある。一方、両面実装を行っている関係上パッケージ実装状態でモジュール裏面にも風を通さないと裏面のスタティックRAMの冷却が行われないうために、ピンの長さはできるだけ長くしたい。本MSモジュールではシミュレーションなどにより電気特性と冷却の両面

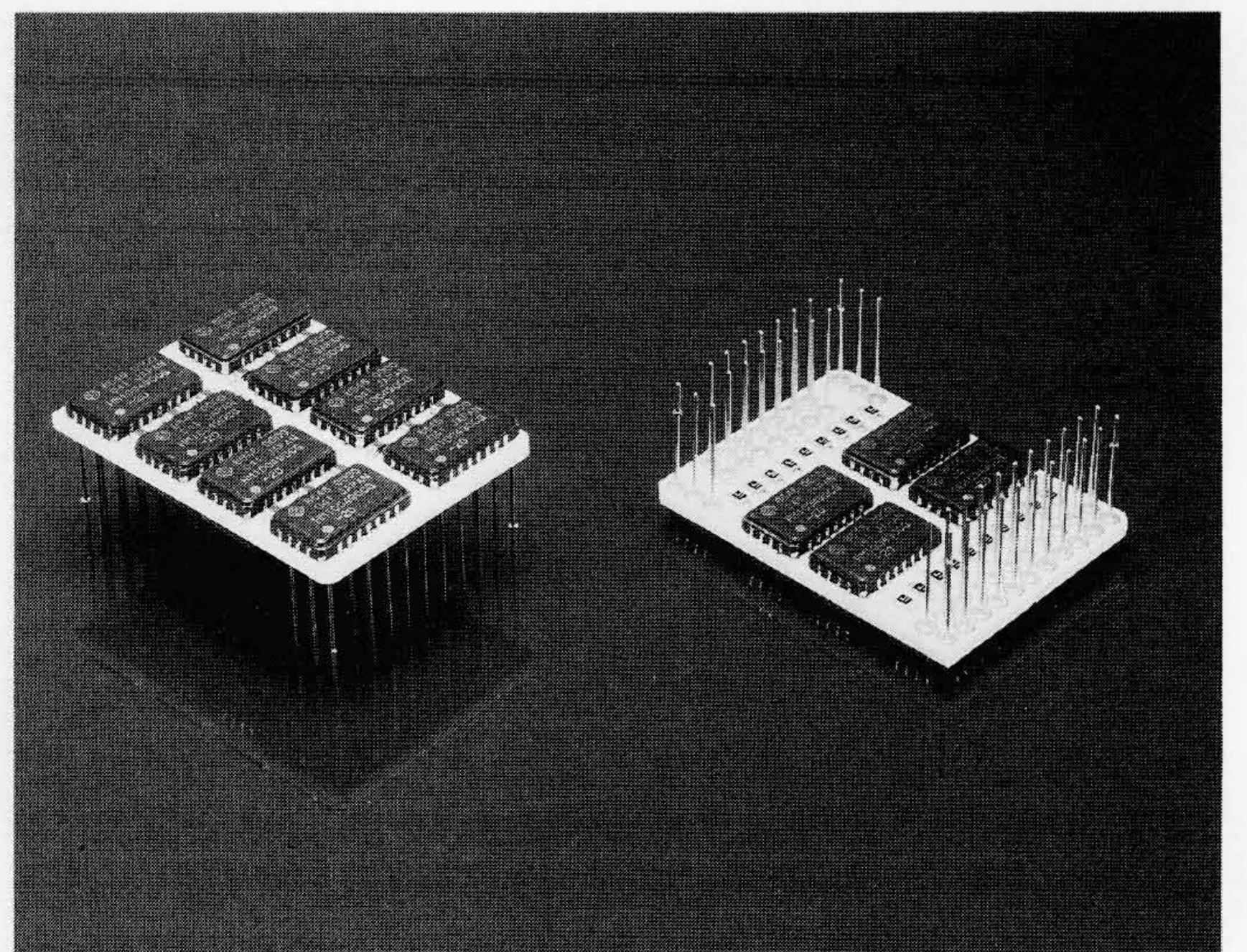


図4 MS(Main Storage)モジュール 導体層数10層の3cm×4cmのセラミック基板の両面に、64kビットBiCMOS RAMを12個実装している。ピン数は42ピンで主記憶に使用している。

からの検討を行い最適ピン長になる設計を行っている。

この結果、MSモジュール全体としてのアクセス時間は最大22ns、消費電力は最大4W、実装密度は従来の実装法に比べプリント基板上で約4倍の高密度化を実現した。

4 パッケージ、プラッタ

M-68Xなどで使用している格子間隔50ミル(1.27mm)20層の高密度論理パッケージ、格子間隔100ミル(2.54mm)12層の高密度チャネルパッケージに加え、ベクトル処理の高速化のかなめとなるベクトルレジスタとその制御回路用の高密度VR(ベクトルレジスタ)パッケージ、高速主記憶パッケージ及びSOJ封止の1MビットDRAMを両面実装した大容量拡張記憶パッケージの3種類を新たに開発した。

(1) 高密度VRパッケージ

高密度VRパッケージには、24個のベクトルレジスタ用超高速LSIと48個の論理LSI及び144個の終端抵抗モジュールを実装した。このパッケージをプラッタと接続するためのコネクタ、及び外部と接続するためのケーブルコネクタは、M-68Xの高密度論理パッケージと同じものを採用しており、合計1,776ピンの端子が取り出せる。

この高密度VRパッケージに実装したベクトルレジスタ用超高速LSIは、消費電力7.2Wと論理LSIに比べて1.2倍の発熱があり、またパッケージ当たり460Wの消費電力となるため、図5に示すように、パッケージ上でLSIを風の流に沿ってジグザグに並べた千鳥配列を採用している。また、RAM部のアクセスタイム2.5nsという超高速動作を実現するために、先に述べたLSI内に加えてパッケージ上でもクロック給電、タイミング給電などに工夫を凝らしている。すなわち、幅の狭いクロックやタイミングパルスが少ないスキュー(波形のずれ、ゆがみ)で各LSIに給電するために、クロック、タイミング信号には差動回路を使用し、その出力はプリント基板内の同一チャネル

内で配線するなど、通常の論理信号や電源層からの雑音の影響を極力少なくなるように工夫した。また、パッケージ内で発生する雑音量が最小限になるように電源層の配置を工夫するとともに、パッケージ上にバイパスコンデンサを設けその最適配置を図っている。

この結果、S-810で採用した両面実装VRパッケージに比べ約2.5倍の高集積化が可能となり、ベクトルレジスタ部分は3倍以上の高速化を達成することができた。

使用している多層プリント基板は、格子間隔50ミル(1.27mm)で導体層数は、電源グランド10層、信号10層、表裏2層の合計22層で構成し、大きさは420mm×280mmである。プリント基板に使用した材料及びプロセスについては、M-68Xの場合と同じである。

(2) 高速主記憶パッケージ

高速主記憶パッケージは、大きさが420mm×280mmで48個のMSモジュールと、アドレス、データバッファ機能などを持つ論理LSI24個が搭載でき、プラッタとの接続にはM-68Xの主記憶パッケージに使用しているコネクタと同じものを用い合計520ピンを使っている。

図6に、高速主記憶パッケージの写真を示す。パッケージ1枚当たり4Mバイトを収容している。

ピン間隔100ミル(2.54mm)でアキシアルリード形のMSモジュールと、リード間隔20ミル(0.508mm)でフラットリード形の論理LSIを混在実装するために、格子間隔50ミル(1.27mm)、導体層数22層の多層プリント基板を使用している。MSモジュールのピン間には100ミル(2.54mm)当たり2本の、それ以外の部分には50ミル(1.27mm)当たり2本の信号配線を通すことにし、信号層数として10層を割り当てている。

(3) 大容量拡張記憶パッケージ

大容量拡張記憶パッケージは、大きさが430mm×230mmで、電源とグランド2層、信号と表裏4層で計6層のガラスエポ

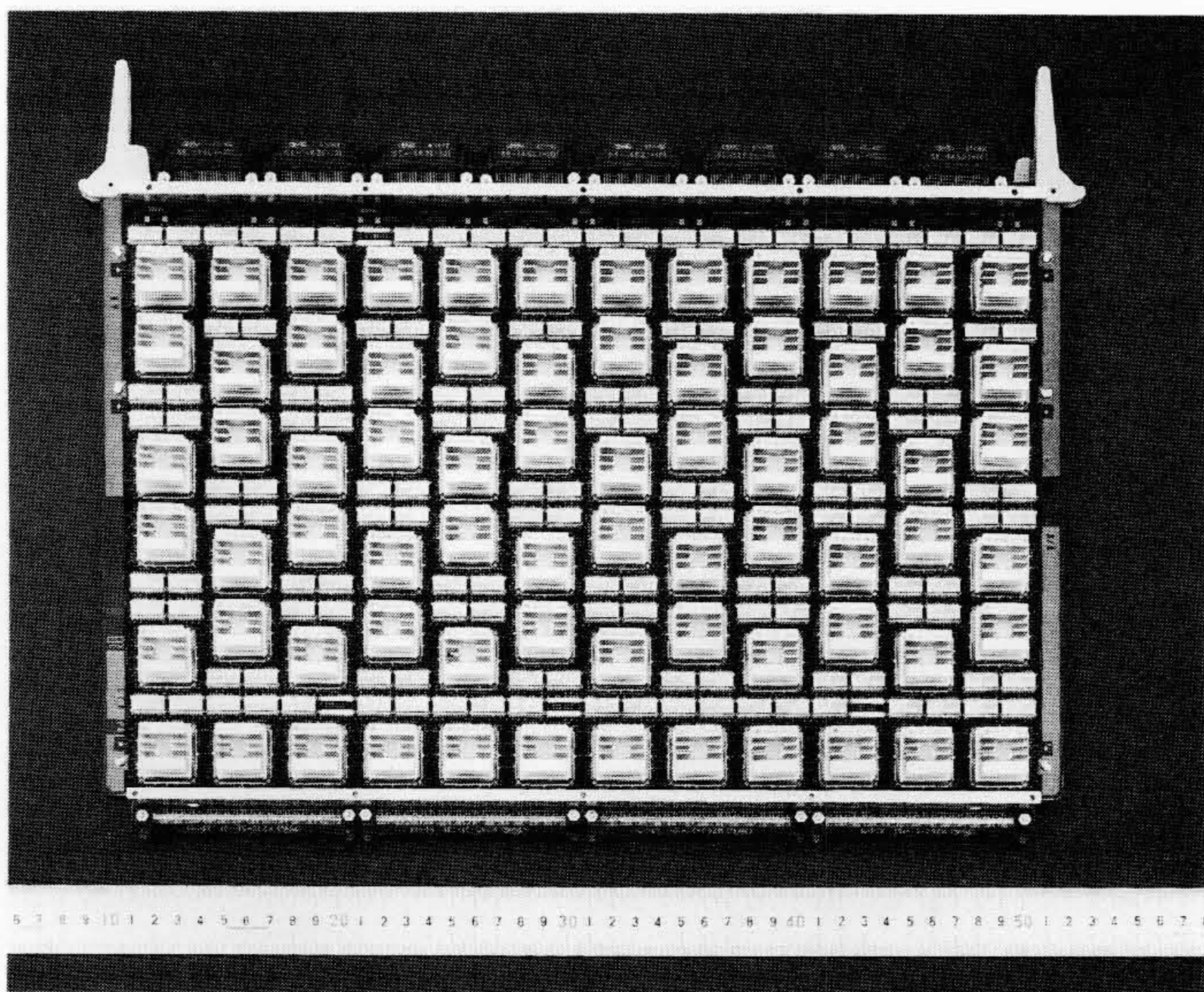


図5 高密度VR(ベクトルレジスタ)パッケージ 50ミル(1.27mm)格子22層の多層プリント基板に、論理LSIとベクトルレジスタ用LSIを千鳥に配列して放熱効果を上げている。基板の大きさは42cm×28cmである。

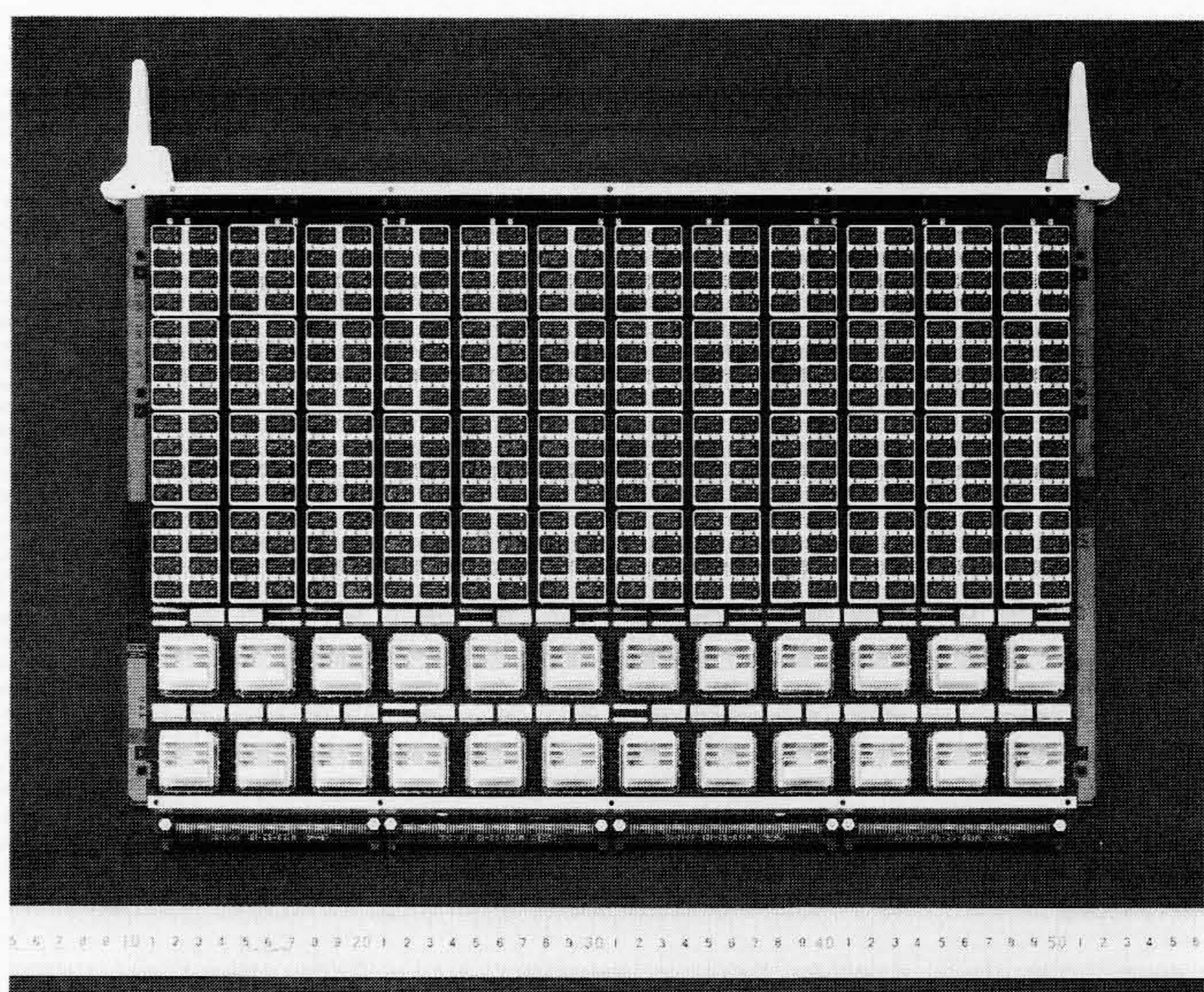


図6 高速主記憶パッケージ 50ミル(1.27mm)格子と100ミル(2.54mm)格子混在の22層多層プリント基板に48個のMSモジュールと24個の論理LSIを実装し、パッケージ1枚当たり4Mバイトの容量である。

キシ材から成る多層プリント基板を使用している。この大容量拡張記憶パッケージには、リード間隔50ミル(1.27mm)から成る20ピンのSOJ封止の1MビットDRAMを合計576個と、アドレス及びデータバッファなどの制御論理回路のために68ピンのPLCC(Plastic Leadless Chip Carrier)封止のBiCMOS技術を使用した684ゲートの論理LSI 9個を、表面実装技術により多層プリント基板に両面実装して高集積化を図っている。このことにより、1枚のパッケージに64Mバイトの大容量を収容することができた(図7)。

(4) プラッタ

前述のパッケージは、いずれもバックボードと呼ぶ多層プリント基板に3次元実装し、プラッタを構成する。VP(ベクトルプロセッサ)、SP(スカラープロセッサ)、SC(記憶制御)、MS(主記憶)用のバックボードには、M-68Xの中央処理装置に使用したものと同様に、大きさが570mm×420mm、格子間隔50ミル(1.27mm)の多層プリント基板を使用している。導体層数は電源とグランド12層、信号8層、表裏2層の合計22層である。このバックボードには、1in(2.54cm)間隔で260端子の高密度多心コネクタが縦に4個ずつ合計21列表面実装されており、高密度論理パッケージ、高密度VRパッケージ、高速主記憶パッケージなどを最大21枚まで実装することができる。

EMS(拡張記憶)用のバックボードには大きさが420mm×460mmで、格子間隔100ミル(2.54mm)で導体層数が電源とグランド4層、信号4層の計8層の多層プリント基板を使用している。このバックボードには、68端子の多心コネクタを縦に4個ずつ合計28列実装しており、先の大容量拡張記憶パッケージ24枚と、記憶制御回路用パッケージ4枚が搭載でき、1枚のプラッタ当たり最大1.5Gバイトを収容することができる。

表3に、S-810とS-820についてパッケージ、プラッタの比

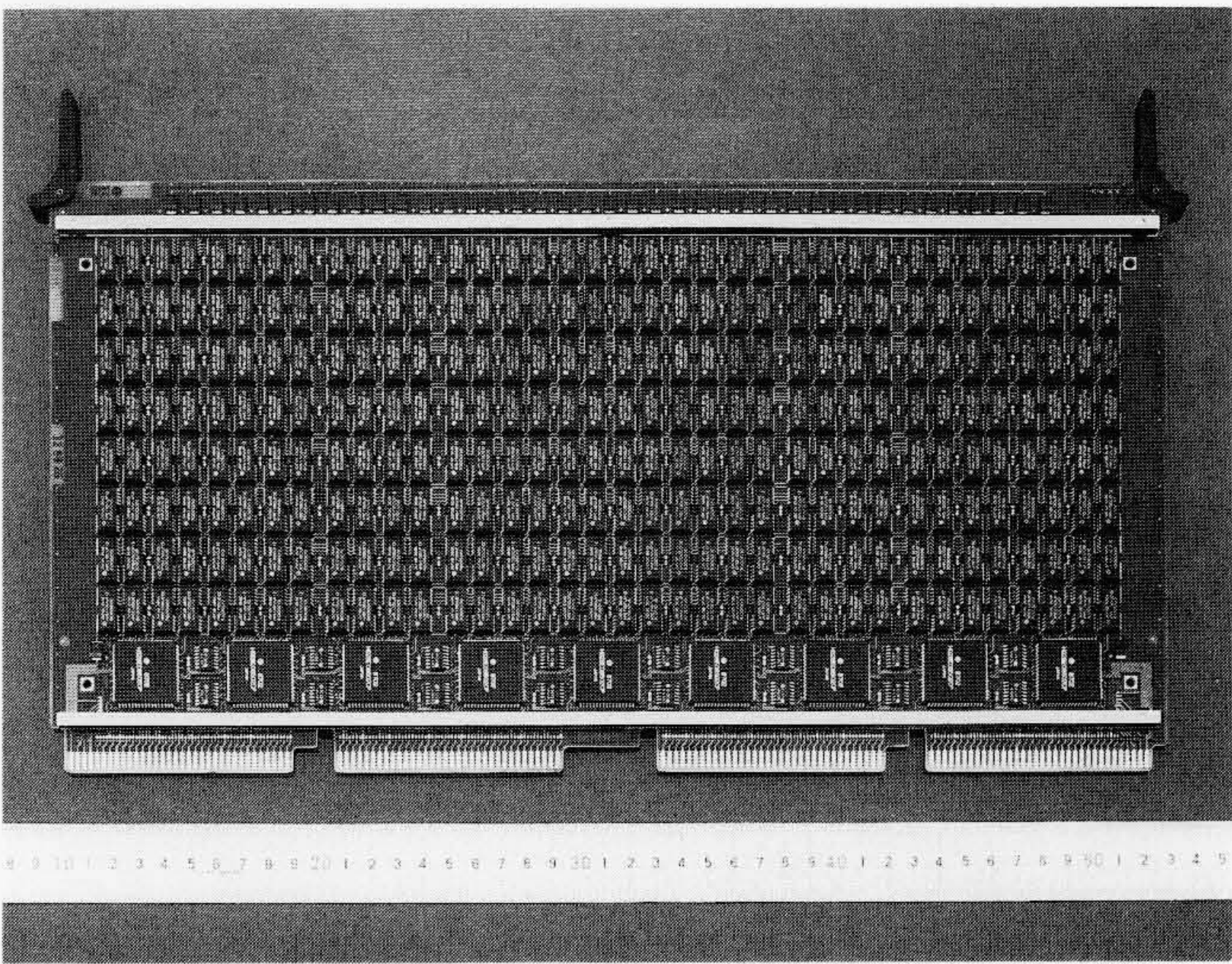


図7 大容量拡張記憶パッケージの表面 6層の43cm×23cmの大きさの多層プリント基板の表面に、SOJ封止の1MビットDRAM288個とBiCMOSの論理LSI 9個、裏面に1MビットDRAM288個を両面実装する。パッケージ当たり64Mバイトの容量である。

較を示す。

5 強制空冷による高効率冷却

S-820では高速化のために、M-68Xよりも更に高密度化を行った結果、プラッタ容積67l当たりの消費電力の最大が7.5kWと、M-68Xよりも更に増加することになった。一方、装置全体のプラッタの数も、M-68XではIP(演算処理装置)とSC(主記憶制御と主記憶)の2枚であったものが、SP、VP、SC、MSなど最大構成の場合で9枚にもなり、これらのプラッタ間を最短で接続するプラッタの配置が最重要課題になった。この

表3 S-820とS-810パッケージプラッタの比較 S-820は、S-810に比べ大幅な高集積化を実現した。

項 目			S-820	S-810
パ ッ ケ ー ジ	論理用 パッケージ	大きさ(層数)	42 cm×28 cm (22)	40 cm×20 cm (10)
		格 子 間 隔	50ミル	75ミル
		集 積 規 模	100 kゲート	22 kゲート
	VR用 パッケージ	大きさ(層数)	42 cm×28 cm (22)	40 cm×20 cm (14)
		格 子 間 隔	50ミル	50ミル
		集 積 規 模	200 kビット+150 kゲート	100 kビット+150 kゲート
	主記憶用 パッケージ	大きさ(層数)	42 cm×28 cm (22)	40 cm×28 cm (10)
		格 子 間 隔	50ミル	100ミル
		集 積 規 模	4 Mバイト	1 Mバイト
	拡張記憶用 パッケージ	大きさ(層数)	43 cm×23 cm (6)	43 cm×23 cm (4)
格 子 間 隔		50ミル	100ミル	
集 積 規 模		64 Mバイト	8 Mバイト	
高集積論理プラッタ		大きさ(層数)	57 cm×42 cm (22)	46 cm×42 cm (14)
		格 子 間 隔	50ミル	100ミル
		搭載PK枚数	21枚	24枚

注：略語説明 PK(Package)

ために、プラッタの2段積み実装を行った架構造を採用し、最もケーブルの出入りの多いSCを中心にしてSP、VP、MSなどのプラッタを保守性の許す限り密接に配置することによって、プラッタ間を接続するケーブルの長さを目標の1.5m以下にした。しかし、このため架当たりの消費電力が14kWとM-68Xに比べ約2倍となり、冷却方式に更にいっそうの工夫が必要となった。

S-820の冷却方式の検討は、ケーブル長を含めた性能面を重視すると同時に、スーパーコンピュータであると言っても導入のための顧客設備、保守の面ではできるだけ汎用コンピュータと同等にしたいという強い設計思想のもとに進めた。この結果、水冷のような特殊な冷却を使わずに強制空冷方式による冷却を実現できた。

これは同様の実装技術を採用しているM-68Xでの高密度パッケージ間を流れる冷却空気の流れの状況、圧力分布、温度分布などを詳細に分析し、パッケージ上を流れる冷却空気の温度分布の偏りの原因などを明らかにするとともに、新たに開発した高速VRパッケージやMSモジュールを搭載した高速主記憶パッケージの実モデルによる冷却シミュレーションを繰り返し実施して、パッケージ上の部品の配置や形状の最適

化を図り、そのときの冷却空気の流れ、圧力損失、温度分布などの冷却特性を詳細に分析することにより可能となった。

周知のように、パッケージ、プラッタを使った3次元実装での冷却の課題は、半導体素子から冷却風までの内部熱抵抗による温度上昇、冷却風そのものの温度上昇及びその温度ばらつきをいかに低減するかにある。

消費電力6Wの論理LSI、7.2Wのベクトルレジスタ用超高速LSI、共にM-68Xで開発した低熱抵抗LSIパッケージを採用している。このLSIパッケージは、5m/sの風速で熱抵抗が5℃/Wであるが、パッケージ上の風速を制御することによって、ベクトルレジスタ用超高速LSI部の風速を速くし、内部熱抵抗による温度上昇を論理LSIとほぼ同じ温度上昇になるようにして使用している。先に述べたMSモジュールは、リードピンの最適設計によりパッケージ実装状態で、モジュール下面の風速を5m/sに確保してモジュールの表裏面に搭載された12個のスタティックRAMのそれぞれの熱抵抗を70～75℃/Wとし、MSモジュール上での素子の温度ばらつきを2℃以下に抑えている。

M-68Xでは、パッケージ上の冷却空気の代表風速と、パッケージの圧力損失の間に比例関係が成り立つことを利用して、

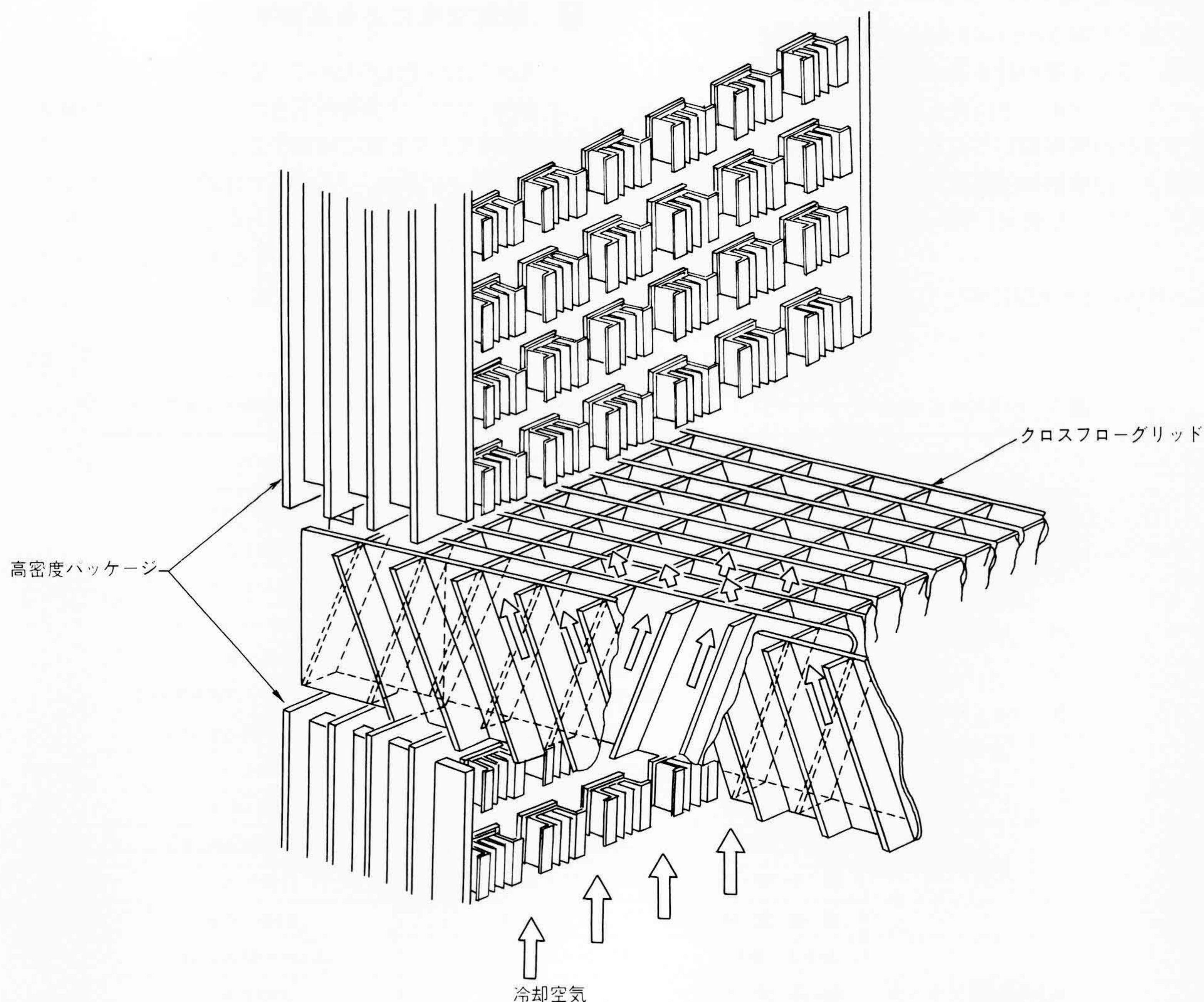


図8 冷却空気の温度ばらつきを均一化するクロスフローグリッド 上下段プラッタの間に挿入して、下段プラッタで暖められた空気の温度ばらつきを低減するための熱拡散機構を示す。

上下段プラッタの間に挿入して、下段プラッタで暖められた空気の温度

パッケージの入口に風量調整機構を導入し、パッケージ間を流れる冷却空気の流量をパッケージの発熱量に応じて最適化し、素子間の温度ばらつきを抑えた。S-820では、この方式に加えて、高速VRパッケージ上のLSIの千鳥配列と、下段プラッタで暖められた空気の温度のばらつきを最小にして、上段プラッタに導くために図8に示す上下プラッタ間の熱拡散機構(クロスフローグリッド)を開発した。

高速VRパッケージでは、先に述べたように論理LSIと同一の低熱抵抗LSIパッケージに実装された7.2Wのベクトルレジスタ用超高速LSIを冷却するために、LSIを風の流れに沿ってジグザグに配列した千鳥配列を採用している。

千鳥配列を行うと、従来の方式に比べ空気抵抗が増大するため、パッケージの圧力損失が約50%増大し、結果としてこのパッケージ間の冷却空気の流量が減少してしまうが、その減少分を上記の風量調整機構により補うことによって通常パッケージの部分に比べ約1.25倍の冷却空気を流すことができた。このことにより、ベクトルレジスタ用超高速LSIの内部熱抵抗による温度上昇を論理LSI並みに抑えけるとともに、千鳥配列によってパッケージ内の冷却空気の温度ばらつきも通常のパッケージに比べ約20%改善できた。

M-68Xの実機によりパッケージ出口近辺の暖められた冷却空気の温度分布を詳細に分析した結果、場所により7~26℃ものばらつきがあることが明らかになった。2段実装では下段のプラッタで暖められた空気を上段プラッタの冷却にも使用する関係上、このように大きな温度ばらつきを持ったまま上段プラッタに送り込むと更に大きな温度ばらつきとなり、素子の温度を目標値に保つことが不可能となる。S-820では下段プラッタと上段プラッタの間に、クロスフローグリッドと呼ぶ熱拡散機構を挿入することによって、下段プラッタ出口から上段プラッタ入口までの約15cmという短い区間で、暖い空気と冷い空気の混合を行い温度ばらつきの低減を図っている。更に、上段と下段のプラッタの同一列に実装されるパッケージの消費電力の和が、できるだけ均一になるようなパッケージの配置を行い、上段プラッタでのパッケージ列間の冷却空気の温度の均一化を図った。これらの工夫を加えることによって、下段のプラッタの出口で8~20℃の温度ばらつきを持った冷却空気を、クロスフローグリッドにより10~14℃の温度範囲に制御して上段のプラッタに送り込んでいる。図9にS-820の冷却空気の温度上昇の様子を示した。

各実装架に冷却空気を供給するブロワは、M-68Xで開発し

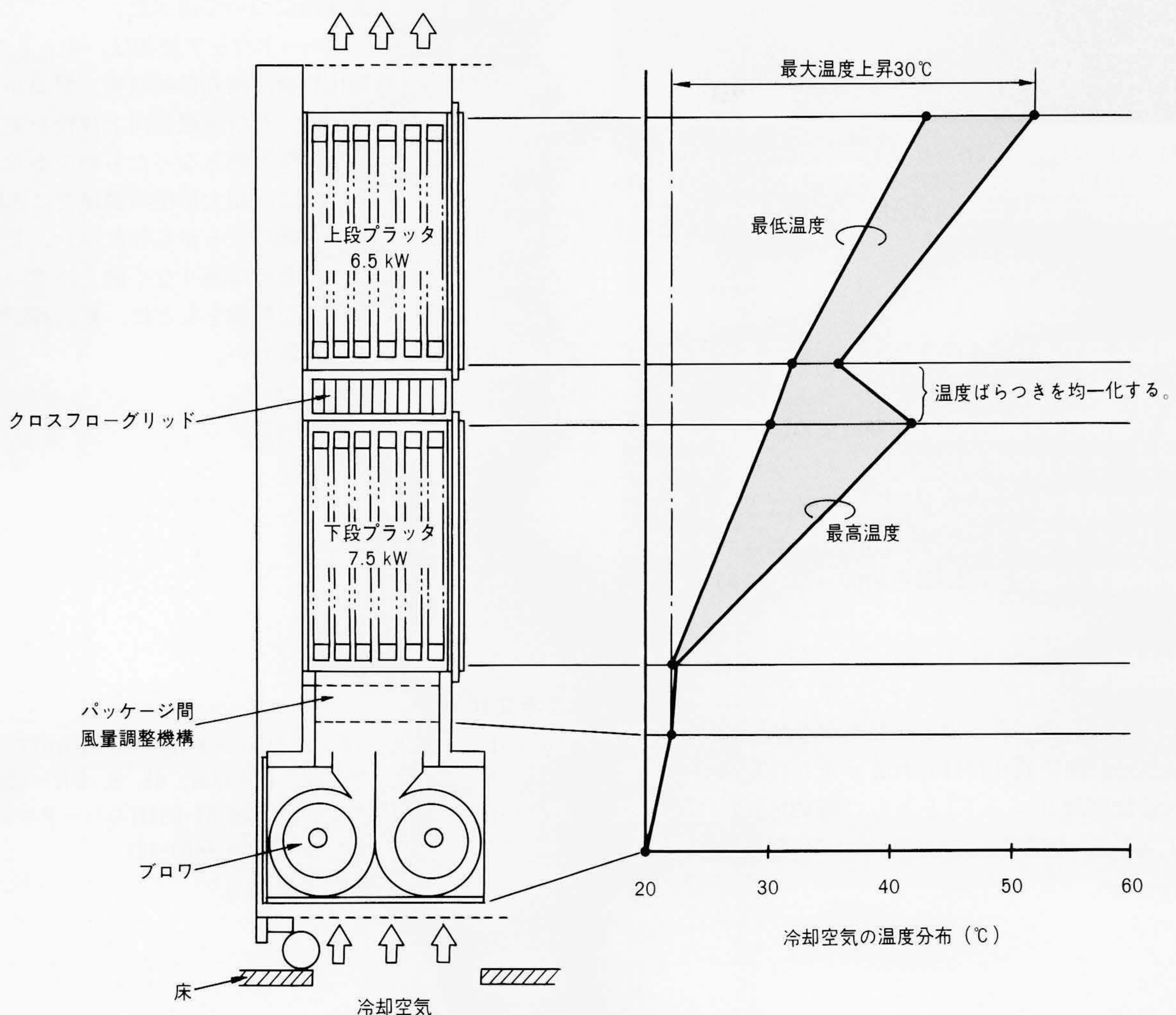


図9 S-820の冷却空気の温度上昇 床下から取り入れられた20℃の冷却空気は、ブロワで2℃パッケージ間を通過する間に30℃温度が上昇する。

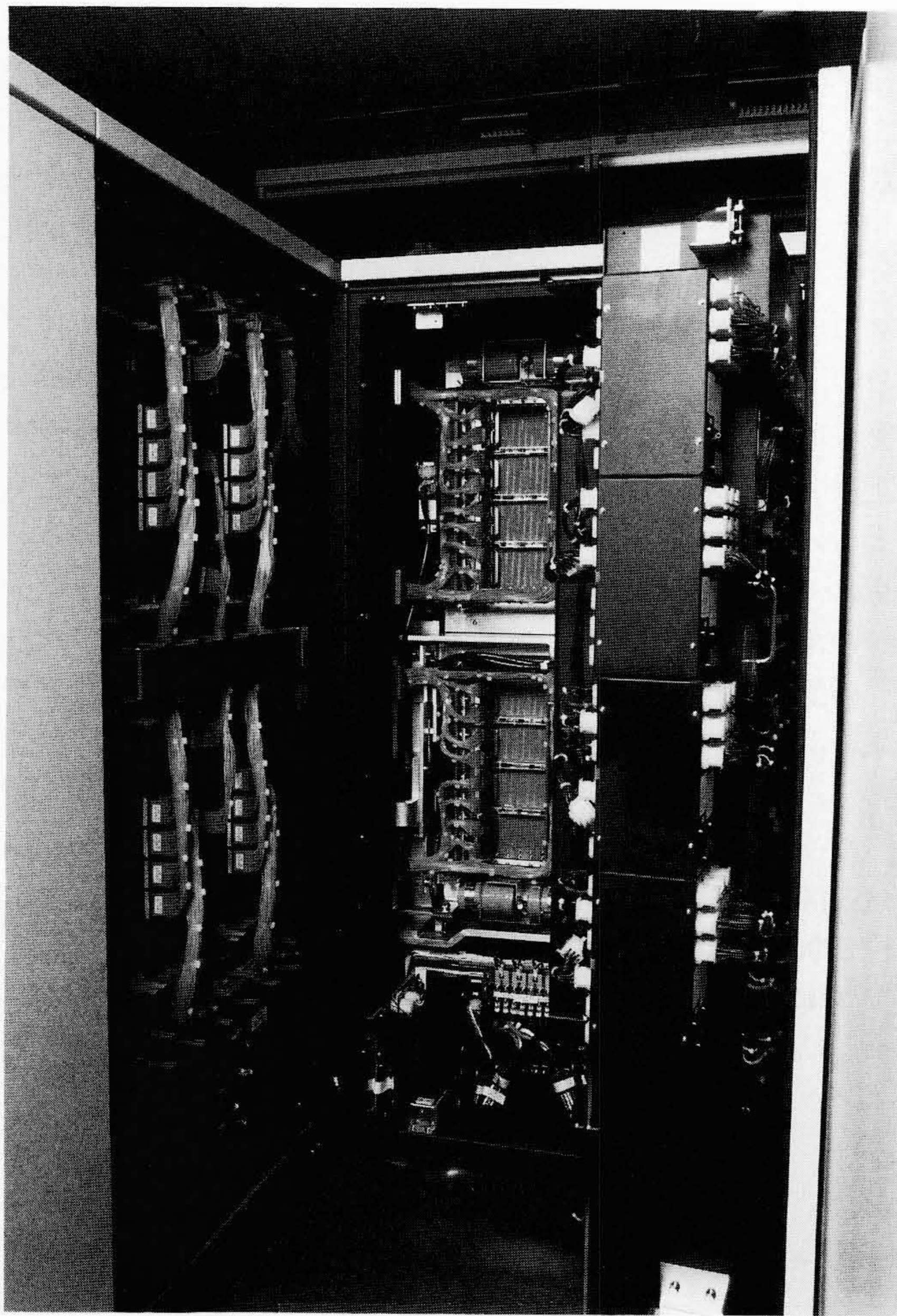


図10 S-820きょう体 高密度プラッタを2段積みにし、床下からの冷却空気を使って強制空冷する。写真はSCプラッタとVPプラッタの部分で、右側に可動架に搭載したDCU(直流電源ユニット)が見える。

たものと同じものであり、これらをプッシュ方式で使用している。

以上のような新しい冷却技術の開発により、3次元高密度実装したプラッタの2段実装を実現し、パッケージ間の風速をパッケージの消費電力に応じて最適化することにより、スーパーコンピュータでありながら通常のコンピュータの設置環境下での全素子の接合温度範囲を約60～80℃に抑えることができた。

6 実装架構造

先に述べたように各プラッタは2段実装され、冷却用のブロワとともに固定架に取り付けられる。そして可動架に搭載したDCU(直流電源ユニット)とともに幅830mm、奥行900mm、高さ1,720mmの標準きょう(筐)体の実装される(図10)。

各きょう体は、各プラッタ間を接続する信号ケーブルの長さを最短とするために、SCきょう体を中心にH形に配置される。プラッタの2段実装に伴い、架当たりの電流容量もM-68Xの2倍を必要とするため、各きょう体に設けた可動架上の8ユニットのDCUでは不足する。このため、H形のきょう体の端に最大9ユニットのDCUを搭載できるDCUきょう体を接続し、各プラッタには可動架とDCUきょう体から電源を供給する。各DCUから論理プラッタまでの接続は、バスバーとフレキシブルバスバーの組合せによって、保守性の許す範囲で最短の長さで接続する。バスバーは、大容量の電流を少ない電圧降下で給電するため、最適な断面積を選択している。

各プラッタ間を接続するケーブルは、伝搬遅延時間が3.8ns/mで、ケーブルによる遅延時間のばらつきがケーブルの長さに依存しない超高速同軸ケーブルを開発し、プラッタの最適配置によるプラッタ間のケーブル長の短縮と合わせて、プラッタ間の信号の高速転送を可能にした。

7 結 言

S-820は、内部処理能力の飛躍的改善、高速・大容量主記憶、大容量拡張記憶などの高性能化に加え高いシステム信頼性、省スペース、省エネルギー化の実現などを特長としている。本稿は、これらを実現するために開発した高速・高集積半導体技術、高密度実装技術について述べた。

ここで述べた新しいハードウェア技術は、主としてM-68Xで開発した設計自動化技術、検査診断技術、部品から総組みまでの一貫した生産技術、及び信頼性向上技術を基に改善、改良を加えることによって可能となったものである。

また、冷却技術の面では、超大形機の領域では強制空冷技術を採用した最後の計算機になるかも知れない。しかし、コンピュータ性能向上への努力は限りなく続くに違いない。

この開発で培った貴重な経験をもとに、更に高度な技術開発に果敢に取り組んでいきたい。

参考文献

- 1) 小林, 外: スーパーコンピュータHITAC S-810アレイプロセッサハードウェア技術, 日立評論, 65, 8, 547～550(昭58-8)
- 2) 小林, 外: HITAC M-680H/M-682Hのハードウェア技術, 日立評論, 67, 12, 993～998(昭60-12)