

半導体設計におけるスーパーコンピュータの利用

Application of Supercomputers to Semiconductor Design

近年のスーパーコンピュータの進歩により、大規模な数値計算が手軽にできるようになり、半導体開発へのシミュレータの活用が実用化の段階に入ってきた。本論文では、超LSIの設計に与えるこれらシミュレータの役割について述べ、次いで半導体プロセス、デバイス設計に使用されるデバイスシミュレータの応用例を取り上げ、これによるメモリセル設計の実際を示した。

更に、超LSIメモリの大規模回路シミュレーションによるメモリチップの特性、一括解析に対する応用例を示した。なお、各シミュレータでのスーパーコンピュータによる高速化計算の効果の実際を示し、従来はん(汎)用コンピュータと比べ約30倍のCPU時間高速化が実現されていることを示した。

矢島章夫* Akio Yajima
 大倉康幸* Yasuyuki Ôkura
 森岡利行* Toshiyuki Morioka
 鳥谷部 達** Tôru Toyabe
 杉原 仁*** Hitoshi Sugihara

1 緒 言

半導体デバイスを数百万個集積した超LSIは、大規模になるに従いその設計は複雑になり、シミュレーション技術の利用は必要不可欠なものとなってきた。しかし、大規模な数値シミュレーションは汎用コンピュータを用いると通常数日にわたるCPU(中央処理装置)処理時間を必要とするため、スーパーコンピュータの出現により、初めて半導体設計の実用的ツールとして使用可能の状態となったと言える。

本論文では、まず半導体デバイス設計に使用されるデバイスシミュレーションの技術と応用について述べ、特に超LSIメモリの開発に効果的に使用された、 α 線ソフトウェア解析などへの応用例を示す。次いで超LSIメモリの回路設計での大規模回路シミュレーションが、微細な半導体デバイス及びプロセス技術の進展に従い、不可欠な技術になりつつあることを示し、スーパーコンピュータによる回路シミュレーションの高速化計算技術とその応用について述べる。

(3) 前記(2)の物理式の中で使われる物理モデルである。これらの入力より、まず物理式を離散化し計算機解析可能な形とし、それにより作られる大規模な連立一次方程式群(行列式)を、計算機で高速・安定に数値計算する。結果として得られるものは、デバイスの端子電極での直流、交流(周波数)及び過渡的な電気的特性であり、また、各シミュレーション条件でのデバイス内部のポテンシャル、電子、正孔及びそれらの電流密度の様子である。

デバイスシミュレーションの基本式は、連続媒体中の電磁現象を記述するマクスウェルの方程式に以下の仮定をおくことにより、表1に示す方程式群が使用される¹⁾。その仮定とは、(1) 磁界の影響を無視する。

2 半導体デバイスシミュレーション

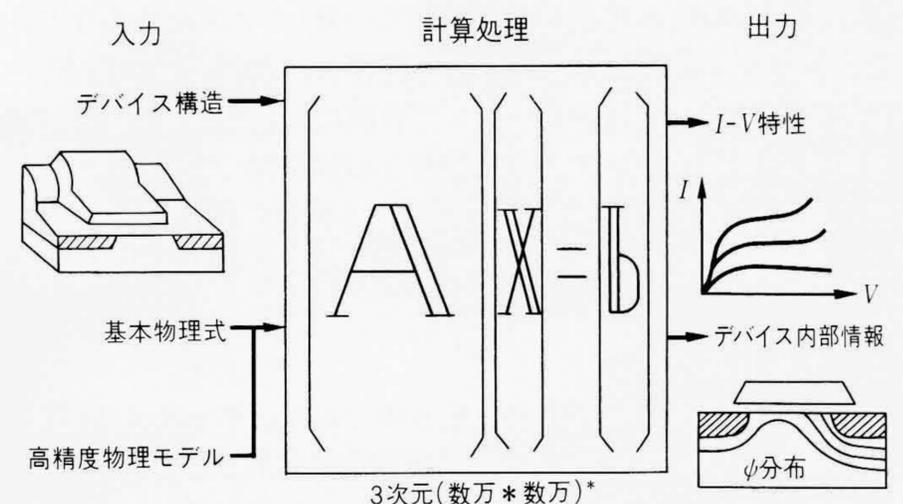
2.1 デバイスシミュレーションの役割

デバイスシミュレーションは、半導体内部で成り立つ物理基本式を数値解析することによって、素子内部の物理現象を目に見える形で示すとともに、デバイスの電気的諸特性を予測し、超LSIプロセスデバイスの設計を効率化する役目を担っている。

2.2 デバイスシミュレーションの原理

デバイスシミュレーションの機能を図1に示す。入力として必要なデータは、

- (1) デバイス形状、不純物分布などの構造
- (2) 半導体、絶縁膜などのデバイス構成材料の内部及び境界で成り立つ基本物理式



注：* 3次元(立体)構造での数値計算の行列式の大きさは数万*数万の規模になる。

図1 デバイスシミュレーションの基本機能 入力データをもとに計算処理をし出力を行う。

* 日立製作所中央研究所 ** 日立製作所中央研究所 工学博士 *** 日立製作所武蔵工場

表1 基本物理方程式群 デバイスシミュレーションではこれらの基本方程式群を連立させて解く。

項目	物理式
ポアソン方程式	$\epsilon \Delta \psi = q(n - p + N_D - N_A)$
電流連続式	$q \frac{\partial n}{\partial t} = \nabla \cdot J_n + q(G - R)$ $q \frac{\partial p}{\partial t} = \nabla \cdot J_p + q(G - R)$
関連式	$J_n = -q \mu_n n \nabla \phi_n$ $J_p = -q \mu_p p \nabla \phi_p$ $n = n_i \exp\left(\frac{q}{kT}(\psi - \phi_n)\right)$ $p = n_i \exp\left(\frac{q}{kT}(\phi_p - \psi)\right)$

ここに ψ :ポテンシャル, n :電子密度, p :正孔密度, ϵ :シリコン誘電率, q :単位電荷量, N_D :ドナー不純物密度, N_A :アクセプタ不純物密度, $J_{n/p}$:電子/正孔電流密度, G/R :電子正孔対発生/消滅率, $\mu_{n/p}$:電子/正孔移動度, $\phi_{n/p}$:電子/正孔擬フェルミポテンシャル, n_i :真性キャリア密度, k :ボルツマン定数, T :温度

ポアソン方程式にガンメル近似と呼ばれる線形化を施して解くため, 一般的にガンメル法と呼ばれている²⁾。他方, 三組みの基本式を一括してニュートン反復する方法もあり, 大きな電流が流れている場合の解析ではこの方法が有効であり, 上記2種類の数値解法をデバイスの構造や, 解析の種類などにより, 使い分けて利用する。

2.4 スーパーコンピュータの利用による高速化

デバイスシミュレーションで, 最も計算時間を要するのは, 上に述べた行列を解く部分である。前節で述べた反復解法では, 行列を二つの三角行列に不完全分解し, その行列の積の逆行列を掛けることによって反復的に近似解を計算する方法をとる。この計算の主な部分は, 内積計算, 積和計算, 行列とベクトルの計算及び不完全三角分解行列の積の逆行列の計

(2) 電子(正孔)の移動度 μn は, 拡散定数 Dn とアインシュタインの関係式で関係づけられる。

(3) 電子・正孔のエネルギーは, ボルツマン分布をとる。

移動度及び電子正孔対発生/消滅率については, 物理現象と実験データに基づいた物理モデルが組み込まれている。物理モデルを精度よく設定することが, デバイスシミュレータの適用範囲を決めるものである。

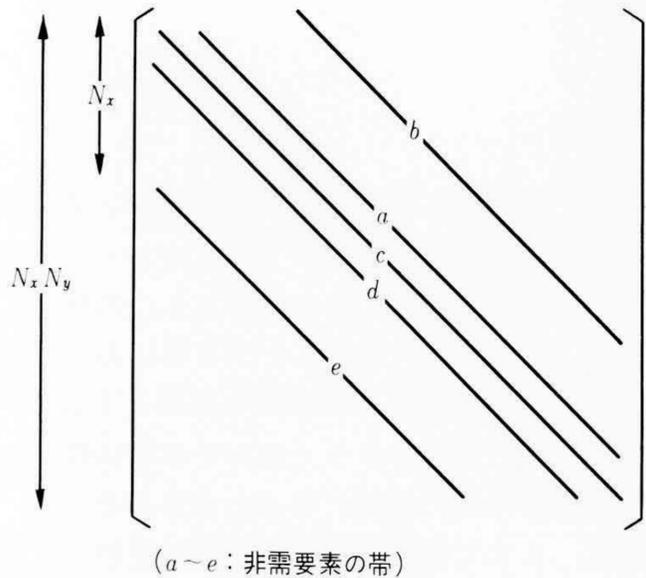
2.3 数値解法

(1) 基本物理式の離散化

一連の偏微分方程式を数値的に解くには, それらを離散化し, 非線形の式の場合にはそれを線形化して大きな行列で表される線形連立一次方程式の形にして解く。離散化には, 数々の方法があるが, デバイスシミュレーションでは, FDM(差分法), FEM(有限要素法)とBFM(バウンダリーフィット法)が多く用いられている。差分法では空間を長方形メッシュで分割し, 表1の基本式をメッシュ点での量(ポテンシャルなど)と, メッシュ間隔の関数として離散化し, 計算する。他方, 有限要素法は, 三角形メッシュで自由に分割するため, 多少離散式が複雑になるが, 微細複雑な形状を持つデバイスの解析に使われるようになりつつある。バウンダリーフィット法は, 曲線形状を直交格子に変換することにより扱う方法である。

(2) 大形行列の解法

差分法の場合, 解析領域が直方体であり, デバイス内部を長方形メッシュで分割し, 基本式を離散化することにより, 0でない要素が少ない, 図2に示すような規則的スパース帯行列が導かれる。この行列は大形であり, 行列を直接解かずに反復解法を用いて解く。デバイスシミュレーションでは, 表1に示す三組みの基本式があるため, 三組みの大形行列を解く必要がある。通常, 図3に示すようにポテンシャル ψ , 電子密度 n , 正孔密度 p を各々変数とする各行列を順次解き, これを収束条件が満たされるまで反復させて解く。この方法は,



N_x, N_y は x, y 方向のメッシュ数

図2 2次元解析の場合の行列A 差分法の行列は5本の要素が斜めに並ぶ規則的スパース行列になる。

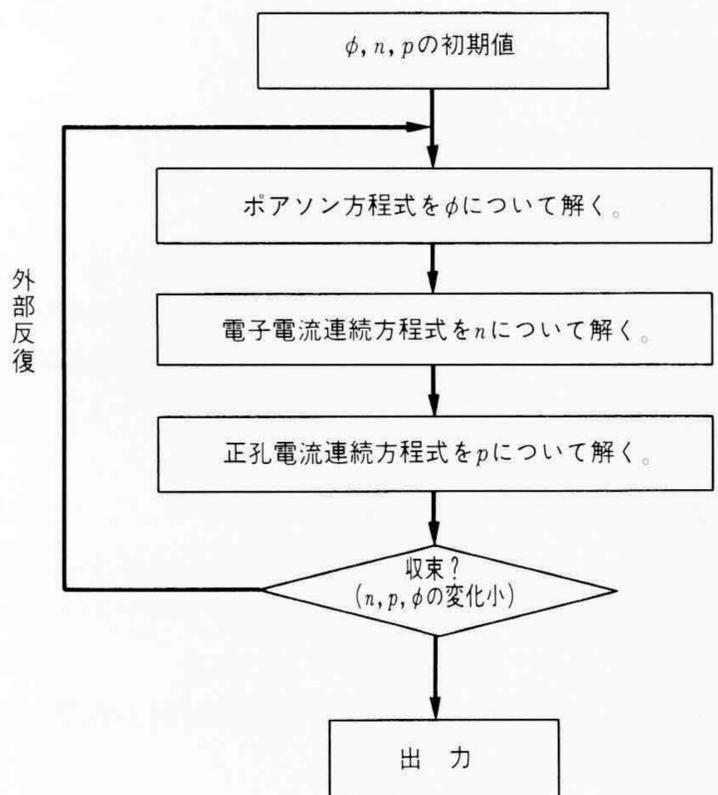


図3 デバイスシミュレーションの収束計算解法(ガンメル法) 初期値をもとに三組みの方程式を収束条件が満たされるまで反復させて解く。

算である。このうち、不完全三角分解行列の積の逆行列の計算には、スーパーコンピュータの性能を引き出すために、特別の工夫が必要であった。すなわち、解析領域の節点に対する計算順序を工夫し、データの依存関係のないものを同時にベクトル計算(リストベクトルを利用)させて、計算の高速化を図った。また、3次元変数の1次元アレー化を施してベクトル長を最大にした。これらにより、97%のベクトル化率を得て、**図4**に示すように、ベクトル化による16倍の高速化、対M-200H比約30倍の高速化を得た。

2.5 適用例

(1) MOSFET解析

MOSFET (Metal Oxide Semiconductor 電界効果トランジスタ)は、構造の微細化に伴う数々の短チャネル効果が問題となるため、2次元デバイスシミュレーションの対象となってきた。**図5**はゲート寸法の異なる3種類のMOSFETの電流電圧特性を解析したものである³⁾。両者の一致は電流誤差5%以内であり、デバイスシミュレーションが特性予測に十分利用可能であることを示している。また、ドレーン電圧を印加していくと、電流が急激に大きくなるドレーン降伏特性が、デバイスの寸法を変えると変化する様子が解析されている。

(2) バイポーラトランジスタ特性

MOSFETと並んでバイポーラトランジスタは、シリコンデバイスを代表するもので、高速・高周波集積回路に多く使用される。バイポーラトランジスタの高速・高周波性能を規定するのは、素子のカットオフ周波数と、それに強く関連する交流ベース抵抗値である。**図6**に、構造図と等価回路を示す。

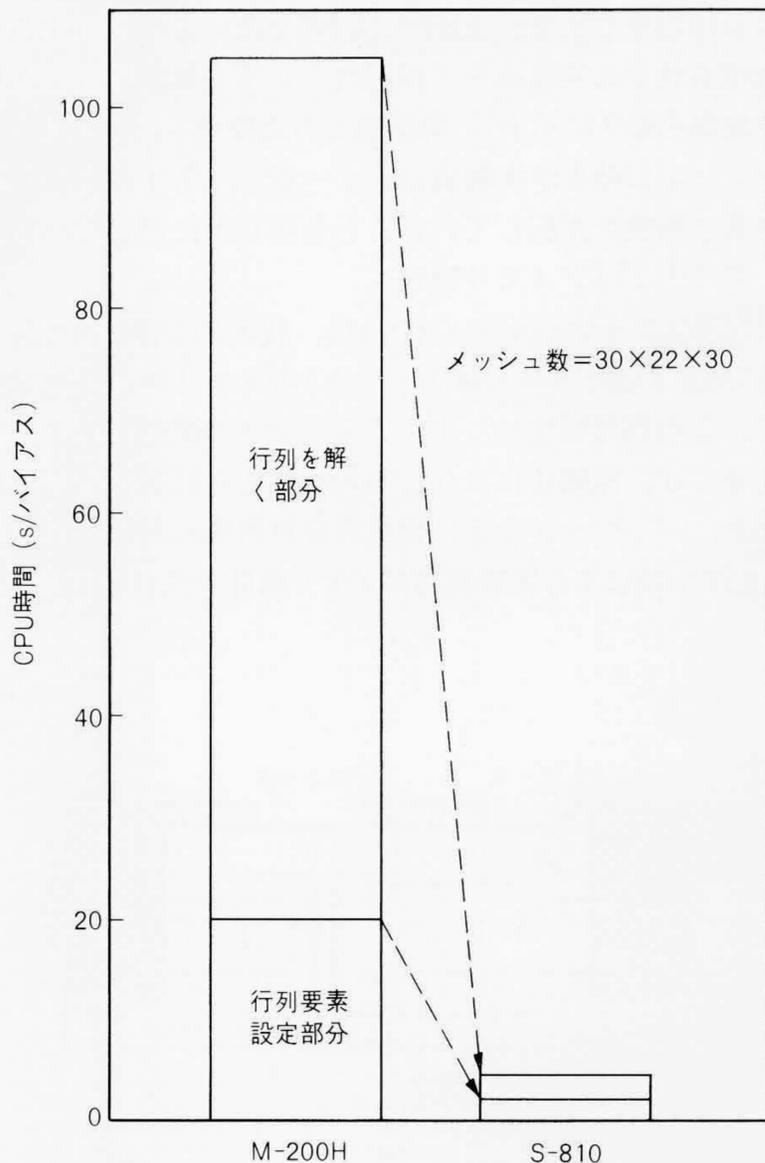


図4 スーパーコンピュータによる高速化 行列を解く部分の工夫により約30倍に高速化される。

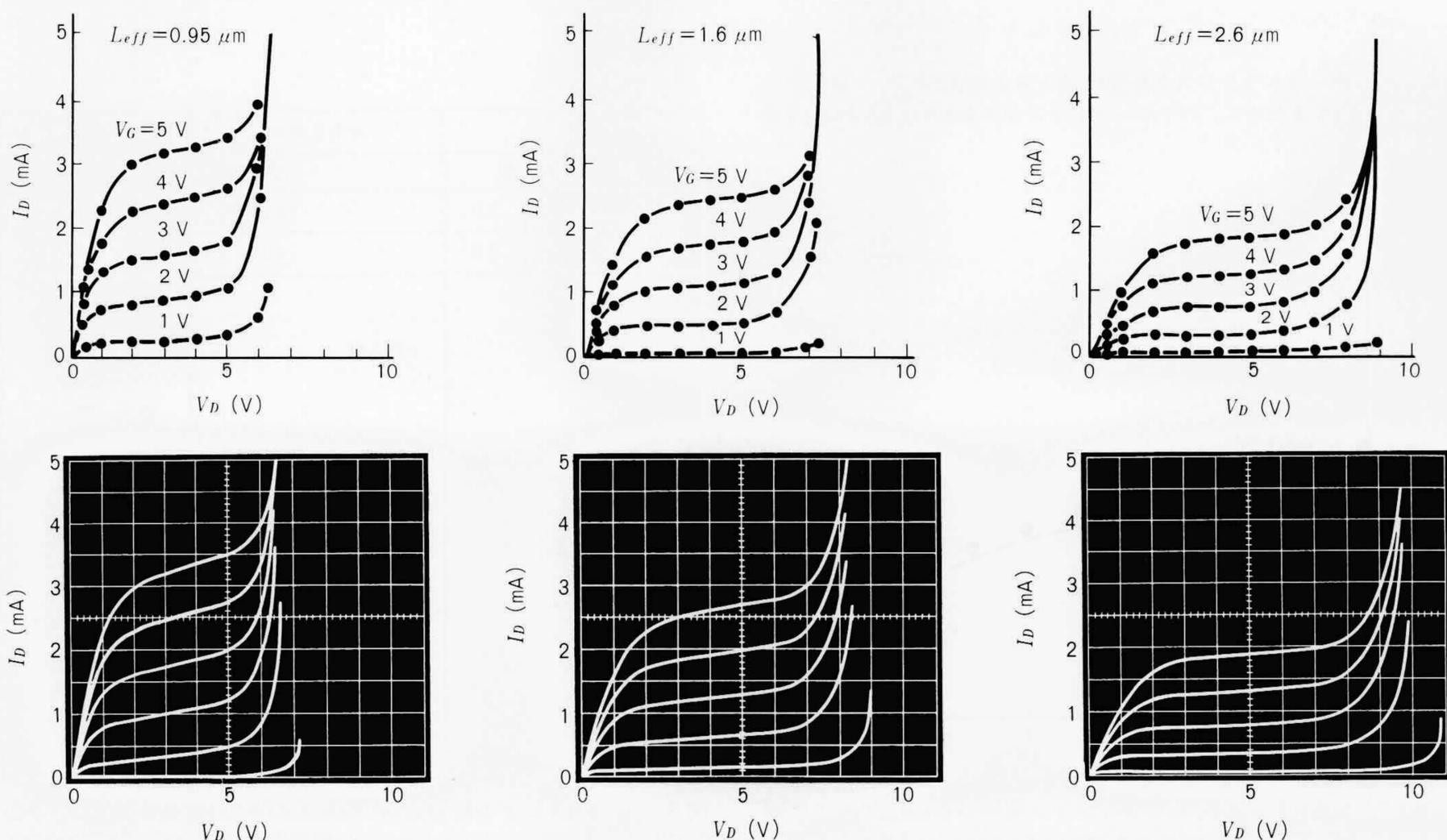
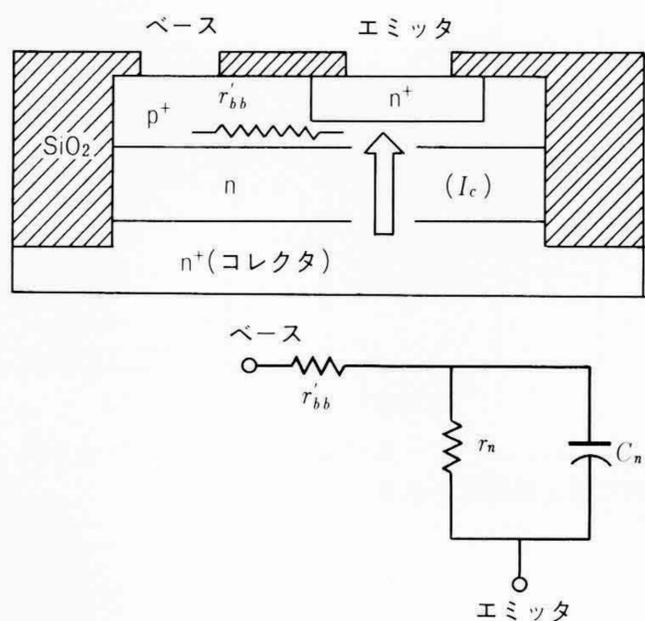


図5 MOSFET I_D - V_D 特性解析結果と実験結果との比較例 シミュレーション結果(上図)は、実験結果(下図)と電流誤差5%以内で一致する。

バイポーラトランジスタは本来3次元的な構造がその特性に大きな影響を与える。上記等価回路を用いて、交流電流の周波数依存性から交流ベース抵抗のコレクタ電流依存性を解析した結果を図7に示す⁴⁾。実験値との比較から、3次元シミュレーションの結果が実験値とよく一致し、素子の3次元構造が素子特性を支配していることを明らかに示している。

(3) ダイナミックメモリ特性

DRAM(ダイナミックメモリ)は、代表的な超LSIであり、今日では、1Mビット(100万ビット)のメモリが製品化されている。この高集積化は、主にメモリセルの微細化によりなされてきたが、微細化により、セルに蓄えられる信号量が低下すると、パッケージなどに含まれる放射性元素から放射される微量のα線による雑音電荷がメモリ設計の大きな課題となっ



$$h_{11}(\omega) = r'_{bb} + \frac{r_n - j\omega r_n^2 C_n^2}{1 + (\omega r_n C_n)^2}$$

図6 バイポーラトランジスタ断面構造とその等価回路 等価ベース抵抗を定義するために、バイポーラトランジスタを等価回路に置き換えて考える。

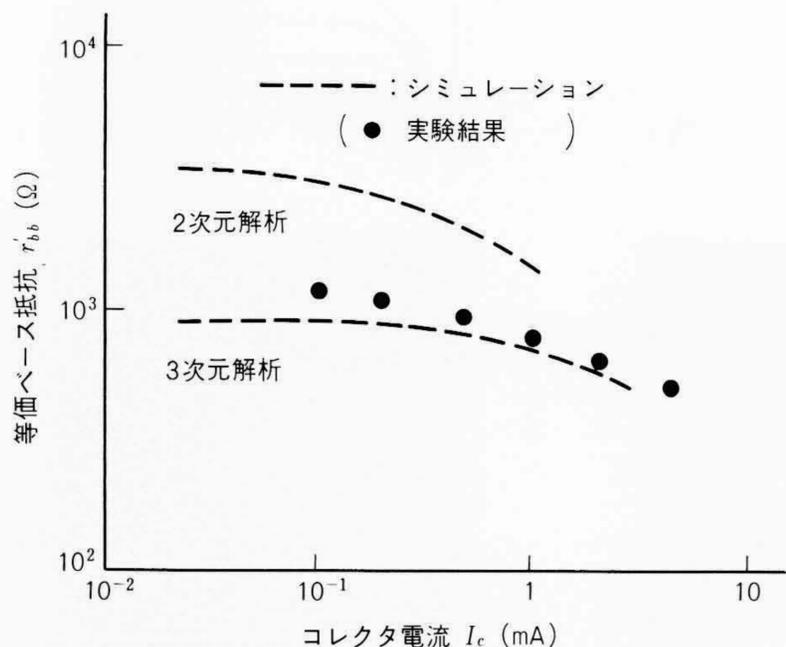


図7 等価ベース抵抗のシミュレーション結果及び実験値との比較 実際のデバイス形状に合わせた3次元シミュレーションの結果は、実験値とよく合う。

てきた。この現象は、α線がメモリに入射したとき発生する電子・正孔対が過渡的にドリフト・拡散現象によって3次元的に移動するものであり、シミュレーションにより、この現象を定量的に予測することが、メモリ設計上極めて大切である。

図8は、メモリセルのシミュレーションの3次元構造モデルと、メモリセル収集電荷量の実験値とシミュレーション結果を示したものである⁵⁾。発生した雑音電荷のうち、メモリセルに収集される量は、同図で示すように3次元解析により実験と極めてよい一致が得られている。

図9は、このシミュレーションで、α線をメモリセルの真上から入射させた後の四つの解析時刻での電子密度分布をグラフィック表示したものである。メモリ設計の立場から考える場合、α線による雑音電荷収集量を予測することはもちろん重要であるが、図9のようなデバイス内部の物理状態を観察できることは、シミュレーションの大きな利点である。

3 超LSI回路シミュレーション

3.1 回路シミュレーションの役割

超LSIの開発で、開発期間の短縮と開発費用の削減が重要な課題となっている。そこで、超LSIの設計では誤りをなくし製品試作回数を削減することが大切である。そのため、LSIチップの試作前に設計回路の動作特性を回路シミュレータを用いて精密に予測し、設計不良を解析し対策することが必要となる。回路シミュレータは図10に示すように、回路の各素子間の接続情報と素子特性情報を入力し、直流解析や時間応答解析(過渡解析)などの回路の動作特性を計算し出力する。

技術の進歩により超LSIの高集積化が進み、設計対象となる回路は大規模化している。これに伴う超LSIの微細化により、レイアウトパターンに依存して発生する素子(以下、寄生素子

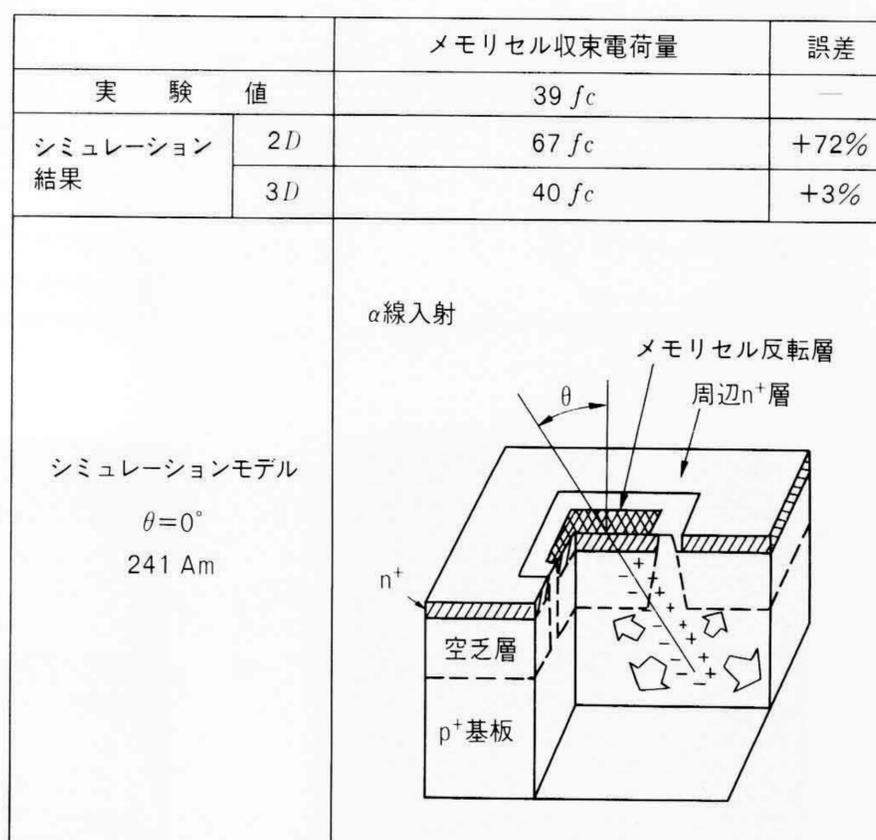
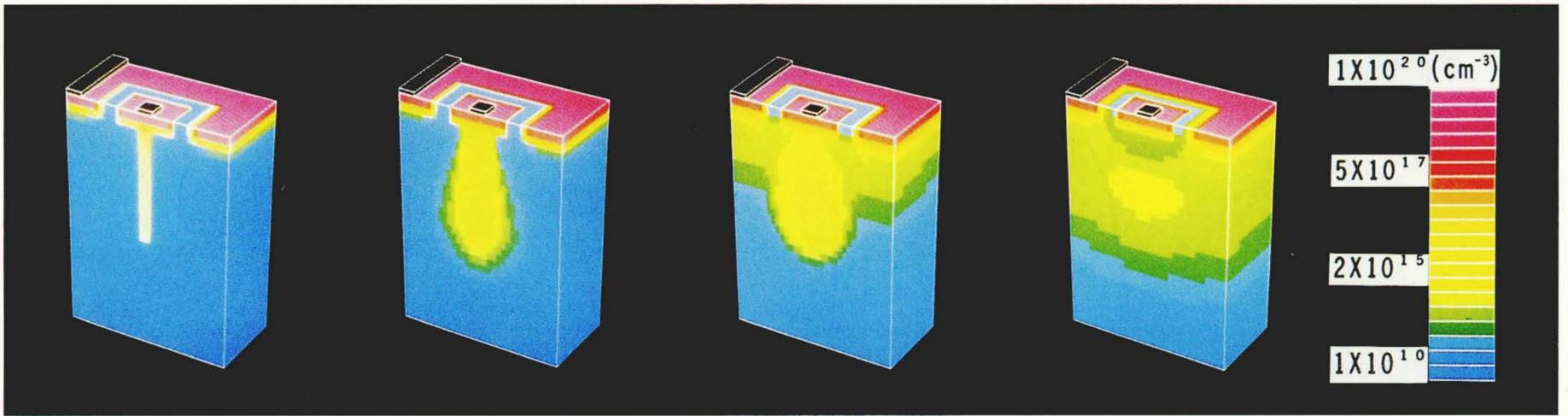


図8 α線入射による雑音電荷の収集モデルのシミュレーション及び実験値の比較 シミュレーション構造図と収集電荷量の実験比較を示す。図の構造を3次元的に入力した解析結果は実験値とよく合う。



電子密度分布 (m^{-3})

図9 α 線雑音の過渡シミュレーション結果(3次元カラーグラフィック表示) 中心に垂直入射した α 線により生成された電子が、時間とともに拡散していくことが分かる。

と呼ぶ。)の設計回路に対する影響が顕在化してきた。また、大規模回路を解析する場合、回路を小回路に分け、各小回路について解析する方法では、小回路間の影響が考慮できないという問題がある。このため、回路全体を一括して解析し、寄生素子の影響も考慮した回路解析が必要となり⁶⁾、回路シミュレーションの対象となる回路規模の増大に拍車をかけている。したがって、回路シミュレータは、この大規模回路の解析が可能であり、しかも高速に実行することが必要である。

これに対応するため、スーパーコンピュータS-810を利用したベクトル化による高速計算方式が必要になる。

3.2 回路シミュレーションの原理

回路シミュレーションでは回路構成(回路網)と回路素子及び解析手法のモデル化により回路特性を定式化する。回路構成はキルヒホッフの法則で、回路素子はオームの法則を用いて定式化する。そしてこれらを基に回路方程式を構成し、回路動作を計算する。これらのモデル化により、回路の各部分での電圧や電流の時間的な変化を計算し、オシロスコープによって見るイメージと同じように波形を出力する。図11に過渡解析のシミュレーション結果の例を示す。これによりメモリ回路のアクセス時間、論理回路のクリティカルパスの設計などに応用できる。

回路シミュレータの処理内容は、図12に示すように前処理部、素子特性計算部、行列計算部に大きく分類できる。各処理の概要を次に説明する。

(1) 前処理部

回路情報(素子間の接続情報など)の入力処理、回路接続チェックなどを行った後、回路解析の基本法則であるキルヒホッフの法則とオームの法則とを用い、回路方程式を導出する。

(2) 素子特性計算部

回路を構成する抵抗、キャパシタ、インダクタ、トランジスタなどの素子の特性(電流値、コンダクタンス)を、各素子モデル式により計算する。これらの素子特性は回路方程式の誘導には欠かせない。

(3) 行列計算部

回路方程式(連立一次方程式)を解き、回路の各部分の電圧値を計算する。

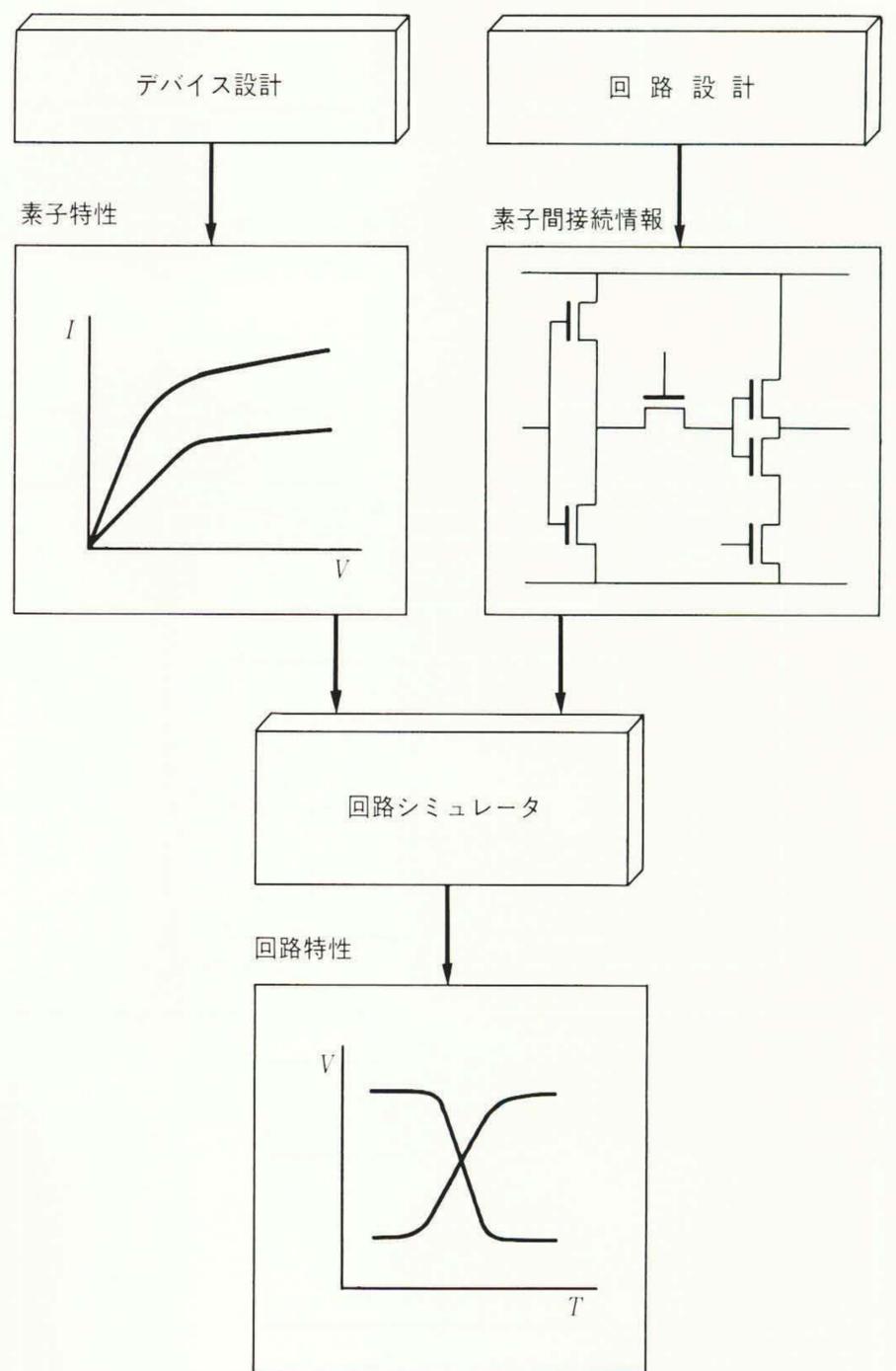


図10 回路シミュレーションの概要 回路シミュレーションの入手力情報を示す。

素子特性の計算は非線形項を含む。また、時間とともに特性が変化する素子や、入力信号のため回路解析(過渡解析)の基本方程式は、連立非線形一階常微分方程式となる。シミュレーションではこの方程式を数値積分法とNewton-Raphson

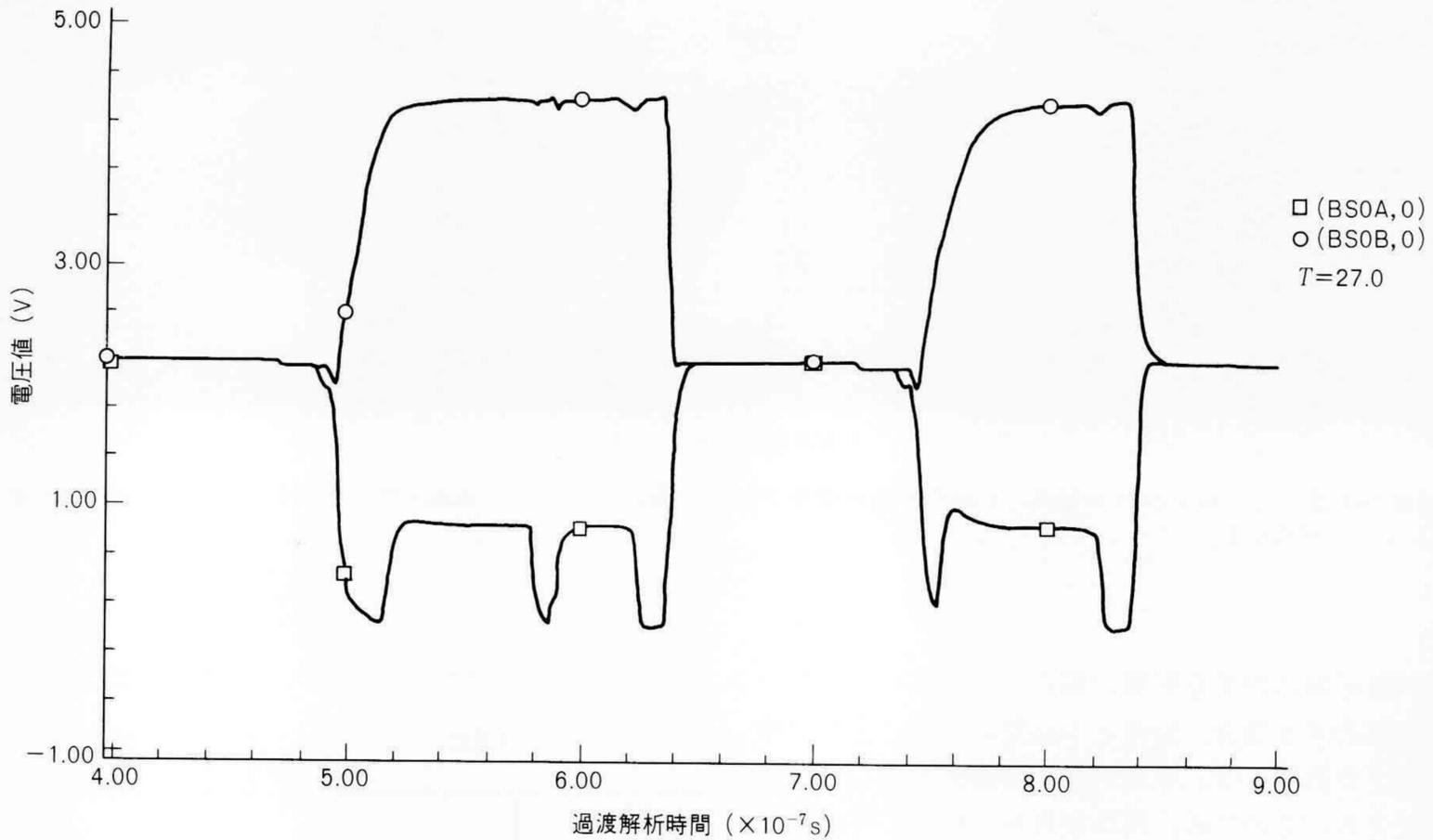


図11 過渡解析結果 超LSIメモリの出力電圧波形を示す。

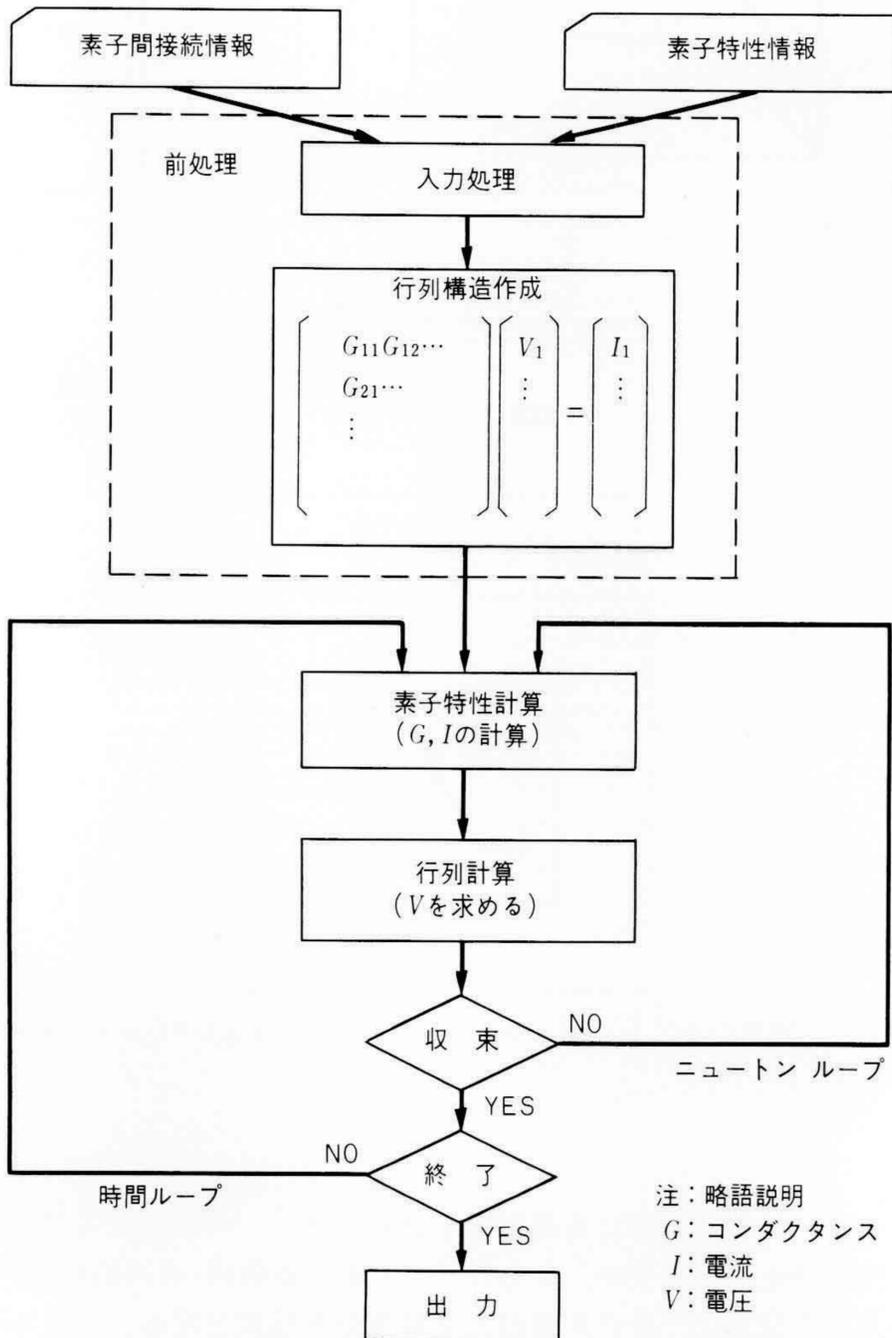


図12 回路シミュレータの構成 回路シミュレータの処理内容を示す。

法を用いて線形連立一次方程式に帰着させる。そして時間刻みごとに解(電圧)が収束するまで繰り返し解く⁷⁾。

3.3 数値解法

(1) 連立一次方程式の解法⁸⁾

回路解析で連立一次方程式 $Ax = b$ の解法としてはLU分解法を用いる。LU分解法の処理手順を以下に示す。

- (a) 行列 A を下三角形行列 L と、上三角形行列 U に分解する ($A = LU$)。
- (b) 方程式 $Ly = b$ から前進消法を行い y を求める。
- (c) 方程式 $Ux = y$ から後退代入を行い解 x を求める。

LU分解は除算計算 ($a_{ij} = a_{ij}/a_{ii}$) と更新計算 ($a_{ik} = a_{ik} - a_{ij} \times a_{jk}$) とで構成されている。 n 次元の密行列のLU分解を行うための計算量は $O(n^3)$ であるが、回路解析における行列(以下、回路行列と呼ぶ)は0要素が多く(スパース性)、計算量は $O(n^2)$ 程度である⁹⁾。しかし、大規模回路になると次元 n は大きくなり、計算量の増加が問題となる。したがって、回路解析を高速に行うにはこの行列計算部の高速化が必要となってくる。

(2) 素子特性の計算

回路を構成する素子には、抵抗、キャパシタ、インダクタ、トランジスタなどいろいろな特性を持つものが存在する。これらの特性を関数で近似することによって、回路解析を定式化する。

素子は線形素子と非線形素子に分類できる。線形素子には、抵抗、キャパシタ、インダクタなどがあり、その特性値は線形性を持つ。線形素子には特性値が時間的に不変である素子と時間的に変化する素子があり、それぞれ定式化されている。一方、これらの性質を持たない非線形素子がある。非線形素子にはトランジスタ、ダイオードなどがある。

素子特性計算も、大規模回路化による素子数の増加により処理時間が増大する。したがって、この部分の高速化も必要となる。

3.4 スーパーコンピュータの利用による高速化

超LSI化が進み大規模回路シミュレーションの要求が強くなってきている。これに対応するため、回路シミュレーションの計算での行列計算部及び素子特性計算部で、計算の並列性を引き出すことにより計算を高速化するスーパーコンピュータ向きの計算アルゴリズムを実用化した。

(1) 行列計算部の高速化

回路解析では、行列計算は行列の次元の二乗に比例して計算量が増加するため、大規模回路では、この部分の高速化が必要である。スーパーコンピュータS-810のリストベクトル機能により、スパースな回路行列に対しても高性能な解法が適用できる。

回路行列ではスパース性を利用すると、LU分解での計算順序の入れ替えができる。例えば図13に示した3×3次行列式で、 a_{12} 要素が0であればI bでの a_{32} 要素の更新計算は不要となるためII aの a_{32} の除算計算はI b以前に実行できる。このように計算順序を入れ替えることにより、同一処理の計算I aとII a、I bとII bとをまとめることで並列性が増し、スーパーコンピュータにより高速計算が可能となる。この並列性を検出する範囲により、次の2種類の方式を開発した。

[並列ブロック分割方式^{10), 11)}]LU分解での計算の並列性を連続する列間で見つけ出す方法である。一度に処理できる範囲の列(ブロック)ごとに、ベクトル化したLU分解の除算計算と更新計算を実行する。

[完全並列化方式^{10), 11)}]LU分解での計算の並列性を行列全体を対象として見つけ出す方法である。行列全体で同時に処理できる要素の組分け(レベル付け)を行い、各レベルごとにベクトル化したLU分解の除算計算と更新計算を実行する。

(2) 素子特性計算の高速化

回路規模が大きくなるにつれ素子数が増加する。この素子数の増加により、計算量が増大する素子特性計算に対しても高速化が必要となる。大規模回路では、同種の素子ごとに特性を並列計算することにより、スーパーコンピュータの性能を引き出すことが可能である。次に、この方式についてMOSトランジスタの場合を例にして説明する。

[素子特性計算ベクトル化方式¹²⁾]MOSトランジスタのI-V特性は電圧により図14(a)に示すとおり三つの領域(F1：非飽和領域、F2：遷移領域、F3：飽和領域)に分かれ、各領域ごとにそれぞれ異なったモデル計算式で表される。また、トランジスタがどの動作領域にあるかは、回路の電圧が決定するまで判明しない。そこで、素子特性を計算する前に、全トランジスタについてどの動作領域にあるかを調べ、動的にグループ化する方式を考案した〔図14(b)〕。つまり、従来各トランジスタについて順番に特性を計算していた処理手順に代わり、同じ動作領域のトランジスタをまとめて計算する処理にした。このグループ化により計算の並列性を増し、高速に計算を実行できる。このグループ化を行う際、データの入れ替えを実行することは速度低下の要因となる。そこで、スーパーコン

ピュータのリストベクトル機能を適用し、データの入れ替えなしにベクトル処理を可能とした。

この手法をバイポーラトランジスタ、ダイオードなどの素子特性計算にも適用し、高速化を図った。

3.5 適用例

スーパーコンピュータS-810を用い、超LSIメモリのシミュレーションに行列計算ベクトル化方式、及び素子特性計算ベクトル化方式を適用する。図15にシミュレーションの対象となる超LSIメモリのチップ写真を示す。

2,132MOSトランジスタの超LSIメモリの過渡解析のシミュ

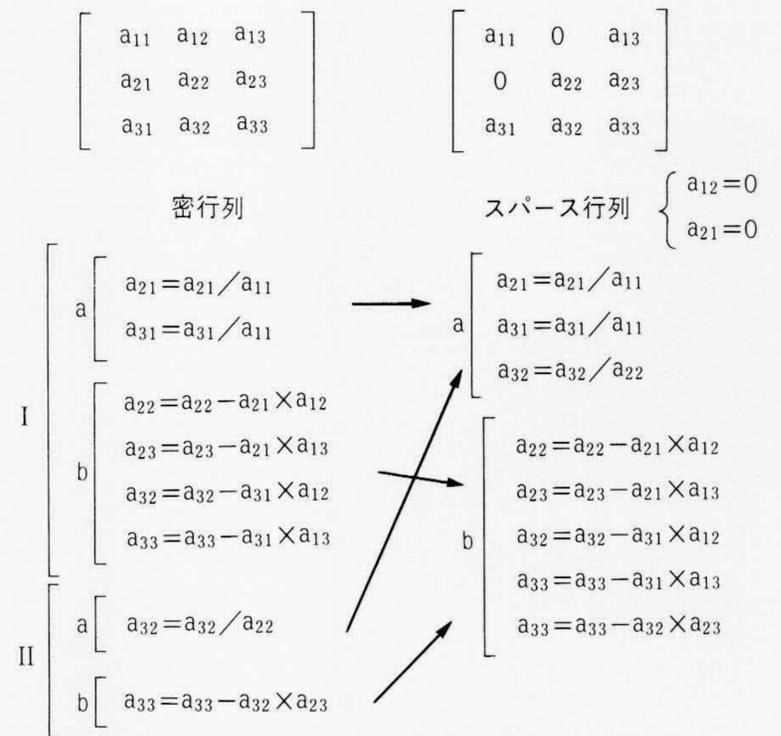


図13 行列計算ベクトル化技術 LU分解の処理順序を入れ替えることによって、並列性を向上する。

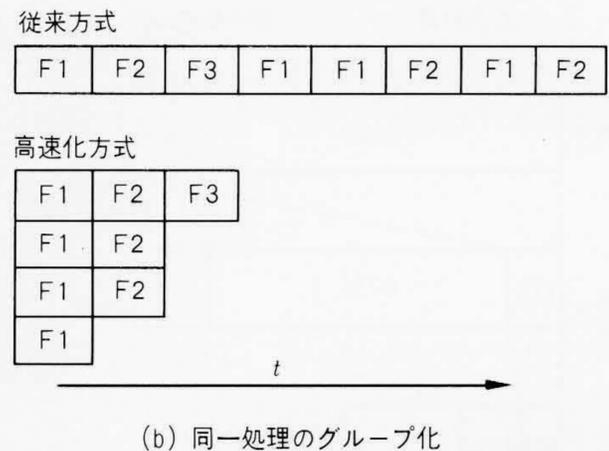
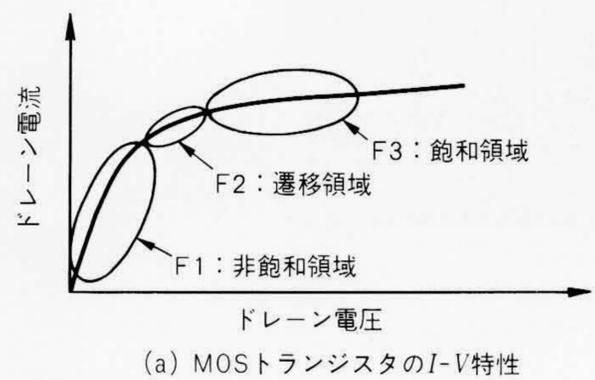


図14 素子特性ベクトル化技術 (a) MOSトランジスタのI-V特性は、三つの動作領域に分割される。(b) 同一動作領域のトランジスタをグループ化することで、並列性を向上する。

レーションを実施した結果、行列計算部でははん用計算機M-200Hを使用した場合に比べ約100倍の高速化を達成した。また、素子特性計算部では約10倍の高速化を達成した。全体では、はん用計算機M-200Hで約6.6時間の計算時間を要したのに対し、スーパーコンピュータS-810を使用して約 $\frac{1}{30}$ の13分でシミュレーションを可能にした。図16にシミュレーションに要する計算時間高速化の推移を示す。

4 結 言

半導体、特に超LSIの設計がますます複雑大規模になるに従って、本論文で示したデバイスシミュレーション、回路シミュレーションの利用が必ず(須)となり、スーパーコンピュータによるこれらシミュレータの高速計算が重要な要素となってきた。本論文では、デバイスシミュレータの応用として、ダイナミックメモリの信頼性にかかわる、 α 線の入射によるメモリ情報の破壊現象を解析した例を示したが、この結果は超LSIメモリの設計に大きなインパクトを与えている。また、回路シミュレータの高速化は、超LSIチップ全体の回路動作を正確にシミュレートすることを初めて可能にするもので、超LSIの設計期間短縮及び高速化に伴う信号線の干渉、雑音の一括解析など、超LSIチップの設計に与える効果は大きい。このようにスーパーコンピュータの半導体設計への効果的利用は、従来経験的に設計、試作を繰り返してきた半導体デバイス、超LSIの開発の設計手法を大きく変える可能性を秘めていると思われる。

参考文献

- 1) 森本, 監修: VLSI設計・製造シミュレーション, p.92, CMC出版(昭61)
- 2) K. H. Gummel: A Self-consistent Iteration Scheme for One-dimensional Steady State Transistor Calculations *ibid.* ED-11, 445(1964)
- 3) T. Toyabe, et al.: Three-dimensional Device Simulator CADDETH with Highly Convergent Matrix Solving Algorithm, *ibid.* ED-32, 2038(1985)
- 4) 大倉, 外: 汎用3次元交流デバイスシミュレータ, 電子通信学会半導体トランジスタ研究会, SSD85~72, p.39(昭60)
- 5) H. Masuda, et al.: A full three-dimensional Simulation on α -particle induced DRAM Soft-error IEDM '85 Technical Digest p.496(1985)
- 6) G. Yokomizo, et al.: HICE: Hierarchical Circuit Extraction System for Layout Verification, Proc. of CICC '87, pp.133~136(1987)
- 7) 渡辺, 外: VLSIの設計, 岩波書店(昭60-1)
- 8) 戸川: マトリクスの数値計算, オーム社(昭46-7)
- 9) 村田, 外: スーパーコンピュータ—科学技術計算への適用—, 丸善(昭60-3)
- 10) F. Yamamoto, et al.: Vectorized LU Decomposition Algorithms for Large-Scale Circuit Simulation, IEEE Trans. on C.A.D., Vol.CAD-4, No.3, pp.232~239, June (1985)
- 11) F. Yamamoto, et al.: A Comparative Study of Vectorized LU Decomposition Algorithms for Large Unstructured Sparse Matrix, Proc. of ISCAS '85, pp.217~220(1985)
- 12) 森岡, 外: ベクトル計算機向き大規模回路シミュレータの方式と適用評価, 電子情報通信学会情報・システム部門全国大会論文集, pp.2-325~2-326(昭62-11)

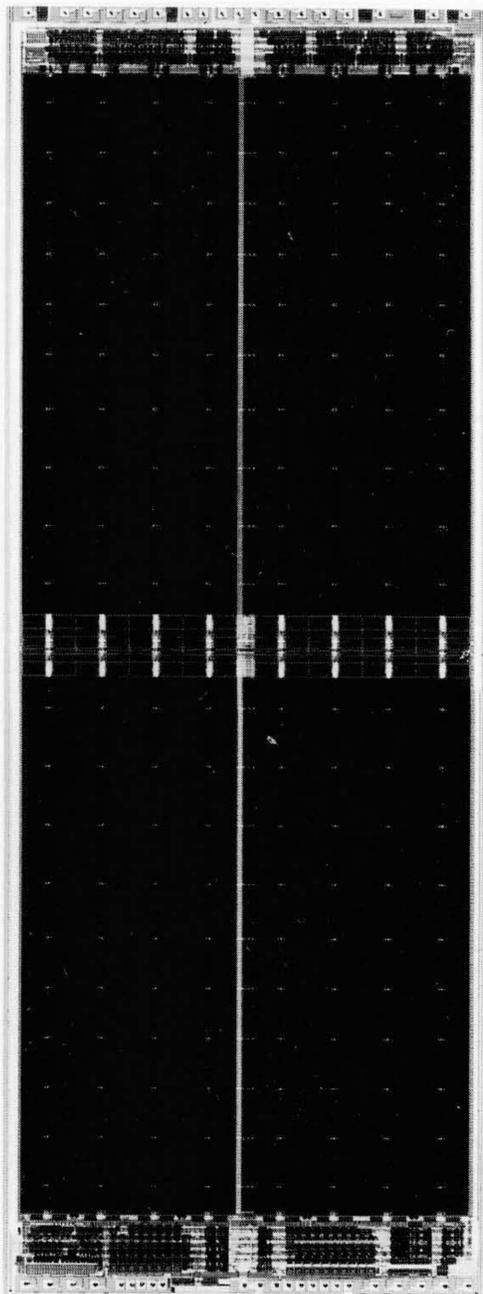


図15 超LSIメモリ 超LSIメモリのチップ写真を示す。

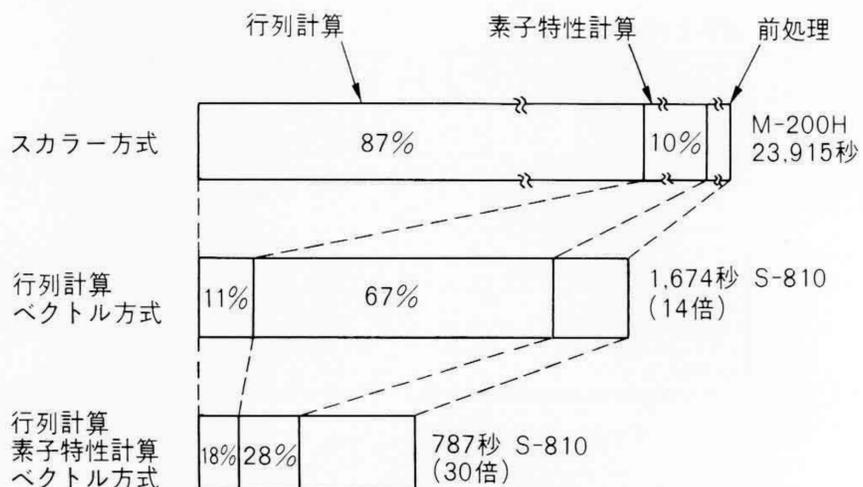


図16 回路シミュレーション高速化の効果 2,132MOSトランジスタ回路の計算時間の推移を示す。