

# 1 MビットスタティックRAM“HM628128”

## 1Mbit Static RAM “HM628128”

スタティックRAMは、リフレッシュ動作を必要とせず、低消費電力での記憶データの保持が可能という特徴がある。このため、端末機器、ポータブル機器などに幅広く使用され、最近では機器の小形化、高性能化を図るためRAMの大容量化の要求が強い。

この要求にこたえるため、0.8  $\mu\text{m}$  Hi-CMOSプロセス技術と高速で低消費電力動作のための新回路技術とを用いて、128 kワード $\times$ 8ビットCMOSスタティックRAMを完成させた。微細加工技術と新構造セルの導入でセルサイズを縮小し、5.7 mm $\times$ 14.4 mmのチップサイズ上に640万素子を集積した。本製品の性能は、標準測定条件でアクセス時間は42 ns、動作時消費電力は225 mW及び待機時消費電力は5  $\mu\text{W}$ であり、高速かつ低消費電力動作が実現された。

笹木 行雄\* *Yukio Sasaki*  
 内堀 清文\*\* *Kiyofumi Uchibori*  
 鈴木 範夫\* *Norio Suzuki*  
 佐々木 敏夫\*\*\* *Toshio Sasaki*

### 1 緒 言

CMOS SRAM (Complementary Metal Oxide Semiconductor Static Random Access Memory) は、DRAM (Dynamic RAM) と比べて、サイクル時間とアクセス時間を同一にできるという特徴を持つために、高速動作が可能である。更に待機時に消費電力が少なく、複雑なタイミング設定やリフレッシュ処理などを必要とせず、広い電圧範囲での動作が実現できるという利点を持っている。

このため、CMOS SRAMの採用によって、メモリシステムを比較的容易に設計でき、特にマイクロコンピュータ関連機器やOA (Office Automation) 機器などの小形システムに幅広く使用されている。また、待機時の低消費電力を生かし、ポータブル機器用のバッテリーバックアップメモリやメモリカード及びメモリカートリッジ用ICとして応用され、用途が多様化してきている。

今回開発したHM628128は、128 kワード $\times$ 8ビット構成の1 MビットCMOS SRAMで、前述のシステム機器での大容量化と高性能化に最適のメモリICである。この製品は256 kビットCMOS SRAM HM62256<sup>1)</sup>の上位製品に相当するもので、記憶容量を4倍化し、256 kビットSRAMを上回る高速性と低消費電力性を指向し製品化したものである。

大容量化、高速化及び低消費電力化を実現するため、新たに0.8  $\mu\text{m}$ プロセスによるHi-CMOS (IV)<sup>2)</sup>技術と新回路技術を開発導入した。本論文では、上述のプロセス技術と回路技術及び開発製品の電気的特性について述べる。

### 2 Hi-CMOS (IV) SRAM技術

Hi-CMOS SRAM技術は、4 kビットSRAMに初めて導入し、以後256 kビットSRAMまで四世代にわたって改良を重ね

使用してきたプロセス技術である。この技術は、周辺回路部をCMOSで構成し、メモリセル領域を高抵抗負荷形NMOS (N Channel MOS) セルで構成することで、高集積化と低消費電力化を同時に実現する重要な技術である。

本製品の開発では、この技術を更に改良し、トランジスタのゲート長を従来の1.3  $\mu\text{m}$ から0.8  $\mu\text{m}$ までスケールダウンした。更に、ポリシリコン3層配線技術や高抵抗の安定制御技術を確立し、メモリセルサイズを256 kビットSRAMの47%に低減するHi-CMOS (IV)技術を実現した。

本プロセスの概要を表1に示す。サブミクロンデバイスの実現のため、新しく高NA (Numerical Aperture) 縮小投影露光装置やダメージフリー微細加工ドライエッチング技術、段差の増加に対する新平坦化技術、大電流イオン打込みなどの製造技術を導入している。

図1は、本製品に適用したメモリセルのSEM (走査形電子顕微鏡) 写真を示す。縦方向にAl層で形成したビット線を配置した。横方向には、第1のポリサイド層で形成したワード線と第2のポリサイド層で形成した二重ワード線及び $V_{SS}$ 線を、更に $V_{SS}$ 線上にはポリシリコン層で形成したメモリセルへの $V_{CC}$ 電源給電線を配置した。従来に比べ、ポリサイド層を1層追加することで、 $V_{SS}$ 線をゲート形成層と別層で形成できた。このため $V_{SS}$ 線の配線幅を広く設計でき、 $V_{SS}$ 線の寄生抵抗値を10  $\Omega$ /セル以下に低減した。更に、各セルへの $V_{SS}$ 電位の給電は、32セルおきにメモリセルデータ線に沿って配置したAl層の $V_{SS}$ 線との接続で行い、動作時の $V_{SS}$ 電位の上昇を25 mV以下に抑えた。この結果、広い電源電圧範囲でのセルの安定性を実現できた。

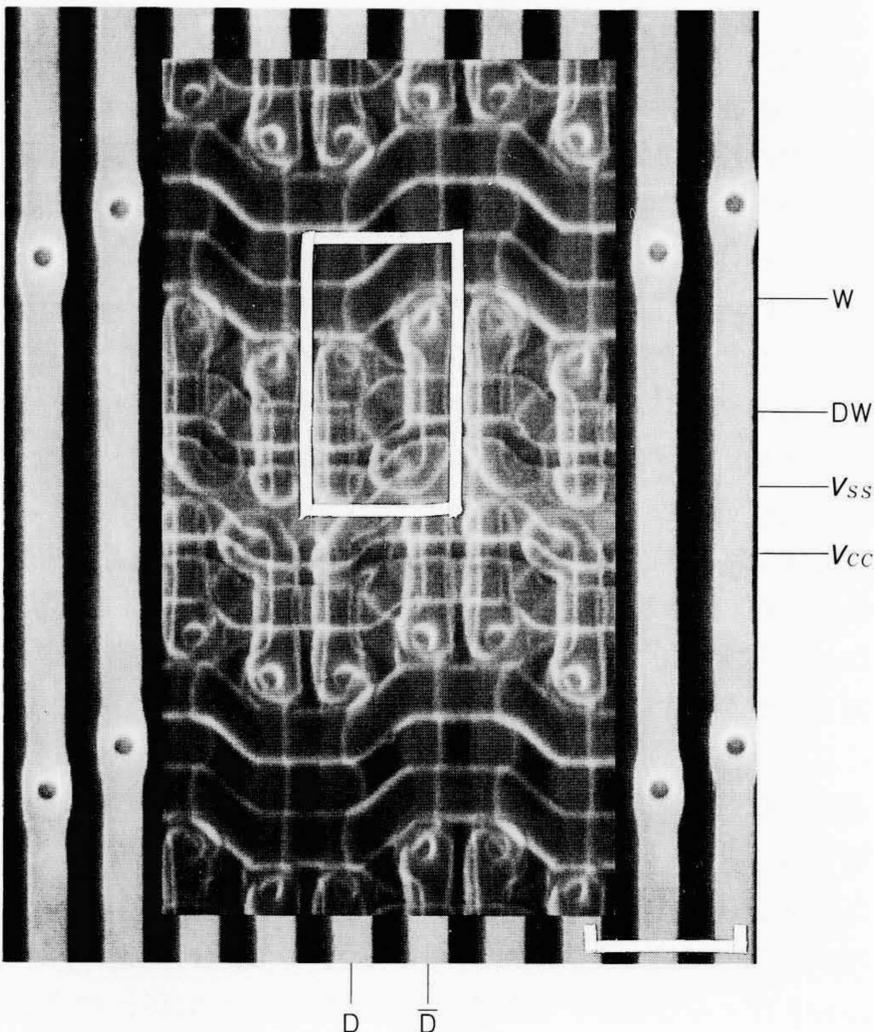
メモリセル高抵抗部の縮小は、高抵抗形成プロセスの最適化により耐圧を向上することで実現し、スタンバイ時のセル

\* 日立製作所武蔵工場 \*\* 日立製作所武蔵工場 工学博士 \*\*\* 日立製作所中央研究所

表1 Hi-CMOS(IV)プロセス概要 各寸法は設計寸法値を示している。

項目	内容
製造プロセス	0.8 $\mu$ m 3層ポリ 1層Al PウエルCMOS
配線層	<ul style="list-style-type: none"> <li>●第1層多結晶Si(ポリサイド): ゲート電極, ワード線, 配線</li> <li>●第2層多結晶Si(ポリサイド): 二重ワード線, セルGND配線, 配線</li> <li>●第3層多結晶Si: 高抵抗負荷, セルV<sub>CC</sub>配線</li> <li>●Al配線: ビット線, 配線</li> </ul>
トランジスタ	<ul style="list-style-type: none"> <li>●NMOSトランジスタ: ゲート長0.8<math>\mu</math>m</li> <li>●PMOSトランジスタ: ゲート長0.8<math>\mu</math>m</li> </ul>
多結晶Si配線	線幅: 0.8 $\mu$ m, 間隔: 0.8 $\mu$ m
Al配線	線幅: 1.4 $\mu$ m, 間隔: 0.8 $\mu$ m
コンタクト径	0.8 $\mu$ m $\times$ 0.8 $\mu$ m
加工技術	高NA縮小投影露光装置及びダメージフリー微細加工ドライエッチング技術, 新平たん化技術, 大電流イオン打込み技術

注: 略語説明 CMOS(Complementary Metal Oxide Semiconductor)  
 NMOS(N Channel MOS)  
 PMOS(P Channel MOS)  
 NA(Numerical Aperture)



注: V<sub>SS</sub>: メモリセルV<sub>SS</sub>線(2層目ポリサイド)  
 DW: 二重ワード線(2層目ポリサイド)  
 W: ワード線(1層目ポリサイド)  
 D,  $\bar{D}$ : データ線(Al線)  
 V<sub>CC</sub>: メモリセルV<sub>CC</sub>線(3層目Poly Si層)

図1 HM628128のメモリセル写真 写真中のゲージは5 $\mu$ mである。メモリセルサイズは5.2 $\mu$ m $\times$ 8.6 $\mu$ mであり, Al配線幅及び間隔はそれぞれ1.4 $\mu$ m, 1.6 $\mu$ mの設計である。写真中央部は途中工程でのSEM写真を示す。白枠部は1個のメモリセル単位を示す。

電流を256 kビットSRAMの $\frac{1}{4}$ 以下に低減した。

このような工夫によって, メモリセル縦方向サイズを8.6 $\mu$ mまで縮小し, チップ幅を5.7 mmに抑えることで面実装小形パッケージへの封入を実現した。

MOSトランジスタの微細化に伴い, ホットキャリアによる特性劣化が大きな障害となってくる。この問題に対しては, PMOS(P Channel MOS), NMOS共にジャンクション部の濃度プロファイルを最適化することでドレーン近傍の電界を緩和し対策した。更に回路設計時に回路方式及びトランジスタ定数の最適化を行い, ホットキャリアに対する耐性を256 kビットSRAM並みに向上し高い信頼性を実現した。

### 3 高速・低消費電力化技術

プロセスの加工技術の進歩は, 各世代ごとに60~70%のスケールダウンを可能にしている。しかし, メモリ容量は各世代ごとに4倍化するため, 製品のチップサイズは必然的に増加してくる。このため, チップ上の配線長さや回路規模が増大し, 信号遅延や消費電力の増大がますます大問題になりつつある。

Hi-CMOS SRAMは, 周辺回路がCMOS構造であるため, 周辺回路部の消費電流は過渡電流になっており, この回路部では定常電流が流れない。しかし, メモリセル部やセンスアンプ回路部などでは, スタティック動作回路が使われているため, これらの回路部での消費電流は定常電流となっている。したがって, 製品全体の消費電流は, これらの定常電流によって決められる。日立製作所は, このような定常電流低減のために, 既にワード線パルス方式<sup>3)</sup>を確立し, SRAMの低消費電力化を図ってきた。

本製品では, 更に大容量化や高速化に当たり, メモリセルの活性化領域を細分化する二重ポリサイドワードライン方式やブロックセンスアンプ方式, 及び多分割ビット線プリチャージ方式を開発導入した。

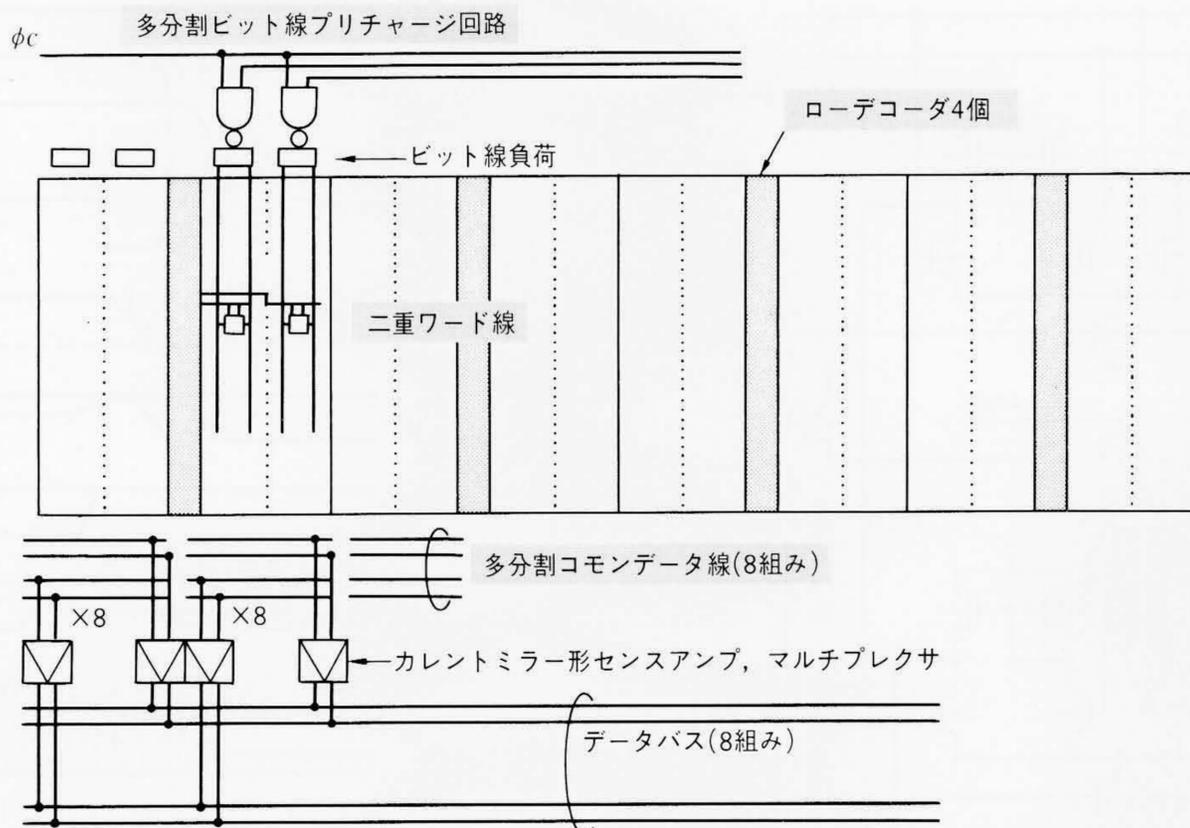
#### 3.1 二重ポリサイドワード線方式

図2は本製品でのメモリセルアレイの構成を示している。消費電力低減のため, セルアレイは16個のサブアレイに分割されている。この分割は, 4個の行デコーダの配置と行デコーダ内部でワード線駆動回路の列アドレスによる4分割制御で実現している。

行デコーダ遠近のサブアレイ分割は, 遠端アレイ用のワード線を近端アレイ上に配線した2層目のポリサイド配線(二重ポリサイドワード線と言う。)を介して駆動することで実現した。以上の方式により, デコーダ面積の増加を最小限に抑え, ワード線駆動回路の負荷を256 kビットSRAMと同一の128セルまで低減した。

二重ワード線方式は, 従来方式に比べ, ワード線の負荷容量を半減できる利点があり, 低抵抗材料のポリサイド配線を使用しているため, 行デコーダ遠端アレイ部でのスピード遅延を低減しており, 高速読出し及びメモリセル部での消費電流低減に大きな役割を果たしている。

動作時の消費電力は, 1ワード線に接続するメモリセル数を256 kビットSRAMと同一にしたことで, 従来製品と同等でありバッテリー駆動のシステムへの適用も可能になっている。



注：略語説明  $\phi_c$ (アドレス信号の遷移を検出し、発生させた一定パルス幅のクロック信号)

図2 HM628128のメモリセルアレイ構成図 メモリセルアレイは、一つの列デコーダを含む4領域に分割され、更にデコーダ左右のマトリクス分けコントロール及び二重ワード線による近端、遠端分けにより分割され、全体は16アレイに分割されている。

### 3.2 ブロックセンスアンプ方式

ビット線の情報を高速にデータバスに伝達させるため、コモンデータ線を32カラムごとに分割し、各々にブロックセンスアンプを接続した。この分割により、チップサイズの増大に伴うコモンデータ線容量の増加で起こるアクセス時間の遅延を防いだ。

図3は各コモンデータ線に接続したブロックセンスアンプの回路図を示す。このセンスアンプは、カレントミラー形アンプを2段重ねた構成であり、前段はコモンデータ線上の微小信号の高速センス動作、次段はCMOSレベル近くまでの信号増幅動作が主要な役割である。この役割分担設計の最適化により、2段センスアンプ構成での消費電流増加を抑えた高増幅率のブロックセンスアンプを実現した。このセンスアンプでは、出力振幅がCMOSレベルに近いので、マルチプレクサの駆動能力も大きくデータバスへの高速データ転送が可能となっている。

各段のセンスアンプの出力ノードを、アドレス遷移検出回路からのATD(Address Transition Detection)パルス信号によりイコライズ及びプリチャージすることで、逆情報読出し時のセンス時間の遅延を防止しアクセス時間の高速化を図っている。

### 3.3 多分割ビット線プリチャージ方式

セル情報読出し時に、ビット線に逆情報が読み出されると、ビット線の反転時間が必要となり読出しスピードが遅くなる。特に、書込み直後の読出し時は、ビット線の電位差が読出し時の電位差に比べ大きいため、より反転時間が長くなる。

図4は、この反転時間を短縮するために採用した多分割ビット線プリチャージ方式の動作時のタイミング波形と電流波形を示す。ワード線の立上り直前に、ATDパルス信号を用いビット線を一定レベルまで高速にプリチャージすることによ

り、読出しの高速化を図っている。

書込み選択ビット線以外のビット線の低レベル電位が高く、更に選択サブアレイ単位にこのプリチャージが行われる。このため、この方式ではスパイク電流によるノイズの発生が少なく、安定で高速な動作が可能になっている。

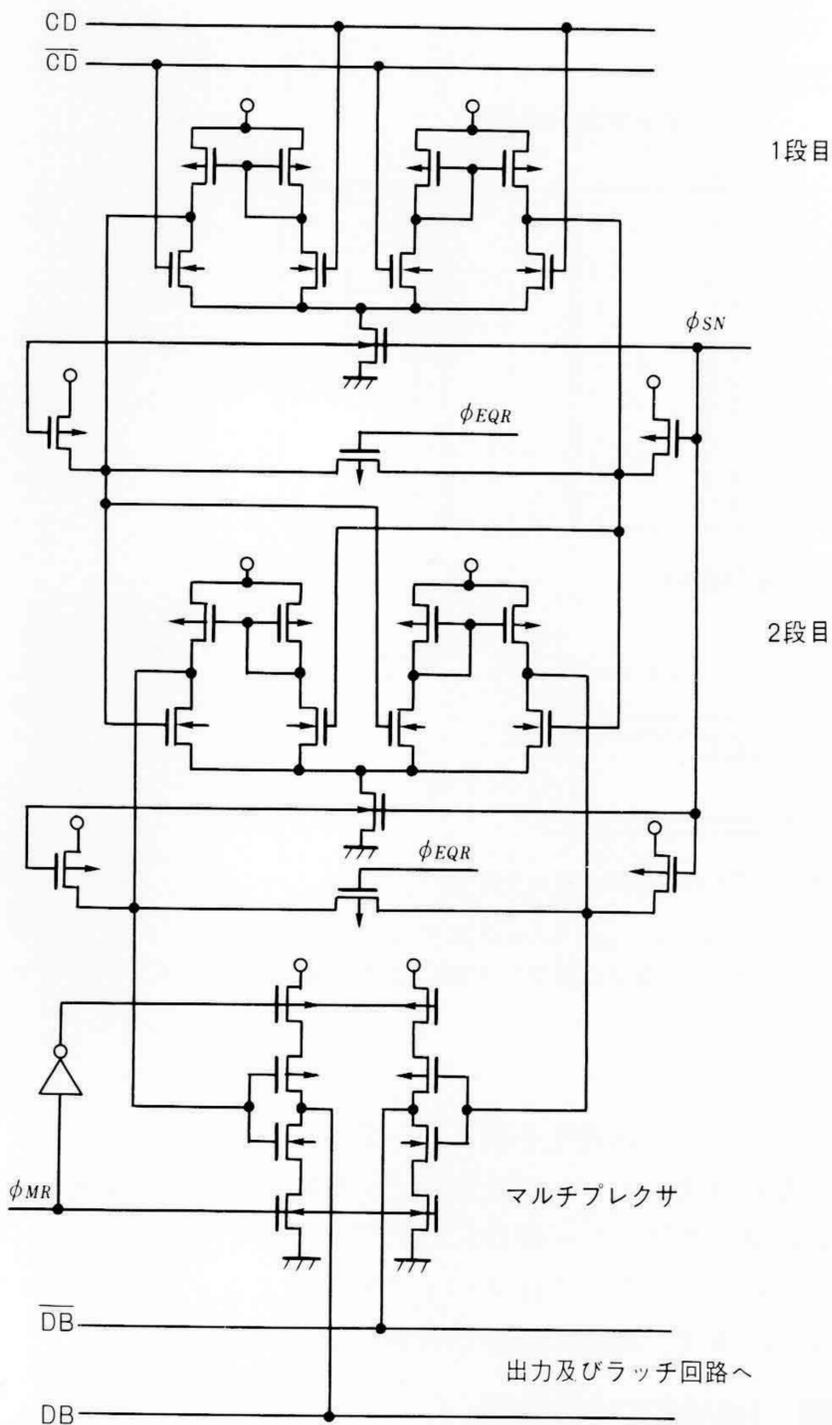
## 4 HM628128の特性

図5は本製品のチップ写真である。チップは縦5.7 mm、横14.4 mmの大きさであり、面積は82.1 mm<sup>2</sup>である。従来の大容量SRAM HM62256の4倍の約100万ビットの情報をこのチップ上に記憶できる。新しくサブマイクロプロセス技術を採用することでトランジスタの集積密度を従来品の2.2倍に向上させており、チップサイズは従来品の1.8倍である。高速のランダムアクセス及び消費電力の低減を図るため、ビット線をチップ短辺方向に沿った配置とし、セルアレイを縦512セル、横2,048セルの構成で配列している。

図6に、本製品のパッケージ封入時のピン配置図を示す。この配置はJEDEC(Joint Electron Devices Engineering Council)の128 kワード×8ビットSRAMの標準に適合した32ピンの構成で、1Mビット擬似SRAM HM658128ともピンコンパチブルである。

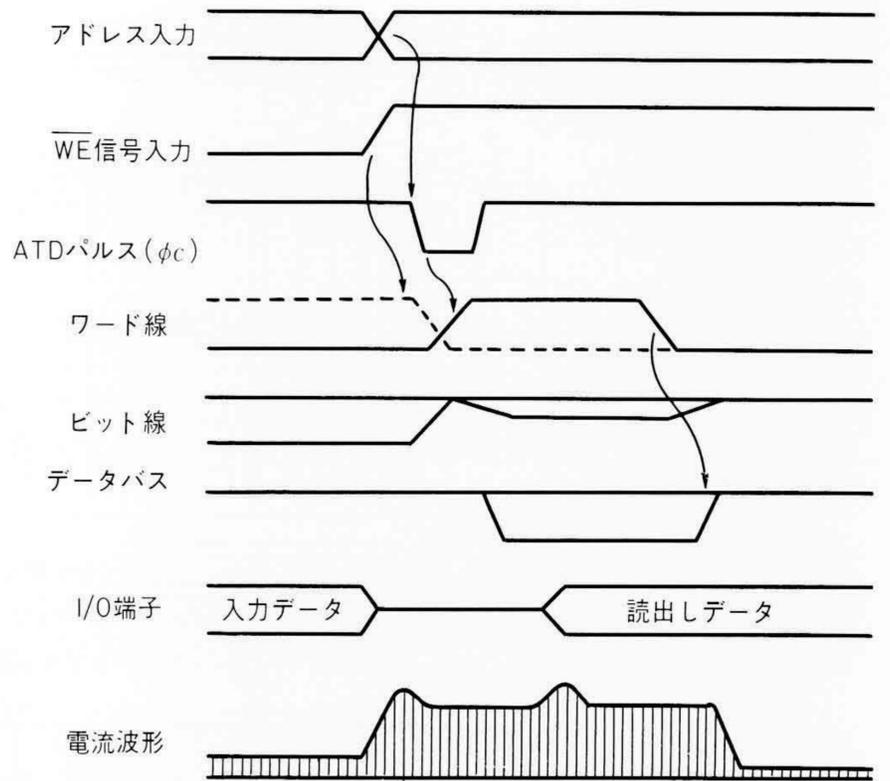
この製品は64 kビットRAM HM6264と同様に、 $\overline{CS1}$ 、 $CS2$ 、 $\overline{WE}$ 、 $\overline{OE}$ の4本の制御端子を備えている。正論理のチップ選択信号及び負論理のチップ選択信号の双方を備えているため複数個使用する場合のデコードが容易のほか、チップ選択制御とバッテリーバックアップ制御を各端子に分離することもでき、小規模システムで使いやすい設計となっている。

図7は、アドレスアクセス時間の電源電圧依存性の特性評価結果を示す。このサンプルでは電源電圧5 V、周囲温度25 °C



注：略語説明 CD, CDB(コモンデータ線), phi\_SN(センスアンプ活性化クロック) phi\_EQR(アンプ出力クロック), phi\_MR(マルチプレクサ制御信号), DB, DDB(出力データバス)

図3 HM628128のセンスアンプ回路系 カレントミラー形センスアンプを2段用い、増幅率を上げ、コモンデータ線(CD, CDB)上のデータを、高速にデータバス(DB, DDB)上へ転送している。



注：略語説明 ATD(Address Transition Detection)

図4 多分割ビット線プリチャージ方式の動作タイミング図 Write直後は、ビット線間の電位差が大きいため、アドレスの変化を検出し発生させたATDパルスを用い高速にビット線をプリチャージする。この動作により読出しスピードが高速化されている。情報を読み出し後、ワード線は立ち下げられ電源電流は減少する。

の標準測定条件で42 nsと高速であり、更に電源電圧3.5 Vから7 Vの広範囲での動作が実現できている。

図8は、動作時電源電流の動作周波数依存性を示す。このサンプルでは、標準測定条件でサイクルタイム74 ns以上でワードパルス駆動方式の効果が現われており、動作周波数1 MHz時の電流は読出し時8 mA、書込み時15 mAと少なく、70 nsの最小サイクル動作においても35 mAと低消費電力動作を実現している。

図9は、待機時電流の温度依存性を示す。待機時電流特性はメモリセル負荷抵抗の温度依存性によって決まっており、高温側で増大する。温度に対する変化率は、周囲温度差50 °C

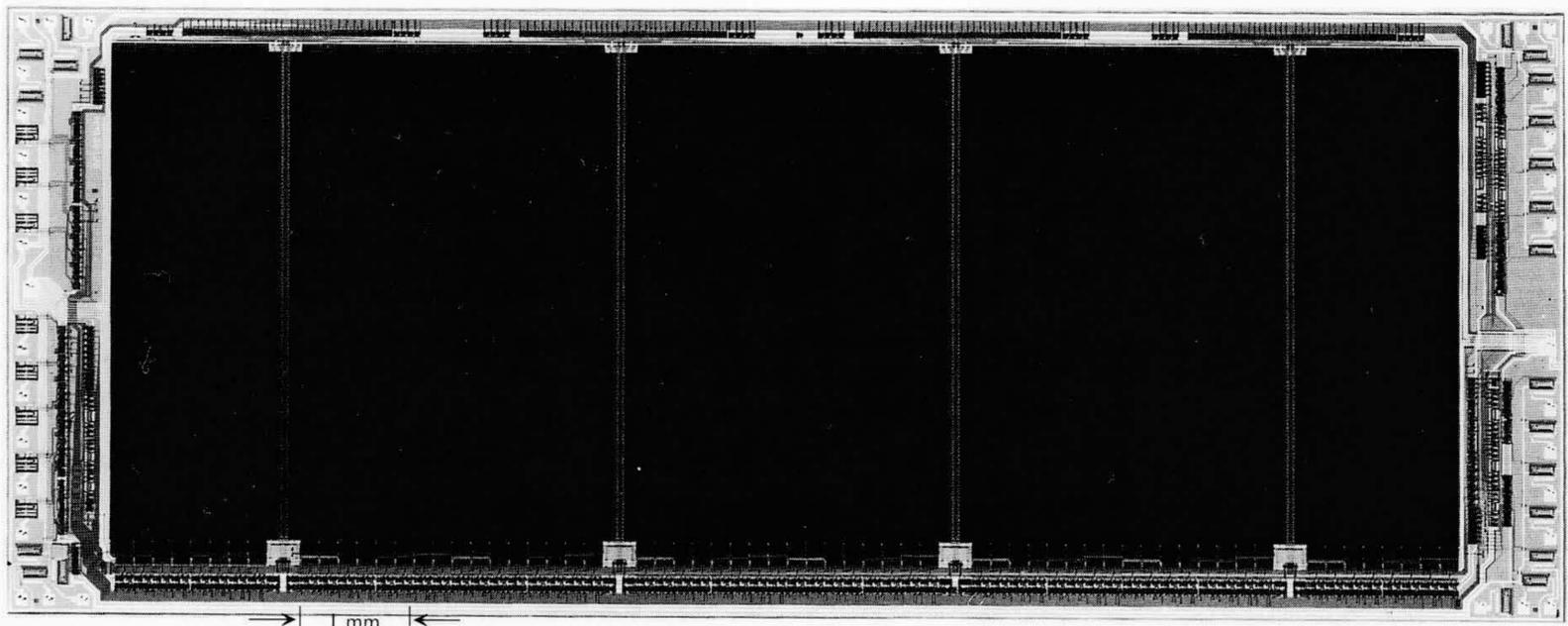
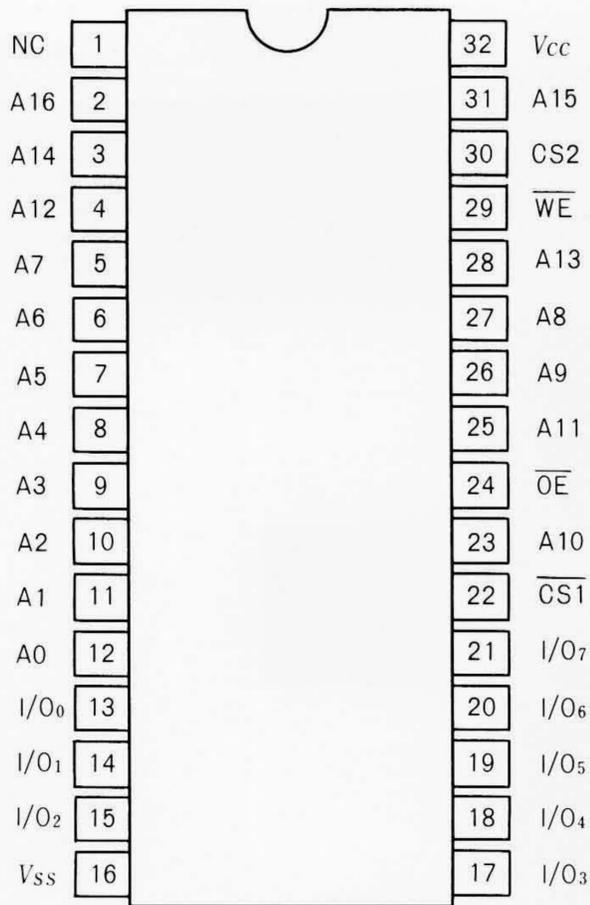


図5 HM628128のチップ写真 このチップ上には640万素子が集積されている。チップサイズは5.70 mm×14.4 mmで、小形面付けパッケージへの封入が可能である。



ピン説明

記号	ピン名称
A0~A16	アドレス入力
I/O <sub>0</sub> ~I/O <sub>7</sub>	データ入出力
CS1	チップ選択1
CS2	チップ選択2
WE	ライトイネーブル
OE	アウトプットイネーブル
NC	ノーコネクション
Vcc	電源
Vss	接地

図6 HM688128のピン配置図 ピン配置は1Mビット擬似SRAMとピン互換性があり、バイトワイド1MビットSRAMのJEDEC標準配置となっている。

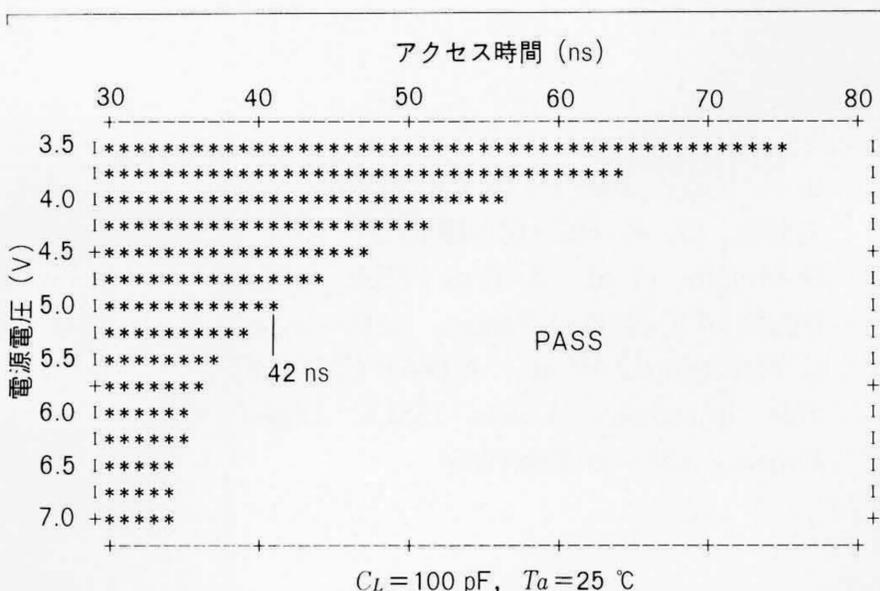


図7 アドレスアクセスタイムの電源電圧依存性 標準条件でのアクセスタイムは42 nsである。

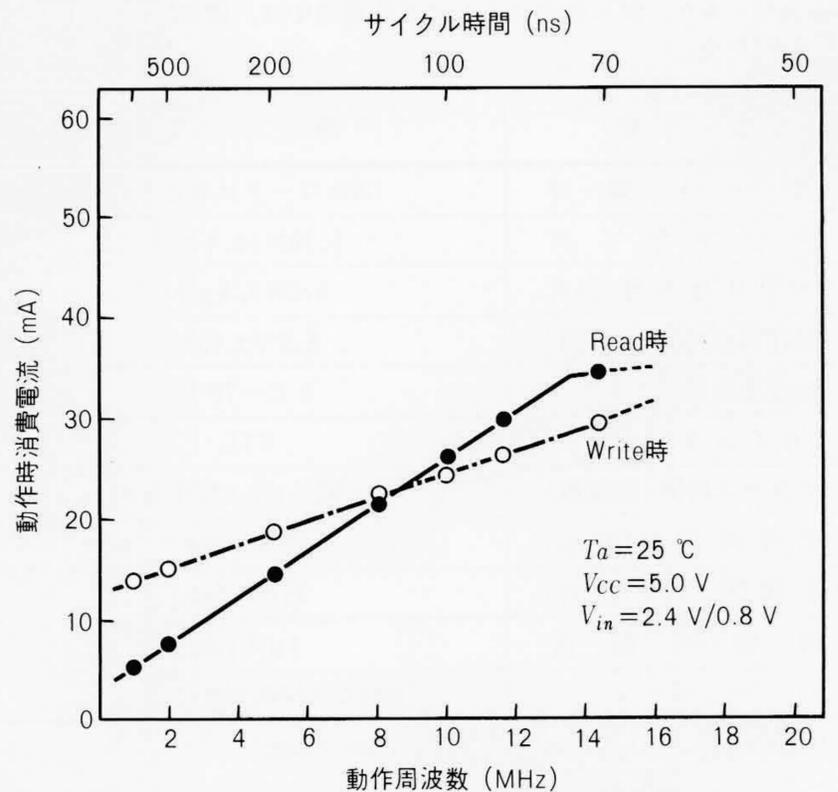


図8 動作時消費電流の周波数依存性 動作時の消費電流は、二重ポリサイドワードライン方式とワードパワーダウン方式の併用によって、1 MHz読み出し動作時8 mA typ., 書き込み動作時15 mA typ. を実現している。

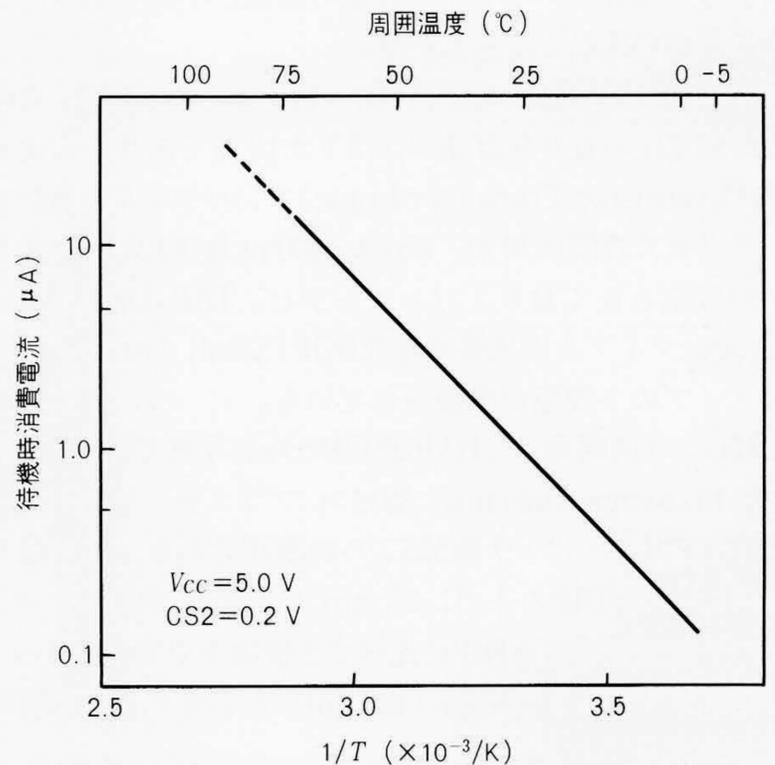


図9 待機時消費電流の温度依存性 メモリセル部のポリシリコン高抵抗の抵抗値を安定に形成する新技術の採用により、周囲温度25°Cで待機時消費電流1 µA typ を実現した。

の増加に対し約10倍の増加を示す。メモリセルの負荷抵抗値は、標準測定条件で約5 TΩ(5 × 10<sup>12</sup> Ω)の値であり、負荷抵抗形成条件の最適化や抵抗値の安定制御技術の確立により、従来製品に比べ4倍以上の高抵抗を実現している。

ここに示したサンプルの特性例では、標準測定条件で待機時電流は1 µAが得られており、周囲温度70°C時の値でも12 µAと低消費電力特性が実現されている。このように、ビット当たりの待機時電流は、従来品に比べ約1/4に低減されており、従来品と同様に待機時の低電流配分品も可能となっている。

表2 HM628128の特徴 メモリ容量は従来製品HM62256に比べ4倍化されているが、更に高速化されて消費電流では、従来製品相当の値を達成している。

項目	特徴
ビット構成	128kワード×8ビット
チップサイズ	5.70×14.4 mm <sup>2</sup>
メモリセルサイズ	5.2×8.6 μm <sup>2</sup>
動作電源電圧(保証値)	5.0 V±10%
動作温度範囲(保証値)	0℃～70℃
I/Oインターフェース	TTL
アクセス時間(保証値)	70・85・100・120 ns max.
動作時電流(70 ns)	70 mA max.
動作時電流(1 MHz)	15 mA typ
待機時電流	1 μA typ
パッケージ	600ミルDIP/525ミルSOP

注：略語説明 TTL(Transistor Transistor Logic)  
DIP(Dual In Line Package)  
SOP(Small Outline Package)

このため、バッテリーバックアップシステムのメモリ容量の増加を行う場合のバッテリー容量の増加が不要であり、この用途に最適の製品となっている。

表2に、HM628128の基本特性一覧をまとめて示す。この製品の電源電圧の社外保証値は、5 V±10%であり、入出力はTTL(Transistor Transistor Logic)コンパチブルの設計である。アクセス時間は70 ns, 85 ns, 100 ns及び120 nsの4グレードが設定されており、パッケージは、DIP(Dual In Line Package)タイプと面実装可能なSOP(Small Outline Package)タイプの2種類が準備されている。

図10は、今回開発したHM628128の外形写真である。写真の上段は15.24 mm {600 mil} 32ピン プラスチックDIP、中段はフットプリントピッチ幅525ミルのSOPである。SOPはリード間のピッチがDIPの $\frac{1}{2}$ の1.27 mm {50 mil} であり、パッケージの平面実装密度をDIPに比べて2倍向上でき、更にパッケージの高さ寸法も3.05 mm {120 mil} と小さく、高密度実装に最適の製品である。

なお、本製品では、チップサイズの増加やマスクパターンの微細化に伴いプロセス欠陥の歩留まりへの寄与率が増大してくることから、歩留まりの安定確保が図れるよう設計段階で4行1列の冗長ビットを内蔵させ歩留まり対策を施している。

## 5 結 言

128 kワード×8ビット構成の1 MビットSRAM, HM628128を開発した。この製品では、0.8 μm Hi-CMOS(IV)プロセスの採用によりチップ上に約640万素子を集積している。このプロセスでは、NMOS, PMOS共にジャンクション部で

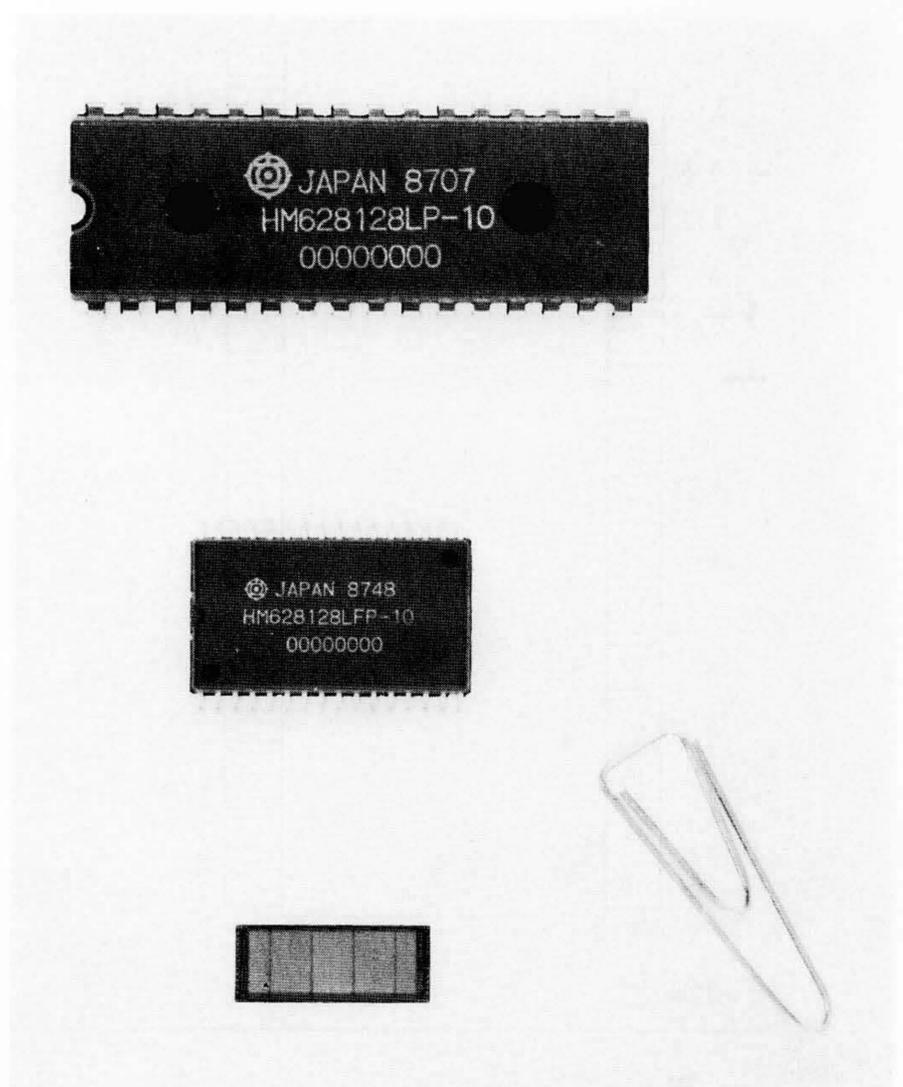


図10 低消費電力1MビットSRAM HM628128 写真の上段は15.24 mm {600 mil} 32ピン プラスチックDIP、中段はフットプリントピッチ幅13.34 mm {525 mil} のSOP、下段は封入されている製品チップである。

の濃度プロファイルを最適化し、ホットキャリアによる特性劣化を防止することで高信頼性を確保している。高速・低消費電力化のため、従来技術の改良のほか、新たに二重ポリサイドワード線方式、及び多分割コモンデータ線方式を採用し、アクセスタイム42 ns typ., 消費電流40 mW typ.(1 MHzリード時)及び待機時電流1 μA typ.を達成した。

このような高集積化されたメモリでの高速・低消費電力特性は、特にバッテリーバックアップの必要な小形システムでの高機能化に対応できる最適のメモリと考えられる。

## 参考文献

- 1) 山本, 外: 256 kビットスタティックRAM “HM62256”, 日立評論, 67, 8, 607~610(昭60-8)
- 2) O. Minato, et al.: A 42 ns 1 Mbit CMOS SRAM, ISSCC Digest of Technical Papers, p.260~261(Feb.1987)
- 3) S. Yamamoto, et al.: A 256 k CMOS SRAM with Variable Impedance Loads, ISSCC Digest of Technical Papers, p.58~59(Feb.1985)