

パワーデバイスの最近の進歩

Recent Progress of Power Semiconductor Devices

電力用光サイリスタは、過電圧自己保護形が開発され、ようやく本格的な実用段階を迎えつつある。また、GTOサイリスタは、破壊現象の解明が進んで4,000 Aの大電流素子が試作されるまでになった。高速スイッチング素子では、微細化技術を適用した低オン抵抗のパワーMOS FETが製品化されるとともに、パワーMOS FETとバイポーラトランジスタを複合したIGBTが中電力分野の高速パワー素子として注目されている。また、パワー素子と駆動回路及び保護回路をモノリシックに集積化した高耐圧パワーICが、機器の小形・高信頼化に好適なデバイスとして自動車用、民生用、OA用に活発な開発が進められ、一部実用化され始めた。

八尾 勉* *Tsutomu Yatsuo*
 大高成雄** *Shigeo Ôtaka*
 苅谷忠昭*** *Tadaaki Kariya*

1 緒 言

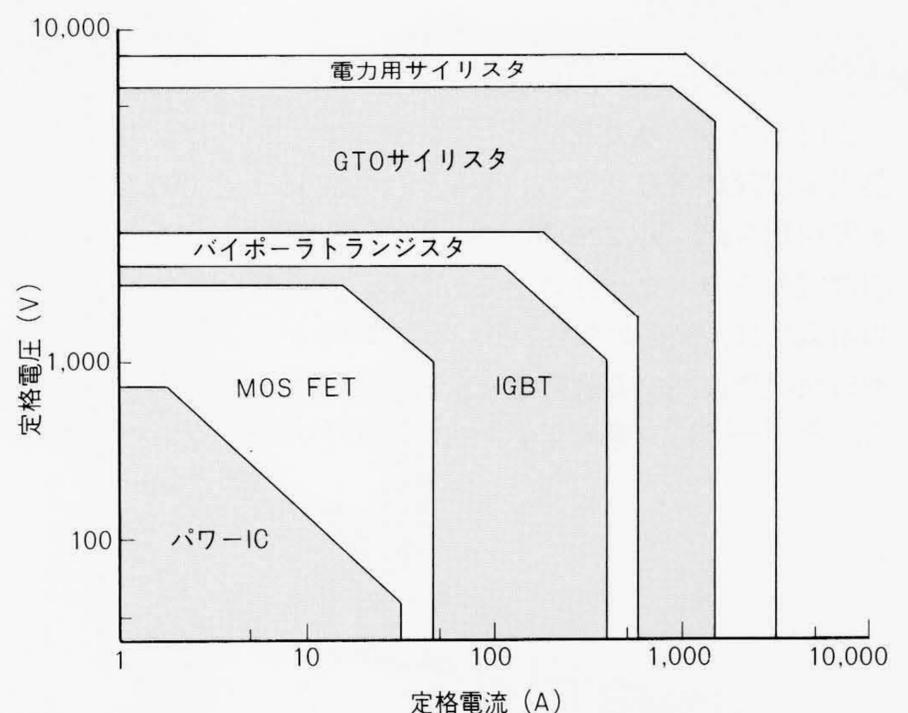
大電力分野を中心に発展してきたパワーエレクトロニクスが、近年の社会の情報化に対応して、更に家電、情報、OA (Office Automation) 機器の分野にまで広がりを見せている。この状況を反映して、パワー半導体デバイスも従来の高耐圧・大電流化だけでなく、高速化や集積化及び使いやすさを重視した開発、実用化が積極的に進められるようになった。パワー半導体デバイスの最近の進歩を定格電圧、電流のマップ上で表現したものを図1に示す。注目されるのは、IGBT (Insulated Gate Bipolar Transistor) で代表されるバイポーラMOS (Metal Oxide Semiconductor) 複合素子で、従来バイポーラトランジスタの独せん場であった領域に参入し始めた。また、出力段のパワー素子とその駆動回路や保護回路をモノリシックに集積したパワーICが、機器の小形化、高機能化及び高信頼化を図れるデバイスとして、多方面に実用化されつつある点も注目すべき動向である。そのほか、GTO (Gate Turn-Off) サイリスタの大電流化や光サイリスタの過電圧自己保護機能の開発、微細加工技術の導入によるパワーMOS FET (Field Effect Transistor: 電界効果トランジスタ) の低オン抵抗化なども特記すべき進歩である。

本稿では、パワー半導体デバイスの最近の主な進歩とそれを支える主要な技術について、現状と今後の動向を概観する。

2 電力用サイリスタ

2.1 過電圧自己保護形光サイリスタ

高圧直流送電や各種産業用電源などの大容量電力変換装置に用いられる光サイリスタが、最近ようやく実用化を迎える段階になった。光サイリスタでは、ゲート制御回路と主回路サイリスタ間の信号伝送をライトガイドを通る光で行い、光



注：略語説明

GTO (Gate Turn-Off)

MOS FET (Metal Oxide Semiconductor Field Effect Transistor)

IGBT (Insulated Gate Bipolar Transistor)

図1 パワー半導体デバイスの定格電圧・電流マップ IGBTで代表されるバイポーラ形MOS FETがバイポーラトランジスタの領域に参入しつつある。

で直接サイリスタを点弧する。そのため、電気絶縁が完璧になり、誘導性ノイズによる誤動作の防止やゲート回路部品の低減などシステムの信頼性向上を図ることができ、次世代の電力用サイリスタとしてその完成が期待されていた。4,000 V、1,500 A及び3,000 A級の高耐圧・大電流光サイリスタが既に

* 日立製作所日立研究所 工学博士 ** 日立製作所高崎工場 *** 日立製作所日立工場 理学博士

開発されているが¹⁾、本格的な実用化には、更に過電圧に対する自己保護機能を付加することが要求された。すなわち、雷サージの侵入や直列接続された多数のサイリスタの一部が導通した場合などに印加される異常に高い電圧による素子の破壊を未然に防止するため、従来、過電圧を検知してサイリスタを点弧する保護回路が設置されていたが、この場合、ゲート回路を簡略化できるという光サイリスタの長所が半減されることになる。このため、サイリスタ自体が過電圧を検知して素子内部で点弧信号を発生する、いわゆる過電圧自己保護形とすることが強く望まれていた。

日立製作所が最近開発した過電圧自己保護形光サイリスタの構造を図2に示す。受光部のPベース層に小さいウエル(穴)を設け、その側壁部で発生するアバランシェ降伏電流で素子を点弧させる。アバランシェ開始電圧(ブレイクオーバー電圧)をウエルの直径と深さで調整できる点が特長である²⁾。6,000Vからのブレイクオーバーターンオン時の電圧・電流波形の一例を図3に示す。実用に耐え得る200 kW以上の瞬時パワー耐量がある。

この技術の開発によって光サイリスタは、本格的な実用化が開始されるとともに、今後、多方面への普及が急速に進展するものと思われる。

2.2 大電流GTOサイリスタ

高耐圧で、かつ大電流をオン、オフできる大容量の自己消弧素子GTOサイリスタは、現在既に4,500 V、2,000 Aの素子が実用化され、更に3,000 A級の素子が開発されるなど、その制御電力をいっそう拡大しつつある。こうした遮断可能電流の増大には、素子の製作技術の進歩のほか、ターンオフ動作や破壊限界に関する解析的な検討が進んだことが寄与している。その一つに、電流集中の観測技術と、それをもとにした

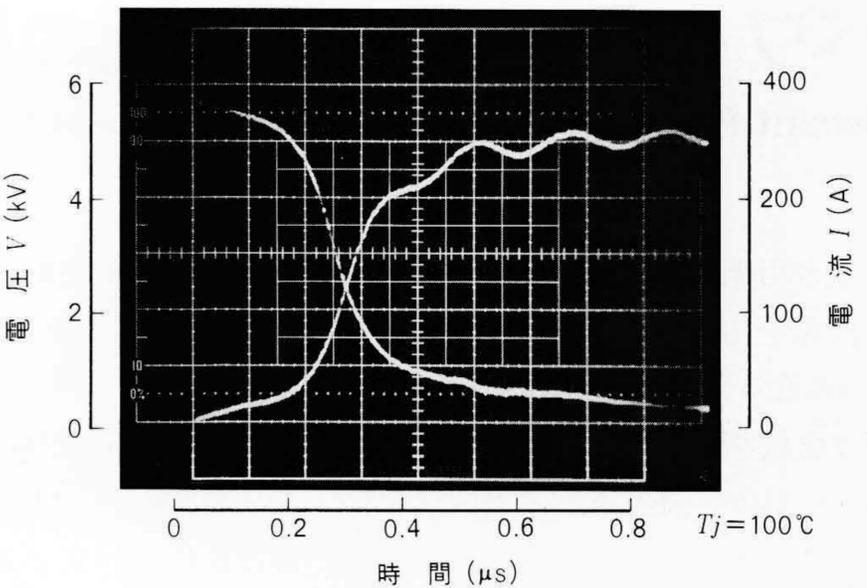


図3 ブレイクオーバー時の電圧、電流波形の例 200 kW以上のスイッチングパワー耐量がある。

集中を抑制する素子構造の開発がある³⁾。GTOサイリスタは、多数の小電流の単位GTOを素子の中で並列化して大電流素子としているので、すべての単位GTOが同時に動作しなければならないが、実際には動作の遅い単位GTOに電流が集中するために、単に単位GTOの数を増やすだけでは大電流を遮断できないという問題があった。図4は新たに開発した手法によって電流集中を観測した結果の一例を示すもので、2,000 Aの電流を遮断したときの単位GTOの配列リングごとの電流分担を測定したものである。特定のリングに大きな電流集中が見られる。このような電流集中は、素子内部の定常電流分布やゲート作用の不均一が複雑に絡み合っている。この

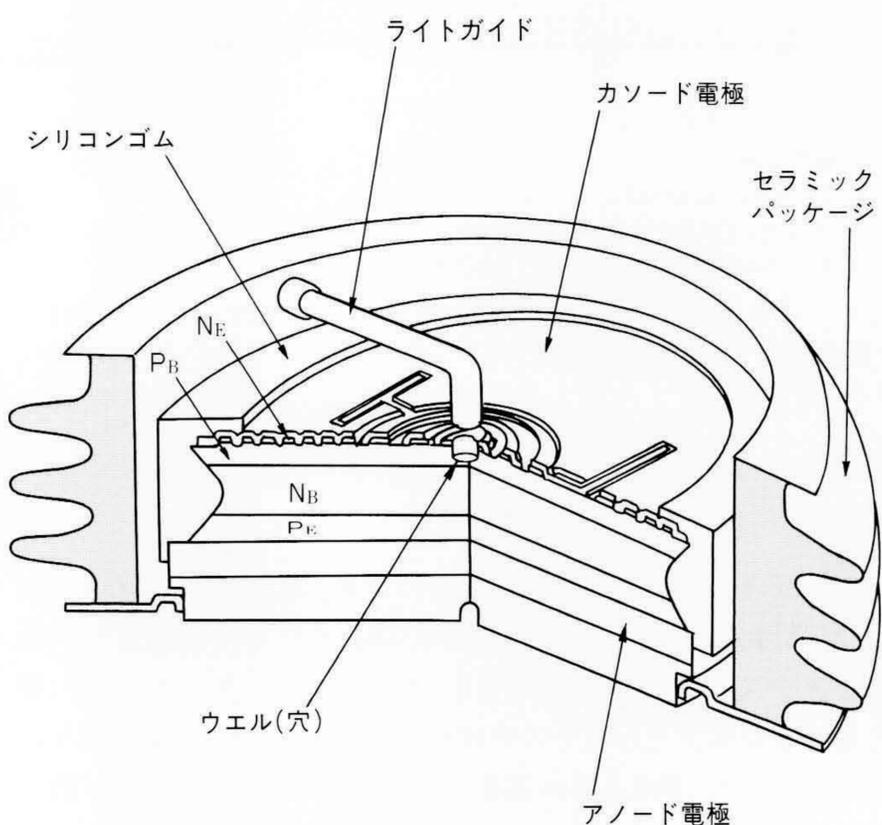


図2 過電圧自己保護形光サイリスタの構造 受光部のPベース層に設けたウェル(穴)の直径、及び深さによってブレイクオーバー電圧を調整する。

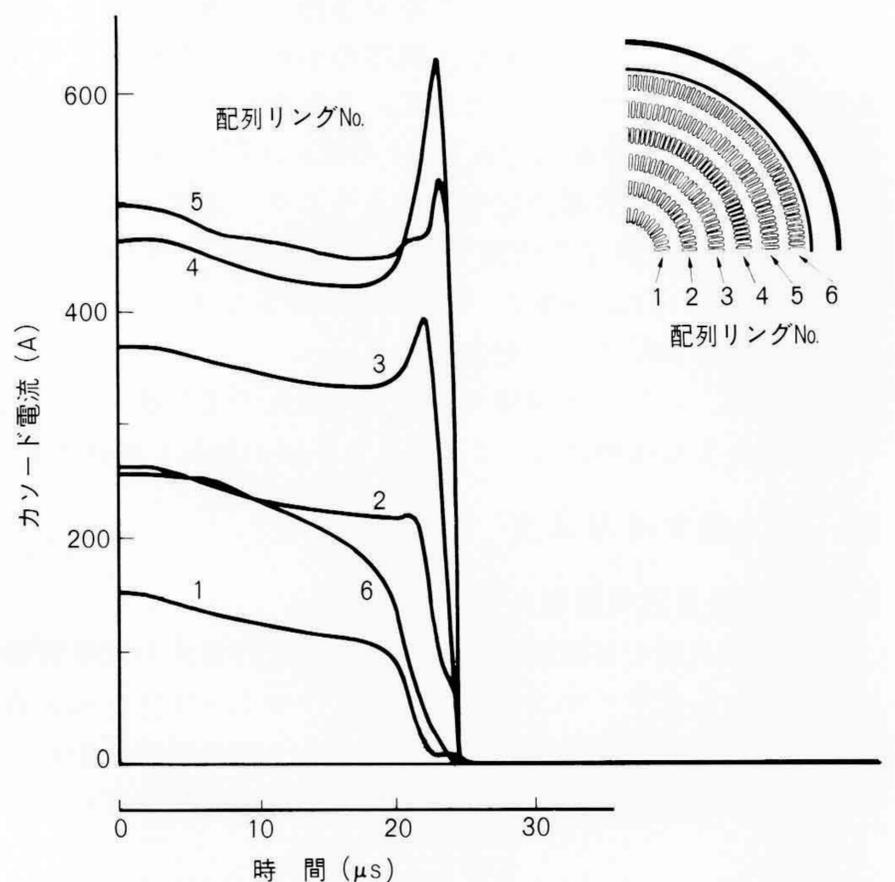


図4 2,000 A遮断時のGTOサイリスタ内部の電流集中の測定例 ターンオフ終りに3, 4, 5の配列リングに大きな電流集中がある。

測定法を用いて種々の集中要因の影響を定量的に把握することによって、集中を最小にする素子構造を明らかにできた。また、破壊限界と単位GTOの安全動作領域(単位GTOが破壊せずに安全に動作する電流・電圧範囲)との対応関係も解明できた³⁾。以上の知見をもとに、日立製作所が試作した最大4,000 Aの電流を遮断できる大電流GTOサイリスタのペレット構造

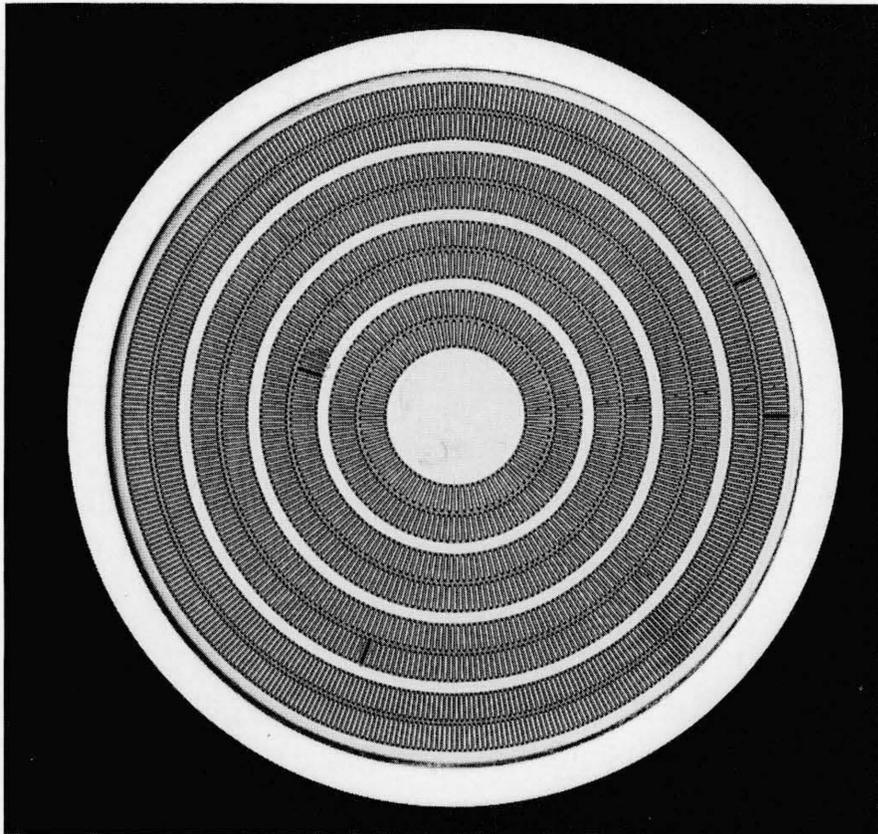


図5 4,000 A GTOサイリスタのカソードパターン 電流集中を抑制するため、ゲート構造が工夫されている。

を図5に示す。

また、安全動作領域の拡大策として単位GTOの微細化や埋込ゲート構造などを新たに提案した⁴⁾。このような技術的な成果をベースにGTOサイリスタは、なおいっそう大電流化される方向にあるが、今後は更に高周波化の方向にも進展するものと予想される。遮断性能の向上によって、保護用スナバ回路が小形化できるからである。現在、既に~2 kHz動作が可能な素子の開発も発表されている。

3 高速スイッチング素子

3.1 低オン抵抗パワーMOS FET

パワーMOS FETは、製品化が開始されてから約10年が経過した現在、パワーエレクトロニクスのキーコンポーネントとして大きな役割を担うまでに成長した。その特長は、高速動作、大きな破壊耐力及び制御の容易性にある。主な用途は、スイッチングレギュレータ、DC-DCコンバータ、CVCF (Constant Voltage and Constant Frequency: 定電圧・定周波)インバータなどの各種高周波電源をはじめ、最近では電動機駆動用インバータなどにも多く使われるようになり、制御できる電圧、電流範囲も著しく拡張されている(図1参照)。この素子には、バイポーラトランジスタやサイリスタなどと異なり、キャリアの導電率変調がないため、オン抵抗が高いという本質的な欠点がある。しかし、ここ数年、VLSIの分野で開発された微細加工技術を導入して、この面の性能改善が積極的に進められた。耐压50 V級のパワーMOS FETでのオン抵抗のスケールダウンに伴う減少を、計算機でシミュレートした結果を図6に示す⁶⁾。単位セルのレイアウトルールを

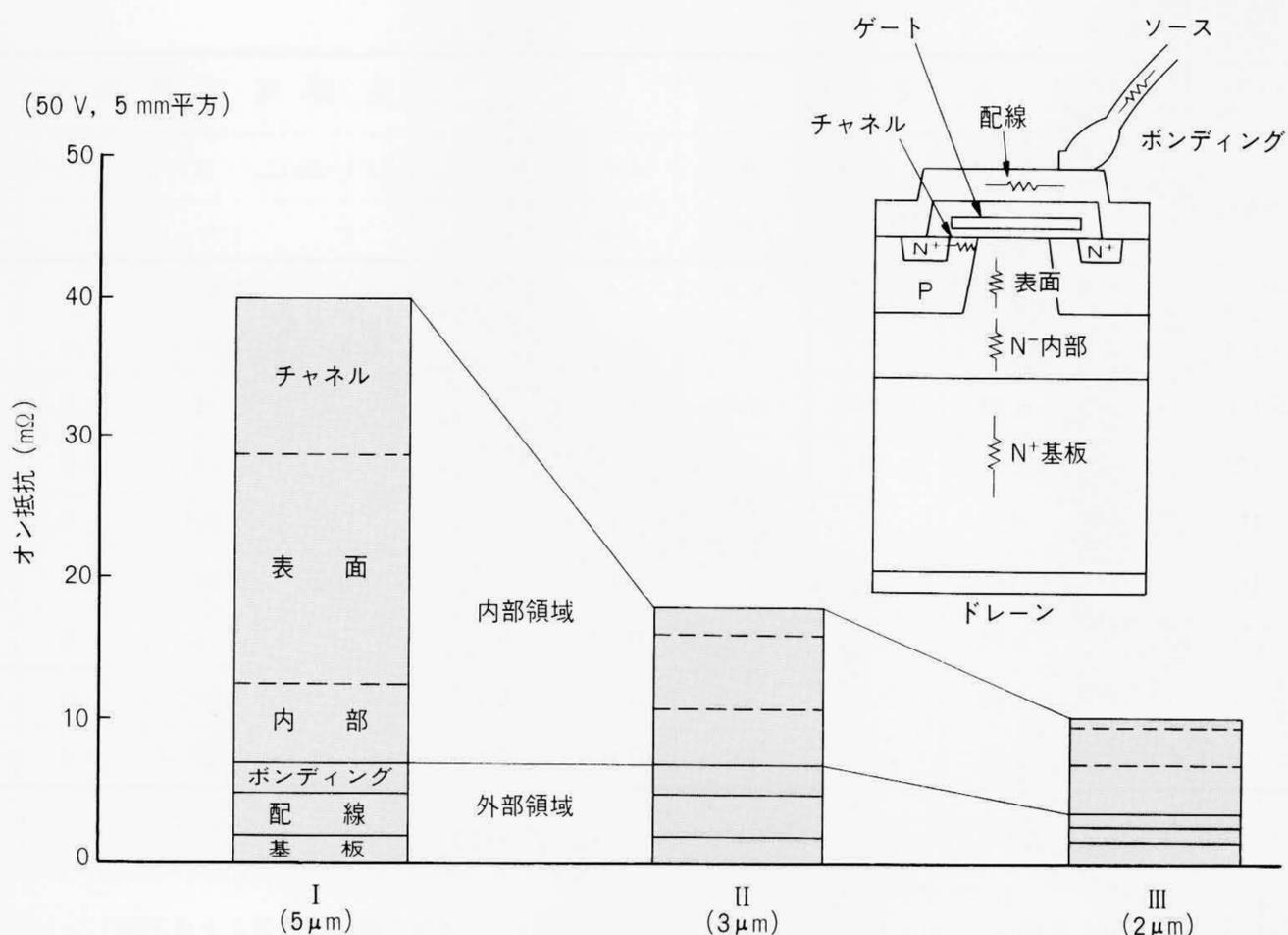


図6 パワーMOS FETのオン抵抗のスケールダウンによる減少 単位セルのレイアウトルールを現状の5 μmから3 μmへ、更に2 μmへと微細化することによってオン抵抗は低減される。

5 μmから3 μmへ、更に2 μmへと微細にすることによって、オン抵抗を大幅に低減できることが分かる。実際には、セルのスケールダウンに伴って耐圧の低下やゲートの信頼性の低下などの問題が生ずるが、これらの改善を図り、3 μmルールを用いて耐圧50 Vで面積・オン抵抗 $R_{on} \cdot s$ が $150 \text{ m}\Omega \cdot \text{mm}^2$ の素子を実現できるまでになった。更に、VLSIで開発されたトレンチ技術を適用して、 $120 \text{ m}\Omega \cdot \text{mm}^2$ まで低減できた例もある⁷⁾。50~60 V級パワーMOS FETのオン抵抗とチップ面積の相関関係を図7に示す。年を追うごとに性能向上が進んだ。

最近、日立製作所から発売されたDIII-Lシリーズの超低オン抵抗パワーMOS FETの製品ラインアップの主要特性を表1に示す。オン抵抗は従来のDIIシリーズに比べ約 $\frac{1}{2}$ に低減されている。そのほか、駆動電圧も4 Vに低減され、5 V系電源(マイクロコンピュータ, TTL: Transistor Transistor Logic)によって直接ドライブができるなど、使いやすさの面での改善も図られている。この技術は、現在更に高耐圧のパワーMOS FETにも展開されている。

3.2 高速形 IGBT

パワーMOS FETの特長である制御の容易性と高速スイッチング特性、及びバイポーラトランジスタの高導通特性を兼ね備えたパワーデバイスとして、最近IGBTが注目されている。図8に基本構造と等価回路を示すように、IGBTはパワーMOS FETのドレーン側にPエミッタ層を付加した素子である。NチャンネルMOS FETのドライブによってNベース層に電子が流入し、それによってPエミッタ層からNベース層に正孔が注入される。この注入によってMOS FETのオン抵抗の大部分を占

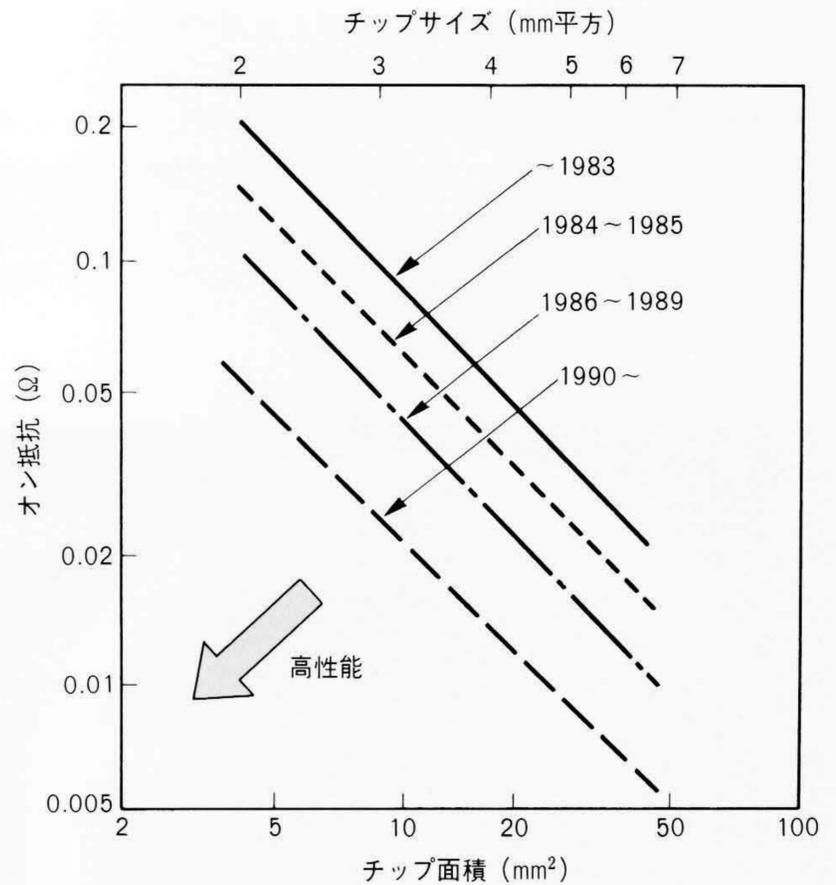


図7 オン抵抗とチップ面積の関係(50~60 V MOS FET) 年々オン抵抗は低減されている。

めている高抵抗Nベース層で導電率変調が起こり、全体のオン抵抗がパワーMOS FETの約 $\frac{1}{10}$ に低減できる。少数キャリアの注入による導電率変調を利用する点では、一般のサイリスタと同じであるが、NチャンネルMOS FETを通る電子電流とそれによってドライブされるPNPトランジスタを通る正孔電流

表1 DIII-LシリーズパワーMOS FETの主要特性 オン抵抗が従来のDIIシリーズの $\frac{1}{2}$ に低減、4 V駆動なのでマイクロコンピュータ、TTLから直接駆動できる。

外形	型名	最大定格				主要電気的特性						
		V_{DSS} (V)	V_{GSS} (V)	I_D (A)	P_D (W)	4 V $R_{DS(on)}$ (Ω)		10 V $R_{DS(on)}$ (Ω)		$V_{GS(off)}$ (V)		typ(S) Yfs
						typ.	max.	typ.	max.	min.	max.	
TO-92M	2SK975	60	±20	1.5	0.9	0.4	0.55	0.3	0.4	1.0	2.0	1.5
DPAK	2SK973	60	±20	2	10*	0.4	0.5	0.25	0.35	1.0	2.0	2.0
	2SK974	60	±20	3	20*	0.2	0.25	0.15	0.18	1.0	2.0	4.0
TO-220AB	2SK970	60	±20	10	30*	0.17	0.22	0.12	0.15	1.0	2.0	6.0
	2SK971	60	±20	15	40*	0.075	0.095	0.055	0.065	1.0	2.0	12.0
	2SK972	60	±20	25	50*	0.05	0.06	0.033	0.04	1.0	2.0	20.0
TO-220FM	2SK1093	60	±20	10	20*	0.17	0.22	0.12	0.15	1.0	2.0	6.0
	2SK1094	60	±20	15	25*	0.075	0.095	0.055	0.065	1.0	2.0	12.0
	2SK1095	60	±20	25	30*	0.05	0.06	0.033	0.04	1.0	2.0	20.0

注:測定条件 $R_{DS(on)}$ $V_{GS} = 4 \text{ V}, 10 \text{ V}$ $I_D = 1/2 I_D \text{ max.}$

$V_{GS(off)}$ $V_{DS} = 10 \text{ V}$ $I_D = 1 \text{ mA}$

Yfs $V_{DS} = 10 \text{ V}$ $I_D = 1/2 I_D \text{ max.}$

* $T_C = 25^\circ \text{C}$

略語説明 V_{DSS} (ドレーン・ソース電圧) P_D (ドレーン損失) Yfs (順伝達アドミタンス)
 V_{GSS} (ゲート・ソース電圧) $R_{DS(on)}$ (ドレーン・ソースオン抵抗) V_{DS} (ドレーン・ソース電圧)
 I_D (ドレーン電流) $V_{GS(off)}$ (ゲート・ソース遮断電圧)

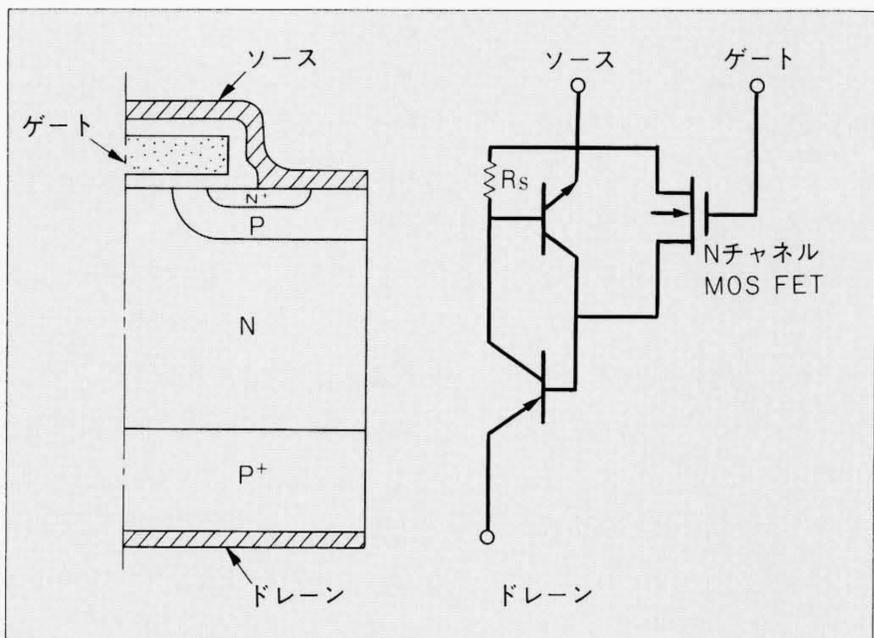


図8 IGBTの基本構造と等価回路 パワー MOS FETにP⁺エミッタ層が付加されている。

の通電路を分けることによって、Nベース層内のキャリアの蓄積を抑制してターンオフ速度を速めたところに特長がある。しかし、この素子にも次のような欠点がある。すなわち、電流密度が高くなると等価回路に示す抵抗Rsを通してソース電極に流出する正孔電流によってNPNトランジスタがドライブされ、二つのトランジスタの正帰還作用によってラッチアップが発生し、ゲート制御能力を失って素子破壊に至ること、及び少量ではあるがキャリアの蓄積があるためパワーMOS FETほどの高速動作ができないことなどである。1982年に米国GE社から発表されて以来⁸⁾、このような技術課題を解決するための開発が活発に行われている。その主要な技術としては、(1)セルフアライン技術を使った多重不純物拡散によるPベース横方向抵抗Rsの低減、(2)Pエミッタ層に隣接して高濃度N⁺バッファ層を設けた正孔注入量の抑制⁹⁾、(3)N⁺ソース層の部分短絡による正孔電流のバイパス構造¹⁰⁾、及び(4)電子線照射などによるキャリアライフタイムの短縮などが挙げられる。

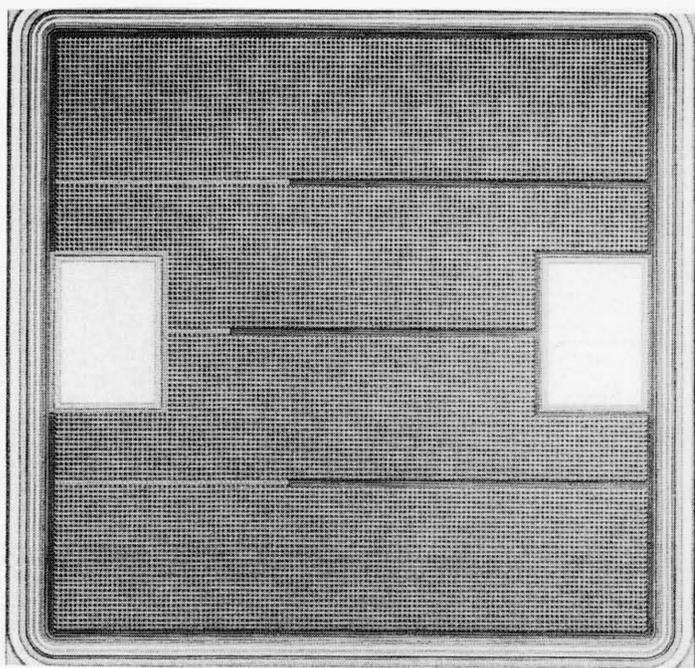


図9 IGBTのチップパターン(500 V, 25 A級) 外見はパワーMOS FETと同じであるが、6.3 mm平方のサイズで25 Aの制御が可能である。

IGBTのチップパターンの一例を図9に示す。外見はパワーMOS FETと同じであるが、6.3 mm平方のチップサイズで、500 V、25 Aと高耐圧、大電流を制御できる。500 V級のIGBTのオン電圧とターンオフ時間のトレードオフの関係を図10に示す。オン電圧2.5 Vで0.5 μsのターンオフ時間であり、動作周波数20 kHzの高周波インバータに適用できる可能性を持っている。

各種スイッチング素子の電圧・電流の制御容量と動作周波数のマップを図11に示す。IGBTはバイポーラトランジスタよ

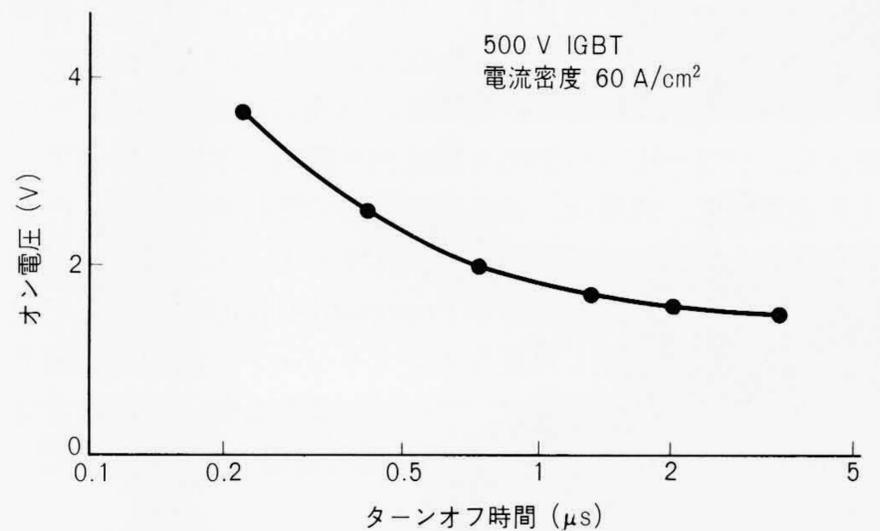


図10 500 V級IGBTのオン電圧とターンオフ時間のトレードオフ オン電圧2.5 Vで0.5 μsのターンオフ時間のデバイスが実現可能である。

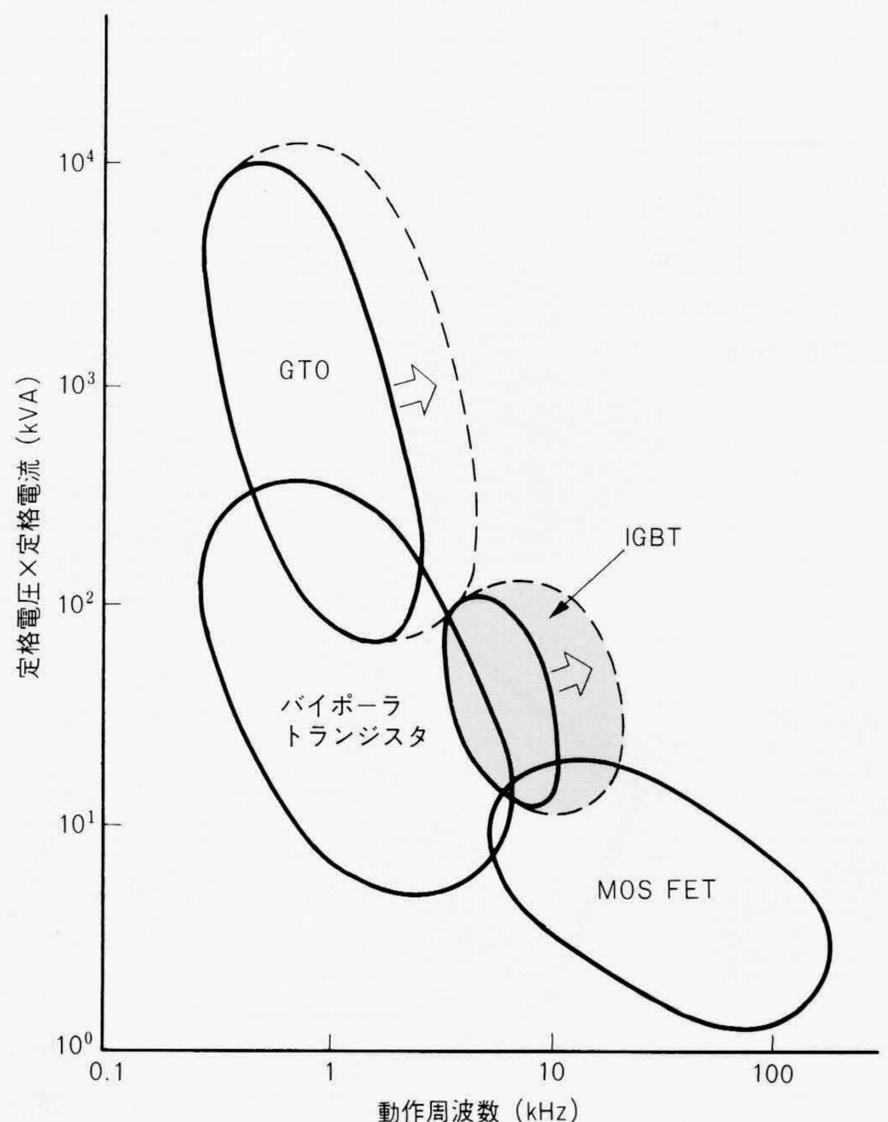


図11 各種スイッチング素子の制御容量と動作周波数のマップ IGBTは20 kHz動作可能な中容量スイッチング素子である。

りも高速，パワーMOS FETよりも高耐圧・大電流の領域に位置し，高速化がいつそう進めば産業用インバータやOA機器用の無停電電源などの高周波化にこたえられるようになる。このように，IGBTはパワーエレクトロニクス分野の新しい方向を開くパワーデバイスとして注目されているが，まだ動作上十分解析されていない点もあり，今後も研究が進められるものと予想される。

4 パワーIC

最近，パワー素子とその駆動回路や保護回路を一つのシリコンチップ上にモノリシックに集積した，いわゆるインテリジェントパワーICが注目されている。エレクトロニクス機器の小形化，高信頼化，低コスト化に好適なデバイスとして，この種のパワーICの開発，実用化が活発に進められるようになった。パワーICの典型的な構成例を図12に示す。出力デバイスの過電圧，過電流，過熱及び負荷の短絡や開放などの異常を検出し，その保護回路を集積化するとともに，マイクロコンピュータやCPU(Central Processing Unit)に直結して複雑なシーケンス動作も可能なインテリジェント機能を内蔵できる点で，普通の単体パワーデバイスよりも使いやすさ及び信頼性の点で優れている。同様の機能を実現する手段として，

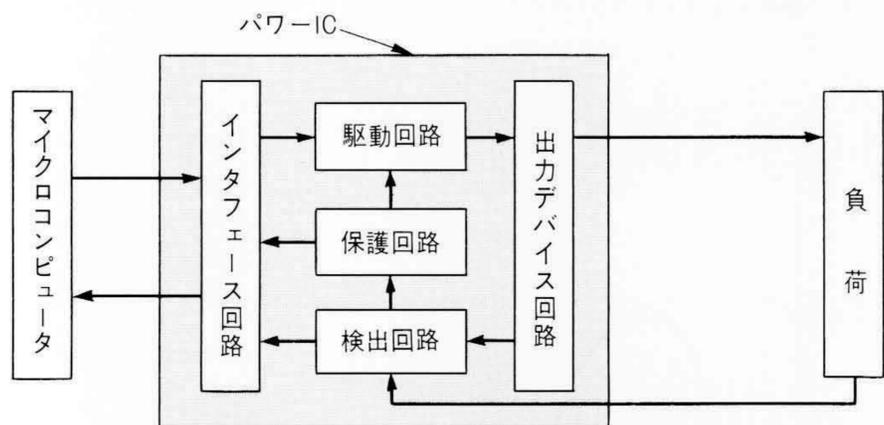


図12 パワーICの構成例 出力デバイス回路とその駆動回路及び検出回路，保護回路を集積したインテリジェントパワー素子である。

個別部品を絶縁回路基板上に組み込んだ，いわゆるハイブリッドICがある。このハイブリッドICに比較してパワーICは，回路構成の自在性で劣るが，小形かつ低価格にできる点で優れる。ただし，比較的大量の需要が見込まれる分野でないと，このメリットが発揮されない面がある。

1981年以降に開発されたパワーICの電圧・電流容量マップを図13に示す。出力デバイスが単一(シングル)と複数(マルチ)形のICに大別される。容量の大きな領域は前者の例が多く，スマートパワーICと呼ばれて主に自動車用のランプや電動機駆動用のハイサイドスイッチICとして開発されている。また，後者のパワーICは技術的に大容量化が難しく，電話交換機用やELD(Electroluminescent Display)，PDP(Plasma Display Panel)などのフラットパネルディスプレイ駆動用ICなど，高

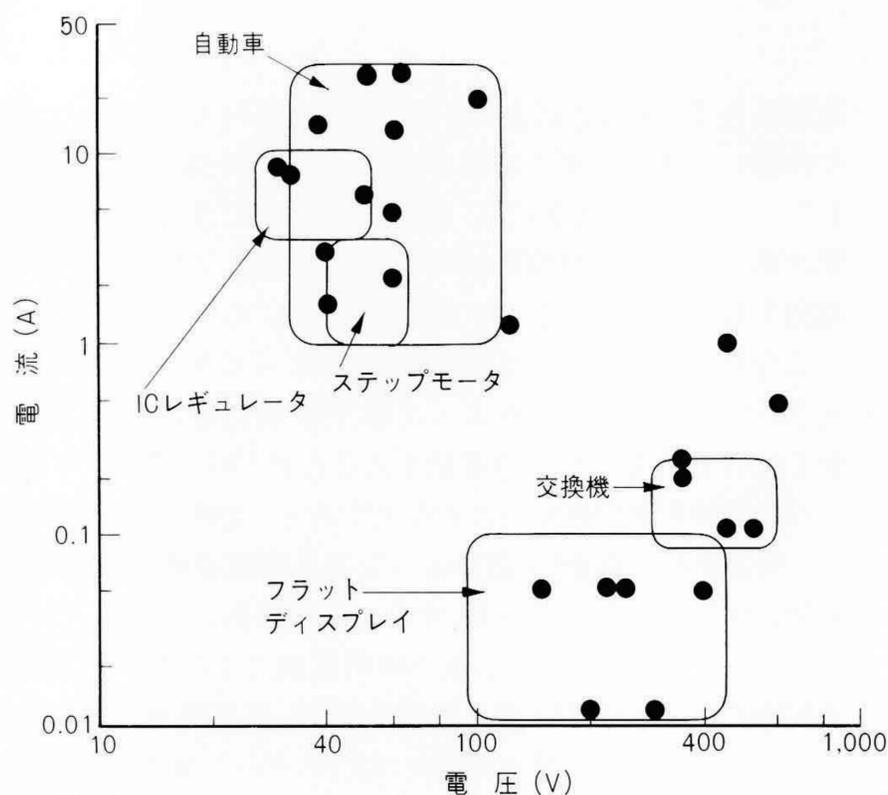


図13 開発されたパワーICの電圧，電流マップ 大電流ICは単一出力素子がほとんどである。マルチ出力ICは高耐圧，小電流の領域で実用化されている。

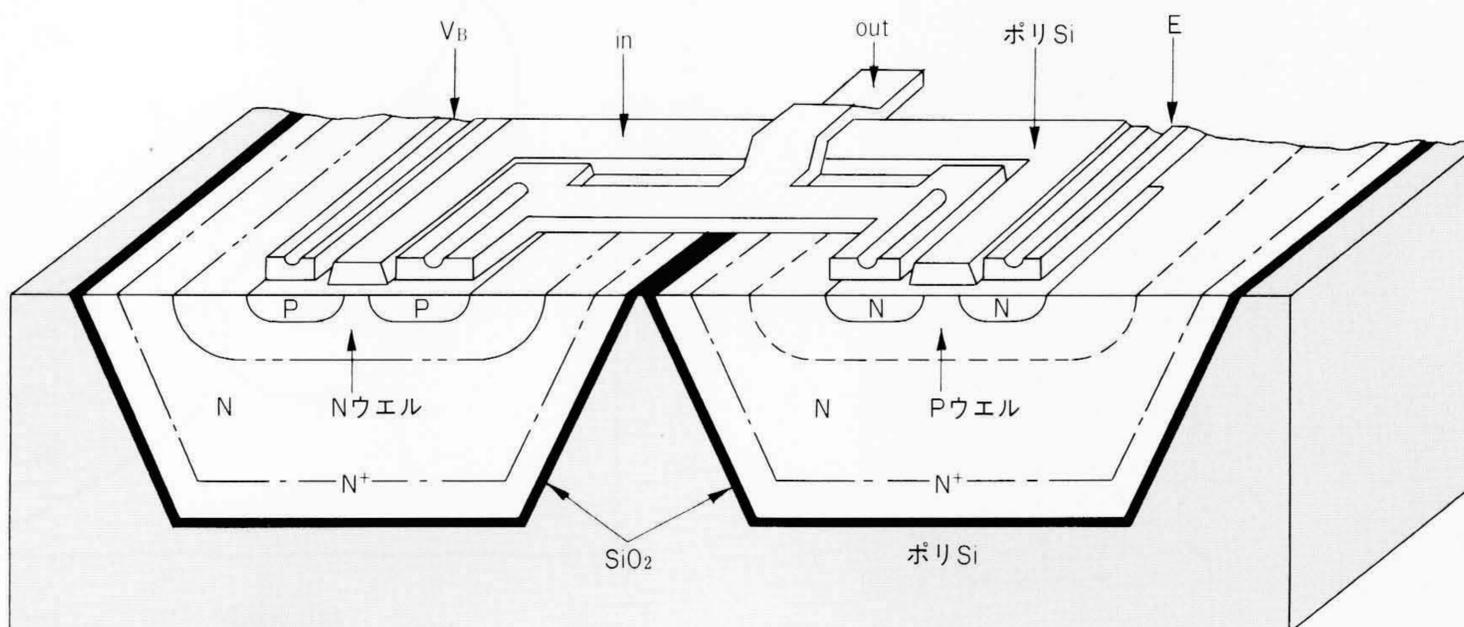


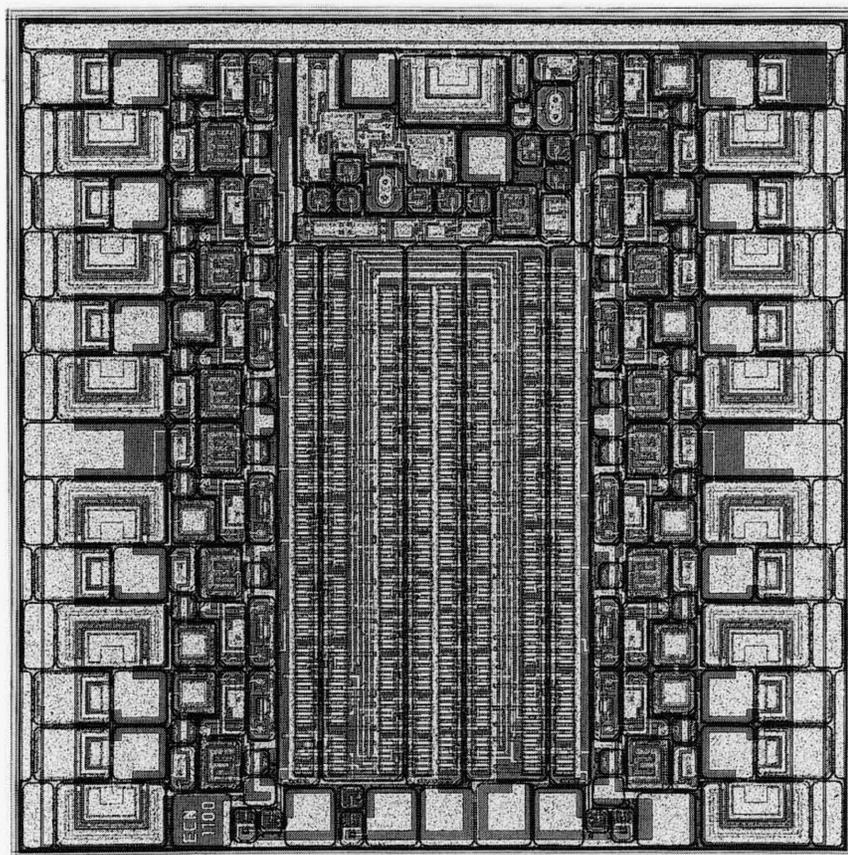
図14 誘電体分離ICの構造模型図 SiO₂膜で覆われた単結晶の島の中に出力素子ロジック回路を形成する。絶縁耐圧は約1,000Vである。

耐圧ではあるが0.1 A程度の小電流分野での製品がある。

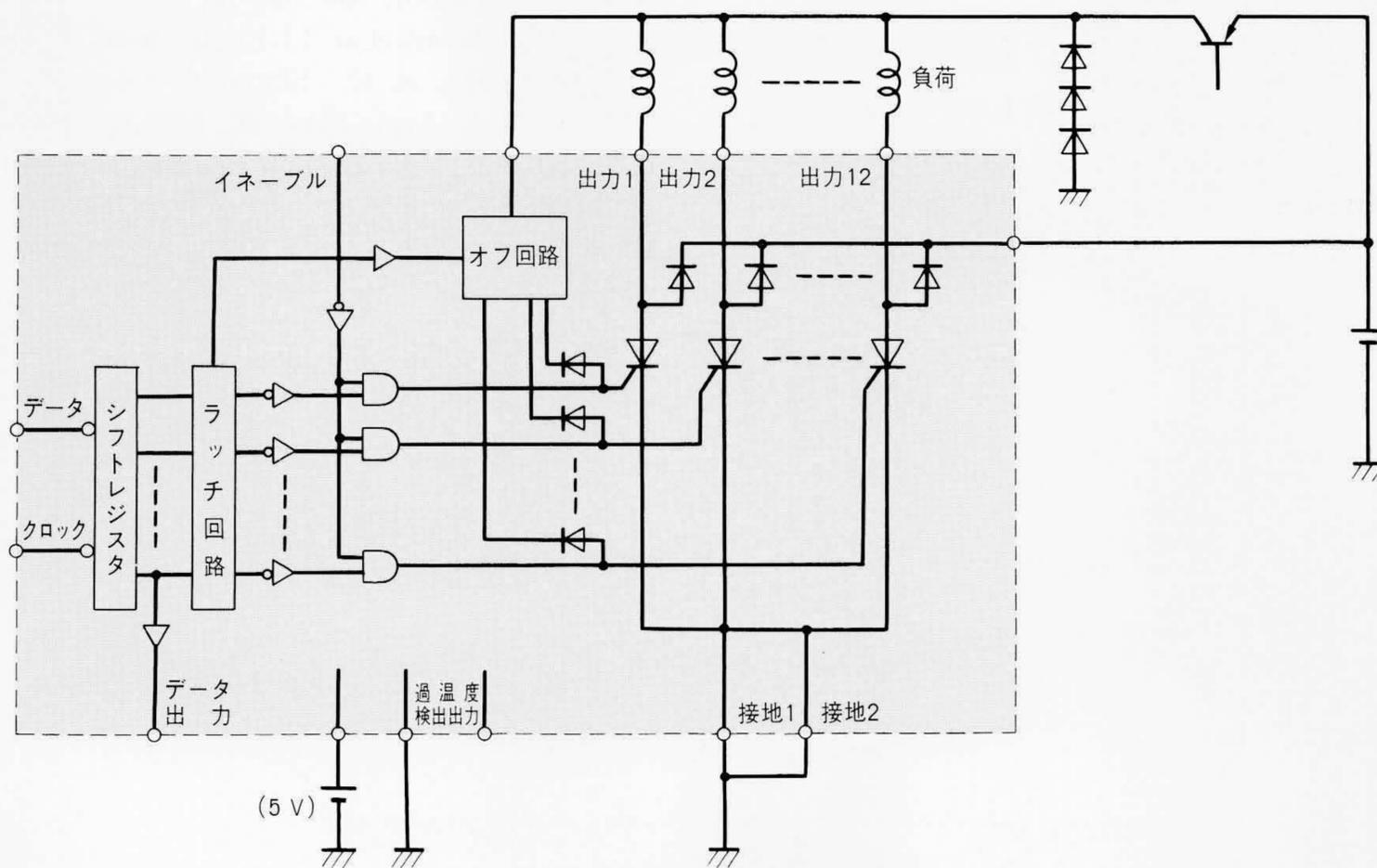
パワーICでは、出力デバイスと制御用論理回路間、及び出力デバイス間の絶縁分離技術が最も重要な製作技術である。PN接合を利用する方法とシリコン酸化膜などの絶縁膜で分離する、いわゆる誘電体分離法があるが、高耐圧あるいは大電流用には後者のほうが有利である。誘電体分離ICの断面模式図を図14に示す。SiO₂膜で覆われた単結晶の島の中に出力デバイスやロジック回路が形成され、約1,000 Vの絶縁耐圧があ

る。島間が完全に絶縁されているので、ノイズやラッチアップなどによる誤動作の心配が少なく、ハイブリッドICに似たイメージで回路を組むことができ、回路の自由度が大きい。また、サイリスタやGTOなどの高電流密度のバイポーラデバイスを組み込むことができるので高集積化に適している。

基板の製作方法として、EPIC (Epitaxial Passivated Integrated Circuit)法が主に用いられている¹⁴⁾が、最近では、表面に酸化膜を形成したシリコンウェーハどうしをはり合わ



(a) チップパターン



(b) ブロック回路

図15 マルチ出力パワーICの例 ソレノイド駆動用IC、1 A出力のGTOが12個配列され、1 MHz転送用クロック回路を内蔵している。

せる方法¹²⁾など新しい技術が開発されている。

また、マルチ出力のパワーICでは、出力デバイスは横構造(ラテラル形)となるため、縦構造が主体の単体デバイスになり特有の技術課題がある。例えば、ICを高耐圧化する場合、逆バイアス接合の空乏層が横方向に延びるので、これを抑制してデバイス面積を小さくすることが低コスト化の点から必要になる。表面電界を緩和する方法としてRESURF(Reduction Surface Field)構造など¹³⁾が提案されており、比較的小面積で500 Vの耐圧を実現した例が発表されている。また、制御性に優れた高電流密度のラテラルデバイスとして前述したIGBTやMOS・GTOサイリスタなどが開発されつつある。また、パワーIC特有の回路技術として、5 Vの低電圧制御回路と数百ボルトの高耐圧出力回路との間の電位差を解消するレベルシフト回路が必要になるが、種々の新しい方式が検討されている¹⁴⁾。

誘電体分離技術を使ったマルチ出力パワーICの一例を図15に示す。ワイヤドットプリンタのソレノイド駆動用に製品化されたものである。1 Aの出力電流のGTOサイリスタが12個配置され、ロジック部には1 MHzのクロック周波数のデータ転送回路が搭載されている。

パワーICは、いわばシステムをワンチップに収納するものなので、現在はカスタム指向の開発が先行しているが、いずれは汎(汎)用的なデバイスとして広く普及するものと期待される。また、出力電圧・電流容量の向上の研究開発も活発に行われており、インテリジェントパワーデバイスとしてパワーエレクトロニクス分野に大きなインパクトを与える可能性を持っている。

5 結 言

電力変換用大容量素子からパワーICまで、パワーデバイス分野の最近の進歩の一端を概観した。大容量素子の漸進的な進歩に対して、中小容量素子の性能向上のテンポは目覚ましい。特に、パワーMOS FETの低オン抵抗が進み、更に、高速形のIGBTが実現されれば、これらはパワーエレクトロニクスの新展開を可能にする注目すべきデバイスとなろう。また、

種々の保護機能を内蔵できるインテリジェントパワーICは、民生、OA機器の小形化、高信頼化にかっこうなデバイスとして今後の大きな進展が期待される。

参考文献

- 1) N. Konishi, et al. : High-Power Light Activated Thyristors, Conf. Record of IPEC-Tokyo '83, 559(1983-3)
- 2) 清水, 外 : 高ブレークオーバー・パワー自己保護形サイリスタ, 昭和63年電気学会全国大会, 481(昭63-4)
- 3) T. Yatsuo, et al. : Design Considerations for Large Current GTO, PESC '88 Record, 895(1988-4)
- 4) 佐藤, 外 : 埋込みゲートGTOの電気特性, 電気学会研究会資料, EDD-87-63(昭62-10)
- 5) 石堂, 外 : 高周波GTOサイリスタの特性, 電子情報通信学会技術研究報告, Vol.87, No.93, 29(1987-6)
- 6) I. Yoshida, et al. : Low On-Resistance and High-Reliability Power MOS FET, PESC'88 Record, 674(1988-4)
- 7) D. Ueda, et al. : A New Vertical Sidewall Channel Power MOS FET with Rectangular Grooves, Conf. Record, SSDM, Kobe, p.313(1984)
- 8) B.J. Baliga, et al. : The Insulated Gate Rectifier (IGR) : A New Power Switching Device, IEEE Tech. Digest on IEDM, No.10-6(1982-12)
- 9) A.M. Goodman, et al. : Improved COMFETs with Fast Switching Speed and High-Current Capability, IEEE, Tech. Digest on IEDM, No.4-4(1983-12)
- 10) A. Nakagawa, et al. : Non-Latch Up 1,200 V-75 A Bipolar Mode MOS FET with Large ASO, IEEE, Tech. Digest on IEDM, 860(1984-12)
- 11) D. McWilliams, et al. : J. Electrochemi. Soc. 111 153(1964)
- 12) M. Shimbo, et al. : Silicon to Silicon direct bonding method, J. Appl. Phys. 60, 2987(1986)
- 13) E.H. Stupp, et al. : Low Specific On-Resistance 400 V LDMOST, IEEE, Tech. Digest on IEDM, 426(1981)
- 14) 菅原 : パワーIC技術, 電気学会誌, 108巻, 2号, 152(昭63-2)