

16ビットマイクロプロセッサ“H16”とその応用

16 bit Microprocessor H16 and Examples of the Application

マイクロプロセッサへの要求は多様化してきており、特に制御用マイクロコンピュータでは、高性能化とシステム高集積化が望まれている。H16は、これらの要求にこたえるために、オリジナルアーキテクチャをベースとして内部32ビット構成のCPUと、システム構成に必要な周辺機能をオンチップ化したものである。

本CPUの性能は、各種ベンチマークによる評価の結果、16ビットCPUと比較して、マルチレジスタバンクの効果により2～10倍、直交性のある命令体系の効果により1.2～2倍の向上(いずれも当社比)を確認することができた。また、レーザビームプリンタへの応用例などによるシステムの高集積性の評価では、メモリなどが簡単に接続でき、かつ内蔵周辺機能がシステムの高集積化に極めて有効であることが確認できた。

安藤正晴* Masaharu Andô
倉員桂一* Keiichi Kurakazu
金子 進** Susumu Kaneko

1 緒 言

近年、応用機器の高度化に伴い、高性能・高集積なマイクロプロセッサの要求が急速に高まっている。しかし、現在、情報・産業機器に内蔵して使われるマイクロプロセッサは、8ビットシングルチップマイクロプロセッサが主流である。そこで、このような高性能・高集積マイクロプロセッサの要求にこたえるために、H16の開発コンセプトを以下の4点に定め、これを開発の方針とした。

(1) 高性能CPU(Central Processing Unit)

リアルタイム応答性に優れ、大量のデータを高速に処理できる32ビットはん(汎)用レジスタ内蔵のオリジナルCPUを実現すること。

(2) システムインテグレーション

システムコストの低減、プリント基板サイズの縮小を実現するため、システム構成に必要な周辺機能をオンチップ化すること。

(3) 高級言語の効率的実行

ソフトウェアの生産性向上の流れに対応するため、C言語などの高級言語を効率的に実行できるCPUアーキテクチャと、それを最大限に活用する高効率Cコンパイラの準備をすること。

(4) 総合開発環境の提供

LSI、アセンブラ、Cコンパイラ、リアルタイムエミュレータなどを含む使いやすいソフトウェア開発環境を提供すること。

これらを具体的実現するために、項目(1)のCPUではマルチレジスタバンクの採用、直交性の高い命令体系の採用、内蔵のバレルシフタによる高速なシフト及びビット処理の実現、

大量のデータを高速に扱うストリング命令などの高機能命令の採用が挙げられる。

また、項目(2)のシステムインテグレーションの面からは、4チャンネルのDMAC(Direct Memory Access Controller)、2チャンネルのASCI(Asynchronous Serial Communication Interface: 調歩同期式シリアルコミュニケーションインタフェース)、2チャンネルの高機能16ビットタイマを大形機能モジュールとして内蔵した。

更に、メモリサポートのモジュールとして、DRAM(Dynamic Random Access Memory)リフレッシュコントローラ、ウェイトステートコントローラ、チップセレクトコントローラなどを内蔵した。

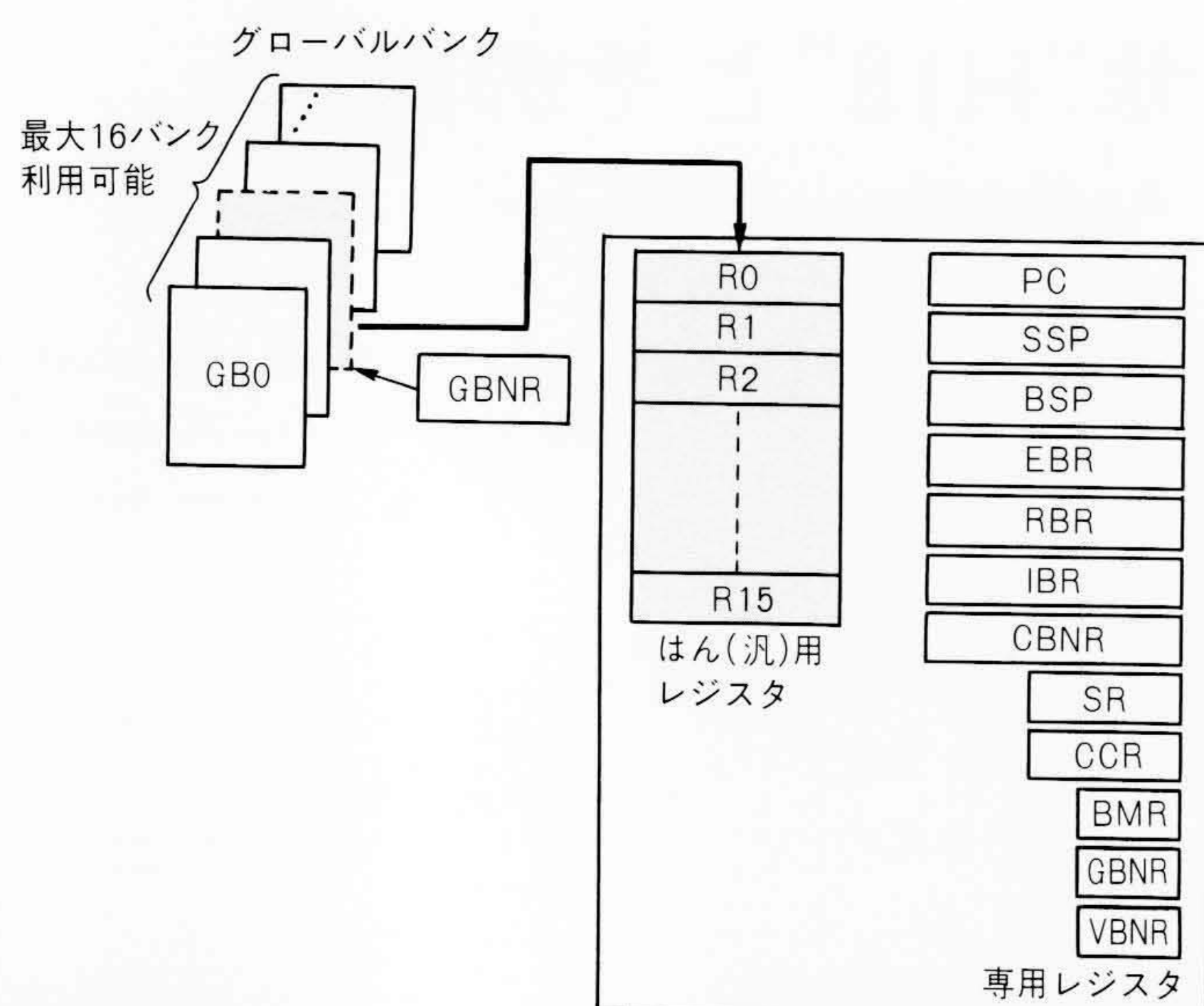
本論文では、CPUの性能及びシステムインテグレーションについて論じる。CPUアーキテクチャの性能については、各種ベンチマークによって評価した結果について報告する。

また、システムインテグレーションの評価では、H16と各種メモリ及び68系周辺LSIとのインタフェースの容易性について、回路例をもとに詳述する。マイクロコンピュータシステムへの応用としてLBP(Laser Beam Printer)、データターミナルで使用するH16内蔵周辺機能を調査し、その有効性を確認した結果について述べる。

2 H16の概要

H16の仕様一覧を表1に示す。32ビット構成の強力なCPUをコアとして、それぞれが従来の個別のLSIに相当する高機能なDMAC、ASCIやタイマを内蔵している。更に、マイクロコンピュータシステムには必ず(須)であり、従来、システム設

* 日立製作所武蔵工場 ** 日立製作所半導体事業部



注：略語説明

GBNR (Global Bank Number Register), GB (Global Bank)
 PC (Program Counter), SSP (Supervisor Stack Pointer)
 BSP (Bank Stack Pointer), EBR (Exception vector Base Register)
 RBR (RAM Base Register), IBR (Internal I/O Base Register)
 CBNR (Current Bank Number Register), SR (Status Register)
 CCR (Condition Code Register), BMR (Bank Mode Register)
 VBNR (Valid Bank Number Register)

図1 グローバルモード プログラミングモデル バンクは32ビット長のレジスタ16本で構成し、グローバルバンクは最大16バンクまで利用可能である。

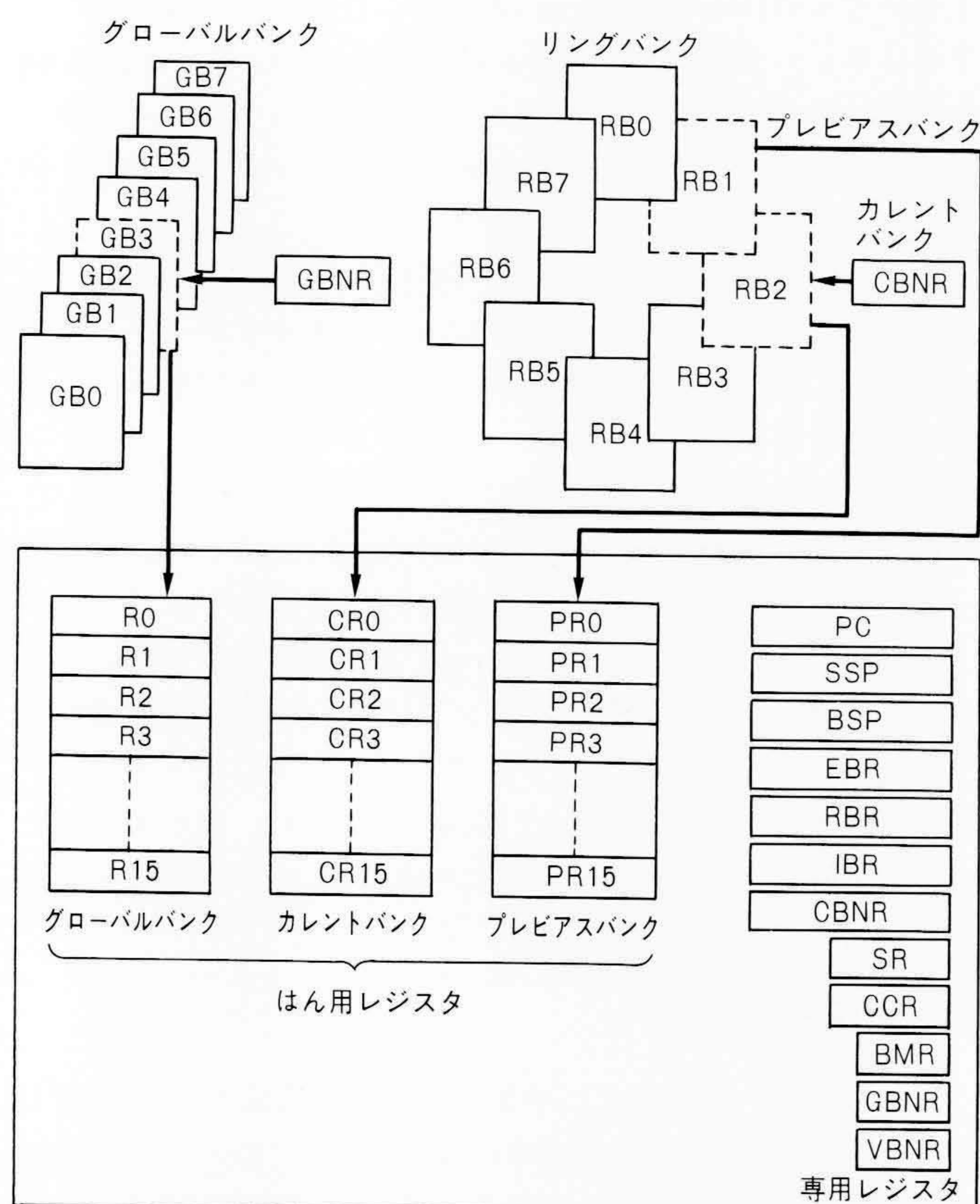
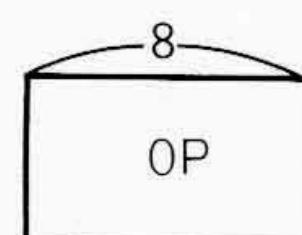
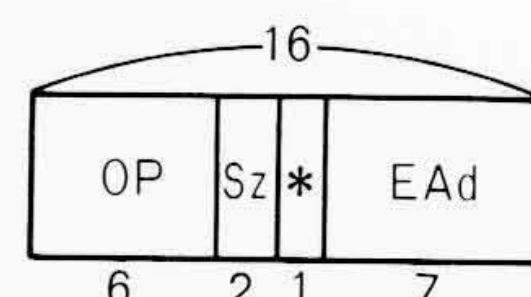


図2 リングモード プログラミングモデル リングモードでは8個のグローバルバンクと8個のリング用バンクでリングバンクを組みを構成している。8個以上のバンク（リングバンク）を使っても、CPUがデータを自動で退避・復帰するので見かけ上無限個のバンクがあるように使用できる。

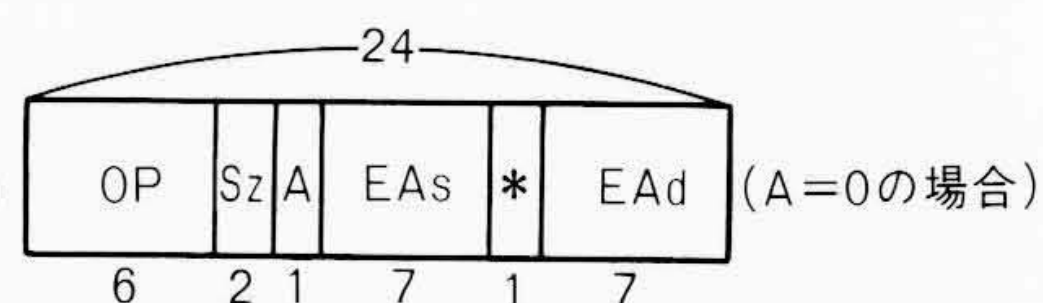
① 0オペランド命令



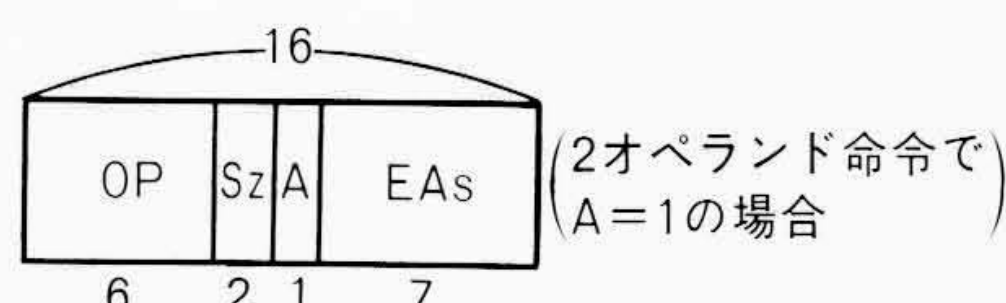
② 1オペランド命令
 (EAd) (OP) → (EAd)



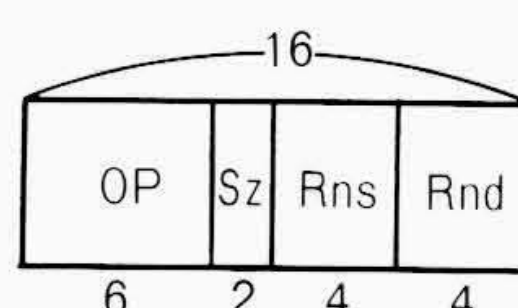
③ 2オペランド命令
 (EAs) (OP) (EAd) → (EAd)



④ アキュムレータ命令
 (EAs) (OP) R0 → R0



⑤ レジスタ間命令
 Rns (OP) Rnd → Rnd



注：略語説明

OP (オペレーション指定フィールド), Rns/Rnd (レジスタ番号指定フィールド),
 EAs/EAd (実効アドレス指定フィールド), A (アキュムレータ指定ビット),
 Sz (サイズ指定フィールド), * (未使用)

図3 命令フォーマット 5種類の基本命令フォーマットを持つ。オペレーション指定フィールドのほかに、最大2個のオペランド指定フィールドを持つ。

計者を悩ませてきたメモリインタフェースやバスアービトレーション機能も内蔵しており、いわゆるシステム高集積形マイクロプロセッサである。

2.1 CPUアーキテクチャ

2.1.1 プログラミングモデル

H16のCPUは、32ビット長のはん用レジスタ16本で構成されるレジスタバンクを内蔵RAM(Random Access Memory)上に割り当て、これを最大16バンクまで使えるというマルチレジスタバンクアーキテクチャになっている。このアーキテクチャを割込みの高速応答などに利用するグローバルモードと、サブルーチンや高級言語のプロシジャコール・プロシジャリターンの高速化などに使うリングモードがあり、それぞれのプログラミングモデルを図1, 2に示す。また、扱える基本命令は98種、アドレッシングモードは13種である。

2.1.2 命令フォーマット

H16の命令フォーマットを図3に示す。基本命令には、オペランドデータのサイズを、またソース及びディスティネーションオペランドそれぞれに、任意のアドレッシングモードを指定できるという、非常に直交性が高く、使いやすい命令体系である。また、使用頻度の高いものには短縮フォーマットも持っており、コード効率や実行速度の向上を実現している。

2.2 内蔵周辺機能

表1に示したように従来のLSI 3個、TTL (Transistor Transistor Logic) 約40個分の機能を周辺機能として内蔵して

表1 H16の仕様一覧表 H16は、32ビット構成のCPUに加えて、豊富な周辺機能を内蔵している。

項 目		仕 様	項 目		仕 様
C P U	レ ジ ス タ	32ビット×16本×最大16組み	内 蔵 周 辺 機 能	タ イ マ	16ビット 2チャンネル インターバルタイマ, PWM出力, 2相パルス出力, ワンショットパルス出力, イベントカウンタなど各種動作可
	ア ド レ ス 空 間	16 Mバイト(将来 4 Gバイトへ拡張)		シ リ ア ル イ ン タ フ ェ ース	2チャンネル 調歩同期・クロック同期選択可能 ポーレートゼネレータ内蔵
	基 本 命 令 数	98		割込みコントローラ	割込み端子 3本 4レベルの優先順位 外部ベクタモード・内部ベクタモード選択可能
	ア ド レ ス モ ード	13		メ モ リ ア ク セ ス サ ポ ー ト 機 能	DRAMリフレッシュコントローラ プログラマブルウェイトステートコントローラ チップセレクトコントローラ
	演 算 器	32ビットALU, バレルシフタ内蔵		ブ ロ セ ス	1.3 μm CMOS
	命 令 体 系	2 アドレス方式・命令長はバイト単位		パ ッ ケ ー ジ	84ピンPLCC
	最小命令実行時間	0.5 μs(8 MHz)(レジスタ間のデータ転送)			
内 蔵 周 辺 機 能	R A M	1,024バイト レジスタバンク領域, 又は高速内蔵メモリとして使用可			
	D M A C	4チャンネル メモリ↔メモリ, メモリ↔I/O, メモリ↔内蔵I/O転送 シングル・デュアル アドレスモード コンティニュー動作可			

注：略語説明 DMAC(Direct Memory Access Controller), ALU(Arithmetic Logic Unit), I/O(入出力装置), PWM(Pulse Width Modulation), DRAM(Dynamic Random Access Memory), CMOS(Complementary Metal Oxide Semiconductor), PLCC(Plastic Leaded Chip Carrier)

おり、ユーザーシステムの小形化と同時に、システム設計の手軽さを実現している。

3 性能向上手段とその効果

H16は、命令の直交性やレジスタのはん用性が非常に高く、またストリングデータ及びバンクなどを扱う高速・高機能な命令を備えている。ここでは、これらの特長による性能向上の効果について述べる^{1),2)}。

3.1 命令の直交性

H16は、2オペランド形命令フォーマットを持ち、ソース、ディスティネーションそれぞれ独立に、すべてのアドレッシングモードを指定することが可能である。このような命令の直交性は、プログラミング時の自由度を高めるばかりでなく、プログラムサイズや実行時間の短縮にも寄与する。図4は、メモリ内の二つのデータの大小を比較し、その差を計算するプログラムであるが、従来必要とされていたレジスタへのデータロード・データセーブが不要となり、1.2倍の高速化が図れた。

3.2 強力な命令セット

高いはん用性を伴う高機能命令は、多くのアプリケーションでその威力を発揮する。H16は、ストリング命令やビットフィールド命令をはじめとする、幾つかの高機能命令を持っている。図5は、ストリングサーチ命令を用いた文字探索プログラムである。プログラム上はわずか1命令の差でしかないが、その実行サイクルは、100バイト程度の探索で、H16で917クロック、従来の16ビットCPUで1,802クロック(当社比)と2倍程度改善される。ワードプロセッサなどのアプリケーションでは、ストリングサーチやストリングコンペアを組み合わせたテキスト処理は頻繁に行われるため、このような高機能命令による高速化は非常に有効である。

3.3 高速タスクスイッチング

H16では、並行動作するタスクごとに一つのグローバルバンクを割り当てる。タスク切替え応答時には、そのバンクを高

比較命令
CMP:G <EAs>, <EAd>
減算命令
SUB:G <EAs>, <EAd>
SUBT CMP:G.W @R0, @R1
BLT SUBT1
SUB:G.W @R0, @R1
RTS
SUBT1 SUB:G.W @R1, @R0
XCH R0, R1
RTS
(実行サイクル=84)
(バイト数=15)
(a) H16の場合

注：□は、レジスタへの
データロード・データセーブ
SUBT MOVE (A0), D0
CMP (A1), D0
BLT SUBT1
SUB D0, (A1)
RTS
SUBT1 SUB (A1), D0
MOVE D0, (A0)
EXG A0, A1
RTS
(実行サイクル=90)
(バイト数=18)
(b) 従来のCPUの場合

図4 命令の直交性 H16の命令は直交性が高いので、従来のCPUでは必要なレジスタへのデータロード・データセーブが不要となり、高速化が図れる。

FIND SSCH/EQ/F R3, R6, R1, R9
(実行サイクル数=917
ただし、100バイトのサーチ)
(a) H16の場合

FIND CMP.B (A1)+, D3
DBEQ D1, FIND
(実行サイクル数=1,802
ただし、100バイトのサーチ)
(b) 従来のCPUの場合

図5 強力な命令(ストリング命令) ストリング命令による文字探索では100バイト程度の探索で、従来に比べて約2倍の高速化が図れる。

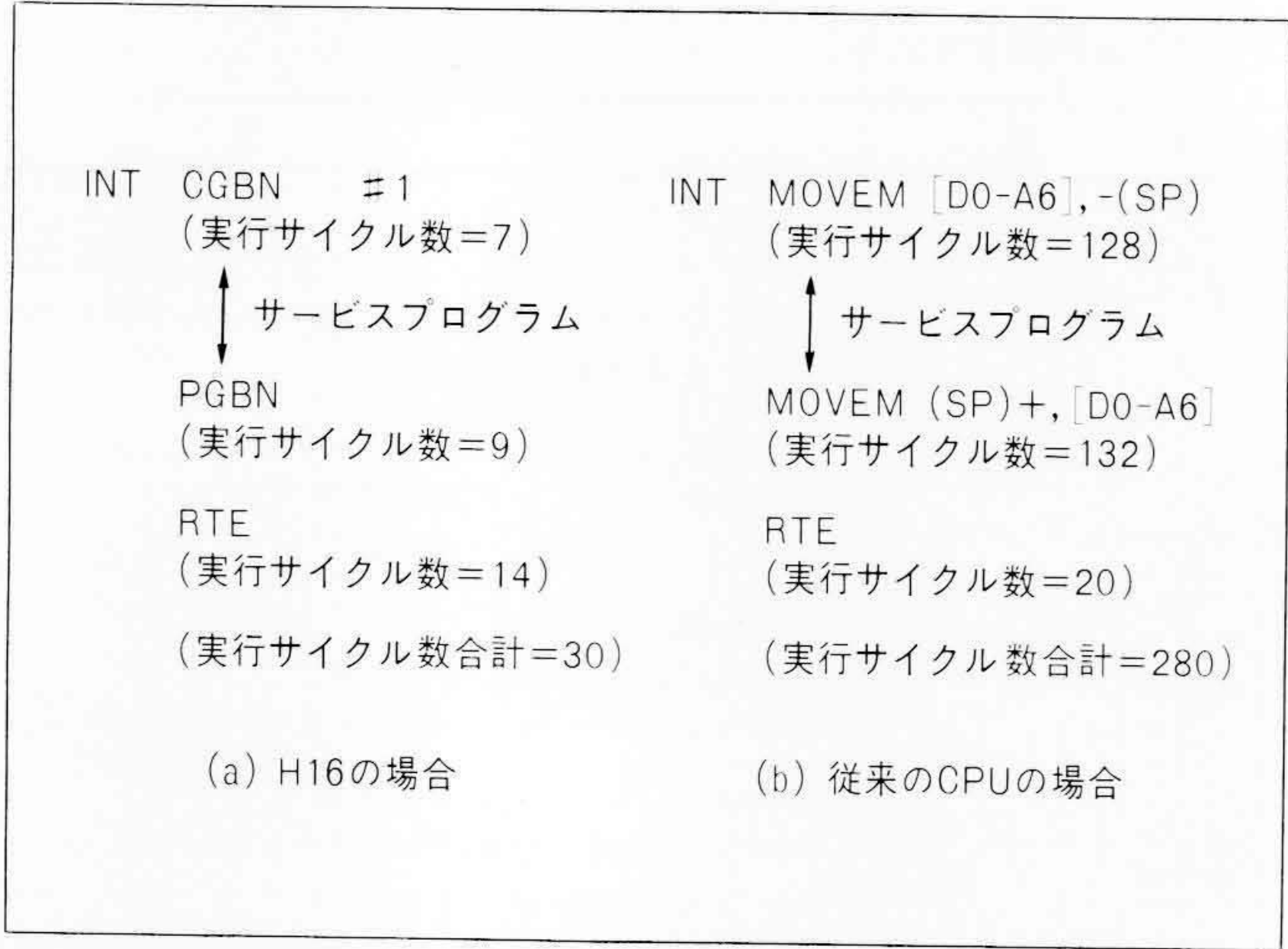


図6 高速タスクスイッチング グローバルバンクを使用したタスク切換えでは、データの退避・復帰が不要となり、従来に比べ約10倍の高速化が図れる。

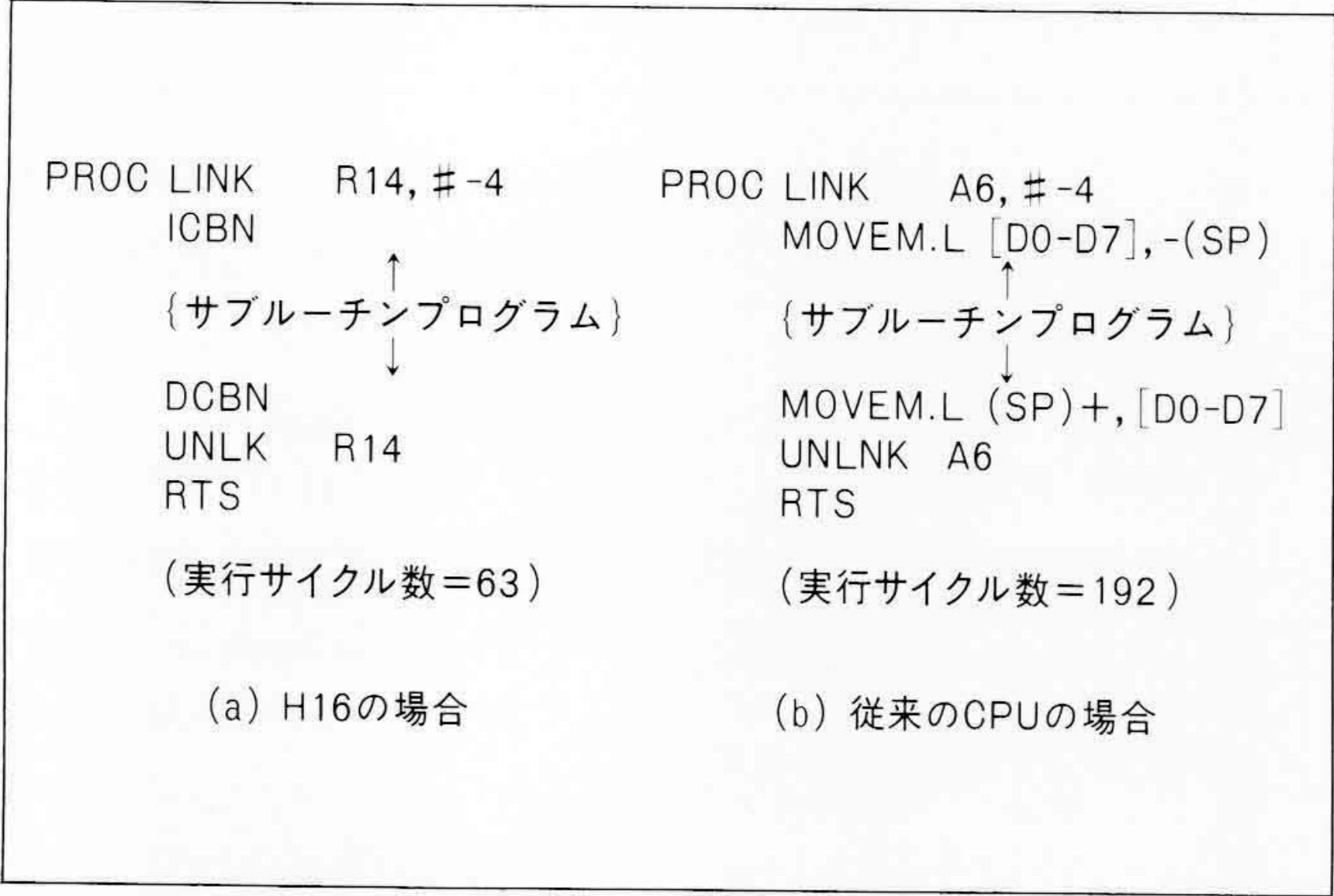


図7 高速手続き呼び出し リングバンクを使うとプロシジャコールは従来のCPUに比べ、約3倍の高速化が図れる。

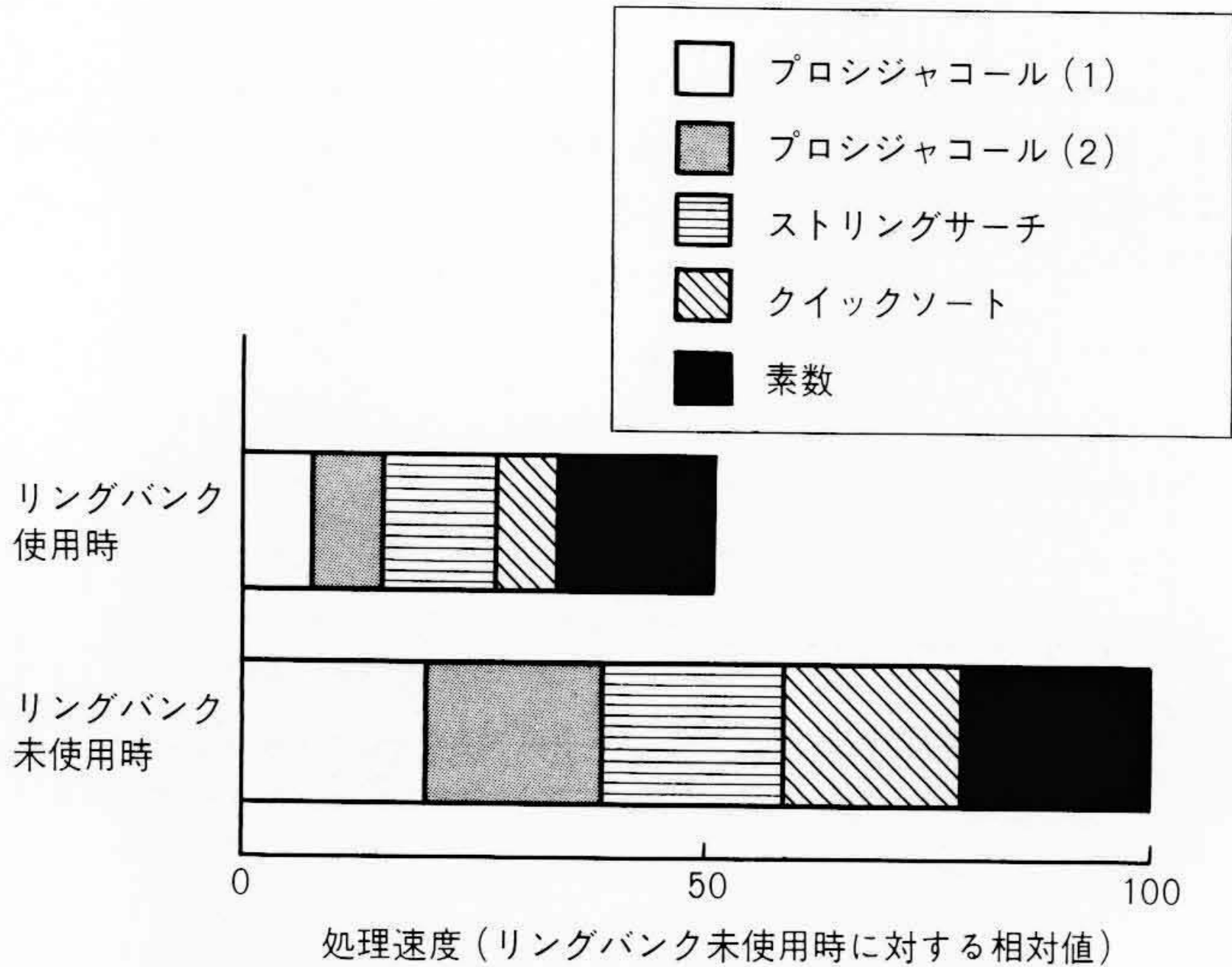


図8 リングバンクのベンチマーク リングバンクを使用したときと未使用のときの比較を示すが、プロシジャコール・ソーティングで3～4倍高速化できる。

速に切り替えることによって、レジスタ退避・復帰のオーバーヘッドを回避可能である。図6は、割込み応答時にバンクスイッチング命令を用いた例である。機器制御分野で、リアルタイム制御を実現するためには、割込み要求からサービスルーチン開始までの応答時間短縮が重要な要因となるが、バンクスイッチングにより10倍程度の高速化が可能となった。

3.4 高速手続き呼び出し

一般に、C言語などの構造化言語では、プロシジャコール・プロシジャリターンの出現頻度が高く、その効果的なサポートが重要な課題とされている。図7は、プロシジャコール・プロシジャリターン時にリングバンクを利用したものである。実行サイクルは、日立製作所の従来の16ビットCPUで192クロックを要するのに対し、H16では63クロックで3倍改善される。このクロック数は、プロシジャコール・プロシジャリターン時にかかったものだけを算出している。また、サブルーチンで使用される変数領域を、従来のCPUではスタック上に割り当てるが、H16ではリングバンクを利用して高速アクセス可能なレジスタ上に割り当てられるため、更に高速にプログラムを実行することができる。

図8は、各種プログラムを、リングバンクを使用した場合と使用しなかった場合について実行した結果を示したものである。

4 周辺LSIとのインタフェース

一般的にCPUと周辺デバイスとの接続を行うには、図9に示すような多くの外付けロジックを必要とする。H16は、チップセレクトコントローラ、ウェイトステートコントローラ、リフレッシュコントローラ、68系周辺インタフェースなどの豊富なインタフェースモジュールを内蔵しており、ほとんど外付けロジックなしで容易にシステムを構成することが可能である。ここでは、具体的な周辺デバイスとの接続例を用いて、これらの機能の有効性について述べる。

4.1 DRAMとのインタフェース

図10は、H16とDRAMとの接続例である。H16は、リフレッシュコントローラを内蔵しているため、外部にリフレッシュに関する特別な回路は必要としない。リフレッシュ間隔やリフレッシュバスサイクル構成は、すべてプログラマブルに設定される。また、H16のAS(Address Strobe)信号をDRAMのRAS(Row Address Strobe)へ、HDS(High order Data Strobe)又はLDS(Low order Data Strobe)信号をCAS(Column Address Strobe)へ接続することによって、タイミング生成回路も簡略化することが可能である。

4.2 SRAM/ROMとのインタフェース

図11に、H16とSRAM/ROM(Static Random Access Memory/Read Only Memory)の接続例を示す。チップセレクトコントローラのPCS(Programable Chip Select)出力を利用することによってアドレスデコード回路は省略される。また、これらのデバイスに割り当てるエリアはプログラムによって変更可能なため、メモリの大容量化に伴うシステムマップ変更もハードウェアを変えることなく行うことができる。またこの例では、アクセス時間100 nsのSRAM、ROMを使用

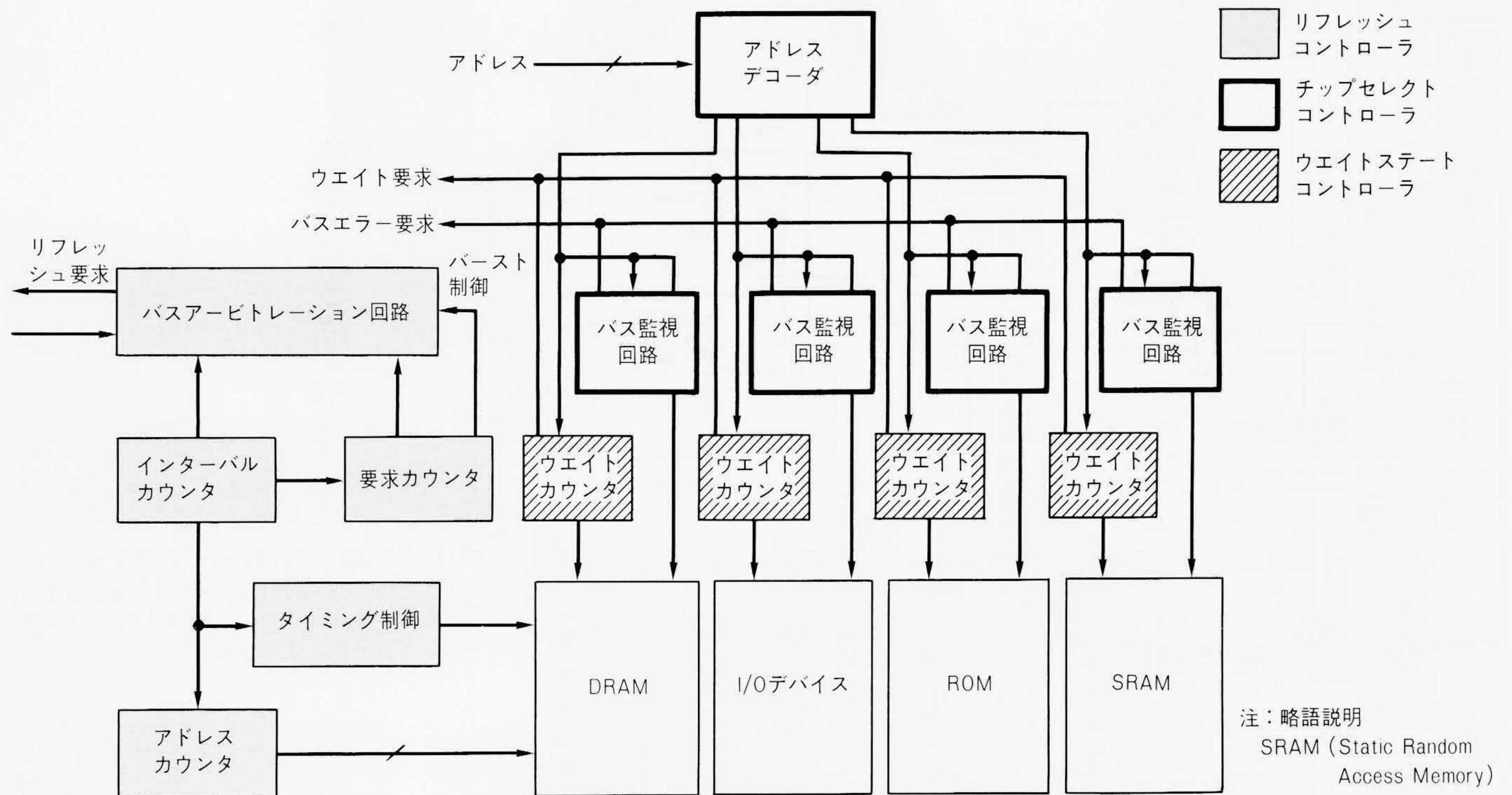


図9 周辺デバイスとのインタフェースロジック 周辺デバイスとの接続に必要なロジックの大部分がH16内蔵周辺機能としてオンチップ化されている。

しノンウェイトアクセスを実現している。更に、ウェイトステートコントローラを利用することによって、低速のメモリに対しても、そのデバイスに必要なウェイト数をプログラムで指定するだけで対応できる。

4.3 68系8ビット周辺LSIとのインタフェース

H16は、68系8ビット周辺LSIとのインタフェース信号としてEクロックを出力している。このEクロックは、H16の動作クロックを8分周したもので、8MHzのH16を使用する場合、ノーマルスピード(1MHz)のデバイスが直接接続できる。また、Eクロック同期命令を使用することによって、Eクロックに合わせてデバイスへの入出力バスサイクルが発行される。

図12に示すように、68系8ビット周辺LSIとの接続には、アドレス・データのデマルチプレクサとアドレスデコード回路以外は何も必要としない。

4.4 68系16ビット周辺LSIとのインタフェース

図13は、H16とグラフィックLSIであるACRTC(Advanced CRT Controller)との接続例である。68系16ビット周辺LSIの、バスインタフェース信号であるDTACK(DATA ACKnowledge)信号は、H16のWAIT信号に接続される。また、ACRTCはコマンド、パラメータ、フレームメモリのデータなどをDMA(Direct Memory Access)転送するためのインタフェースを持っているが、H16のDMACと直結することで、こ

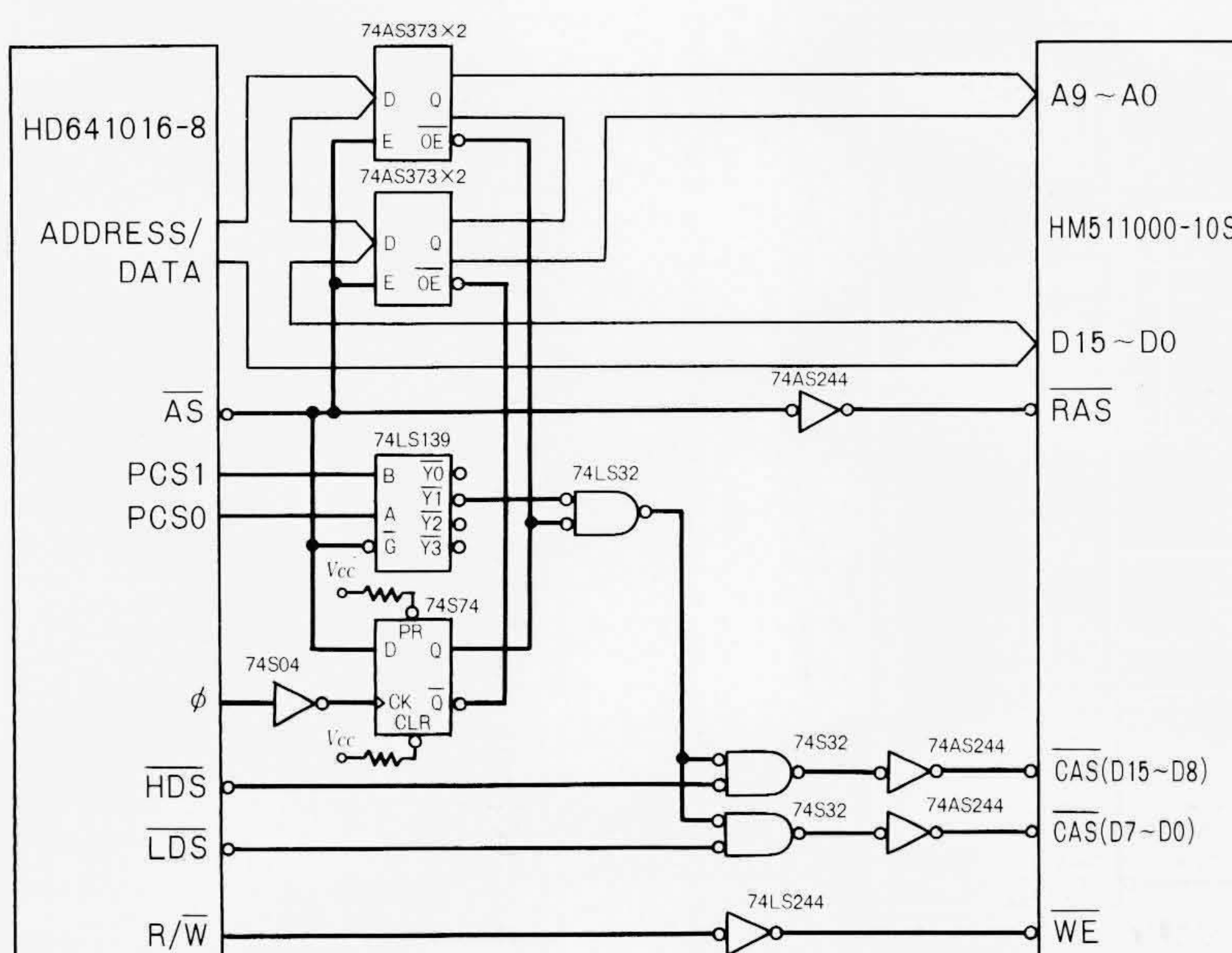


図10 DRAMとのインタフェース DRAMのリフレッシュ制御はRASオンリーリフレッシュで行い、外部に回路は必要としない。

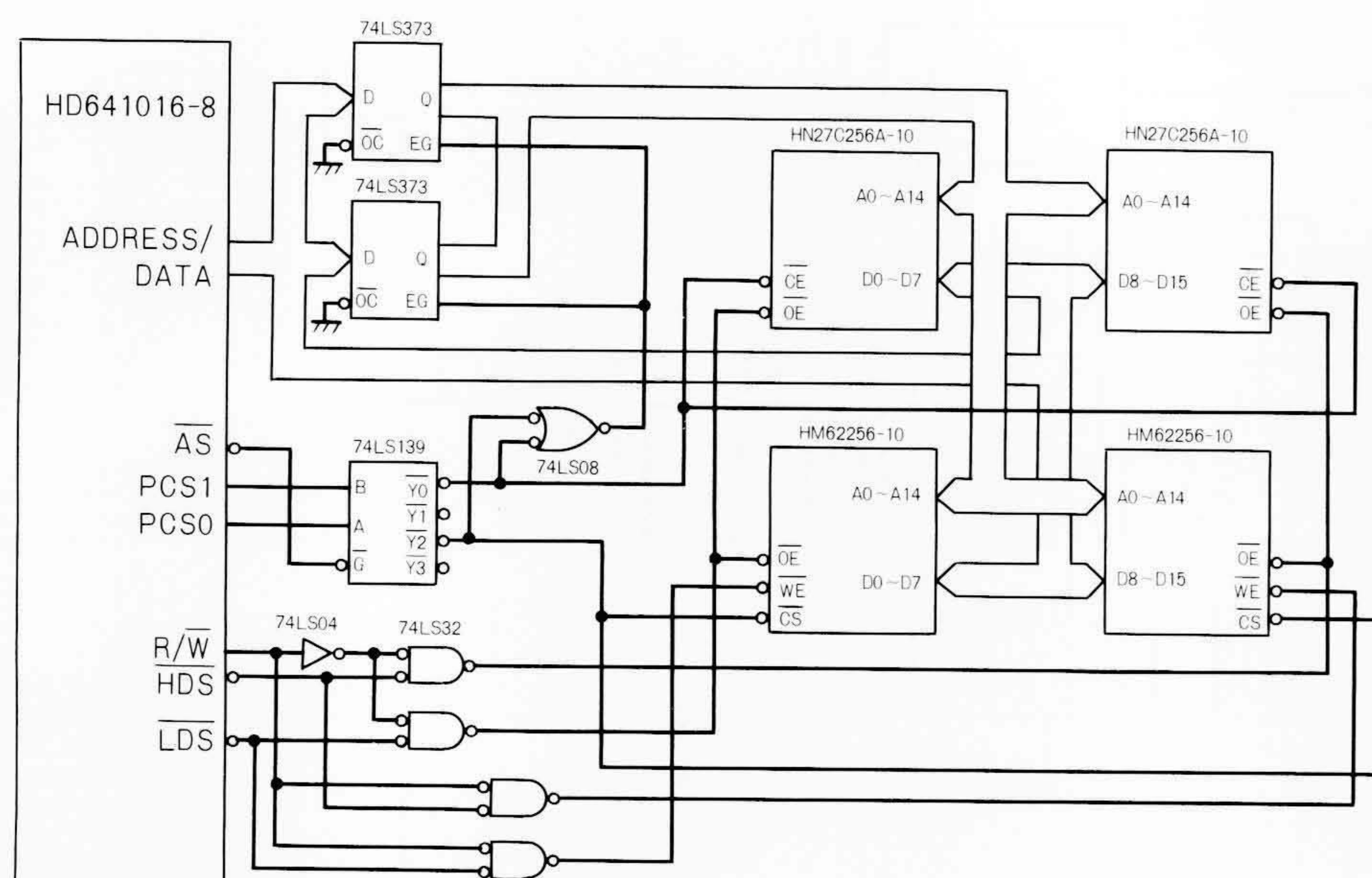


図11 SRAM・ROMとのインタフェース
チップセレクト信号は、PCS端子を利用する。
アクセスタイミングの調整は内蔵ウエイトステートコントローラによって行う。

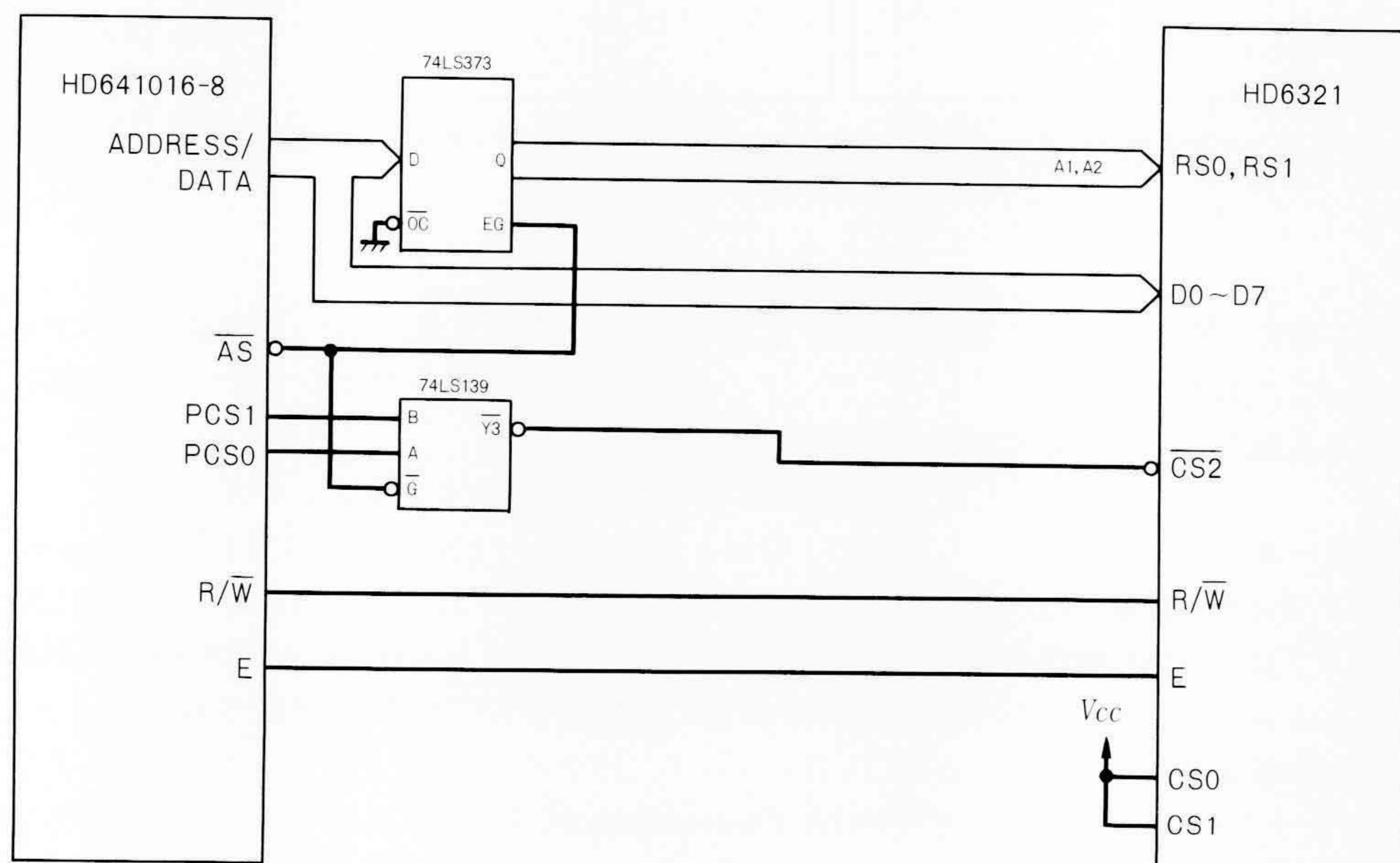


図12 68系8ビット周辺LSIとのインタフェース
Eクロック出力及びEクロック同期命令を使用することによって68系8ビット周辺と直接インタフェース可能である。

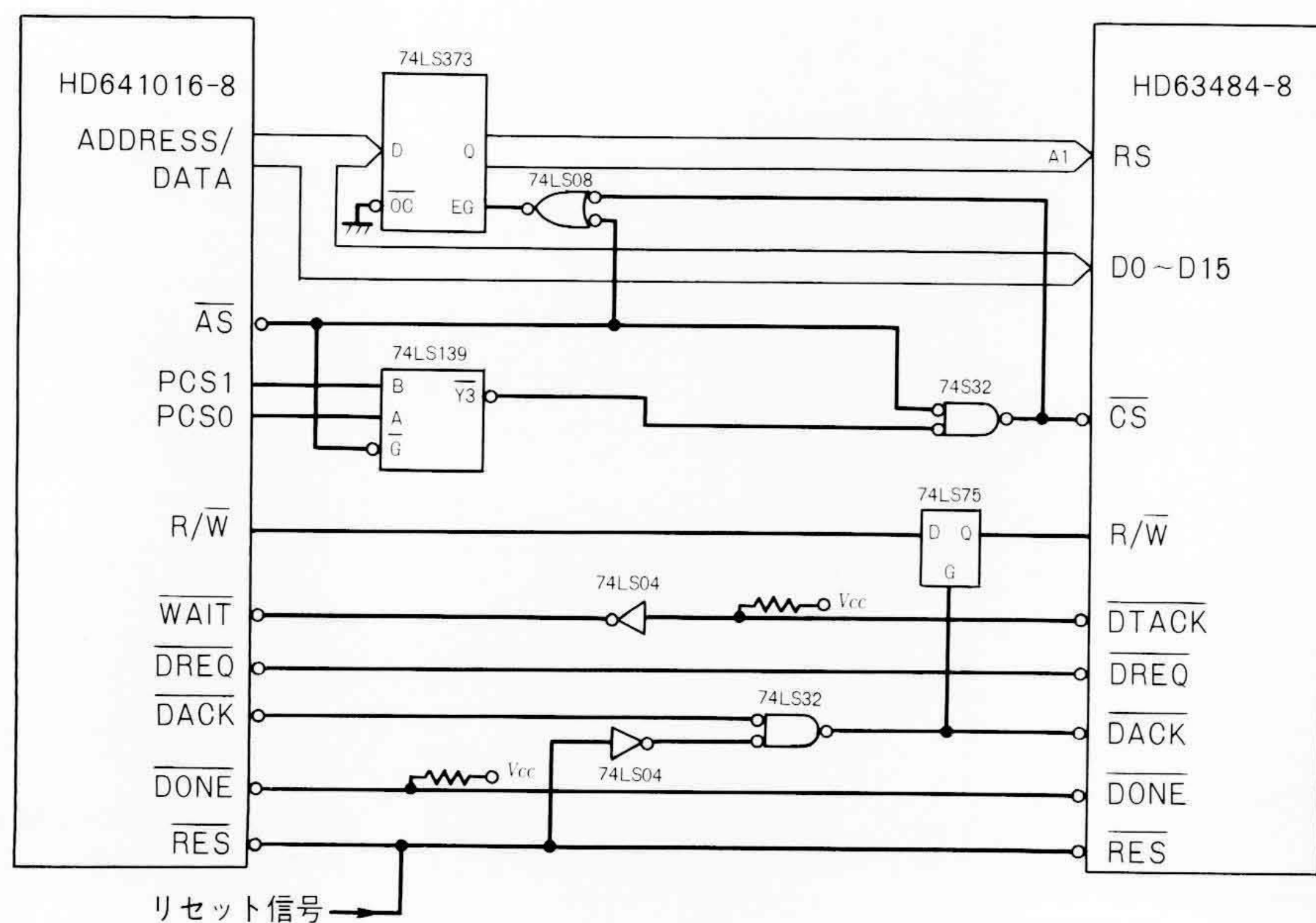


図13 68系16ビット周辺LSIとのインタフェース
ACRTCとの接続では、H16の内蔵DMACを用いることによって、パラメータ、コマンド、データなどの自動転送が可能である。

の機能を実現することができる。

5 マイクロコンピュータシステムへの応用

5.1 LBPへの応用

H16をLBPコントローラに応用した例を図14に示す。同図中の太枠で囲んだブロックがH16内蔵モジュールである。

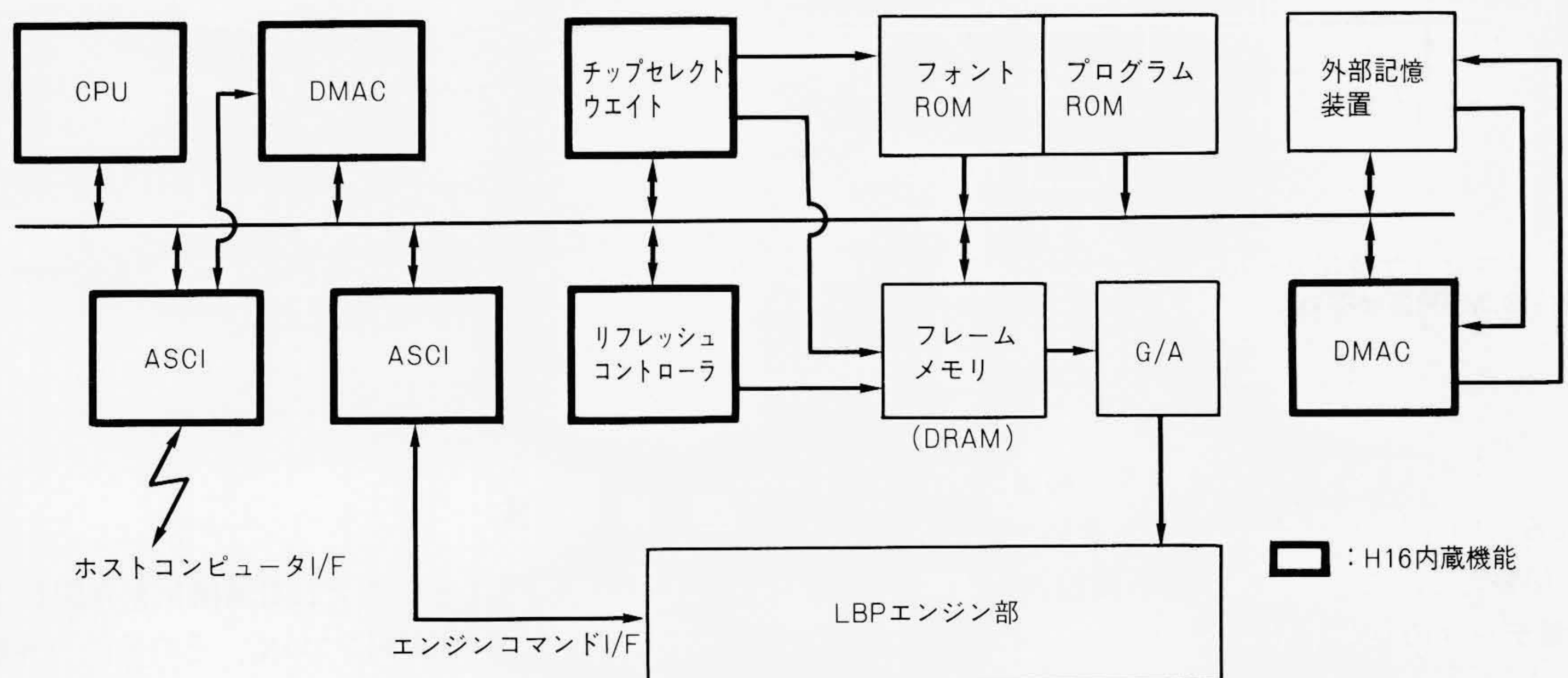
5.1.1 高速グラフィック処理

LBPコントローラでのCPUの処理の多くは、フォント展開や描画を含むグラフィック処理である³⁾。H16は、バレルシフトを用いた高速ビットフィールド命令を持っており、グ

ラフィックデータのハンドリングを容易にしている。このビットフィールド命令の中には、フォントやイメージデータを1命令でフレームメモリに展開する、BFMOV命令が含まれている。図15は、あらかじめASCIIによって受信バッファに格納されたホストコンピュータからのイメージデータを、BFMOV命令によってフレームメモリに展開した例である。

5.1.2 高速割込み応答

LBPコントローラ部とエンジン部とのコマンドインタフェースにはASCIIが使われる。エンジン部からは各種メッセージがコントローラ側に送られるが、特にエラーメッセージの場



注：略語説明 G/A (Gate Array)

図14 LBPコントローラへの応用 ビットフィールド関連の命令によって、グラフィック処理の高速化が可能である。

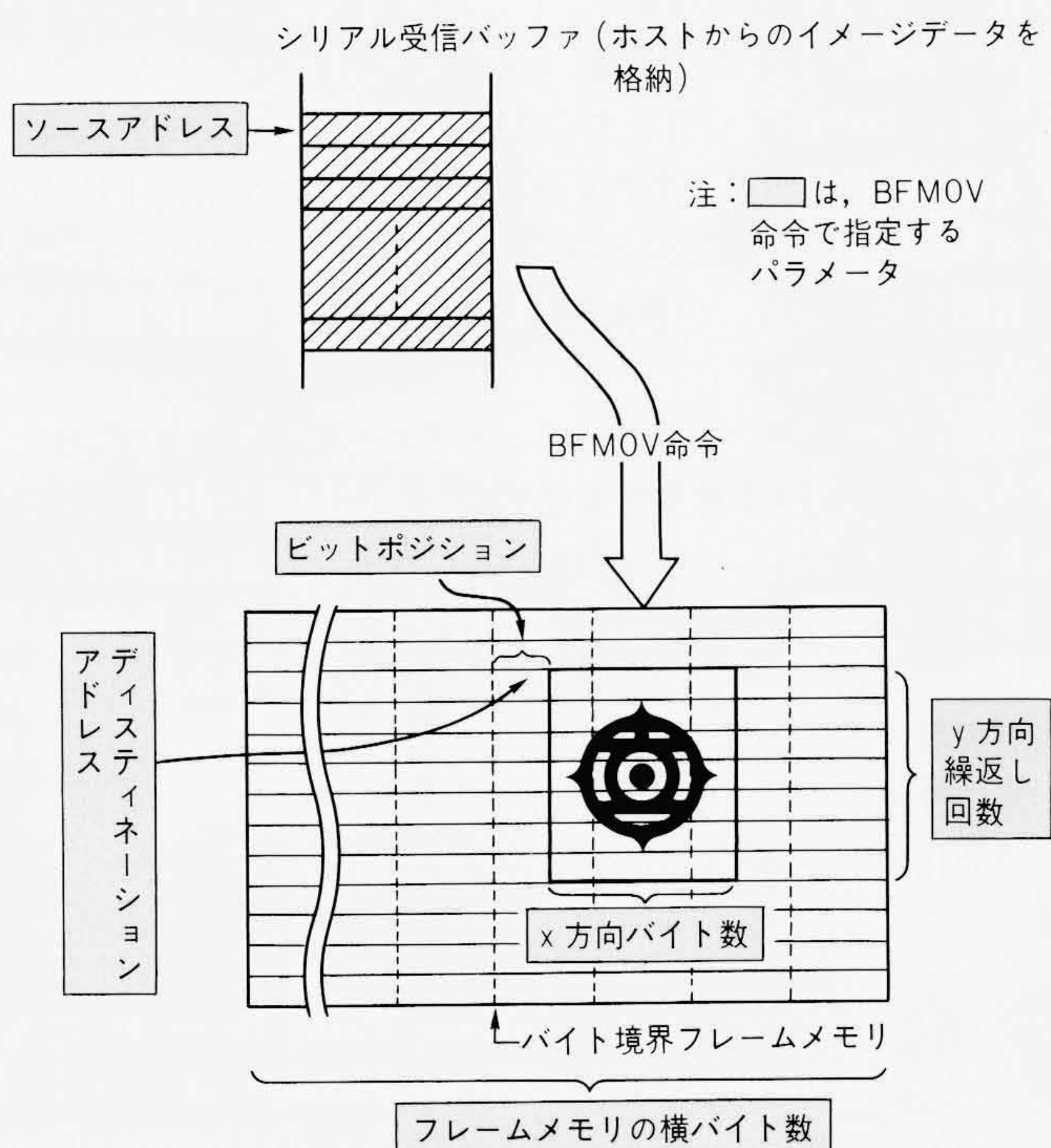


図15 BFMOV命令によるイメージデータの展開 BFMOV命令により、フレームメモリへのイメージデータ展開を1命令で展開でき、高速化を実現している。

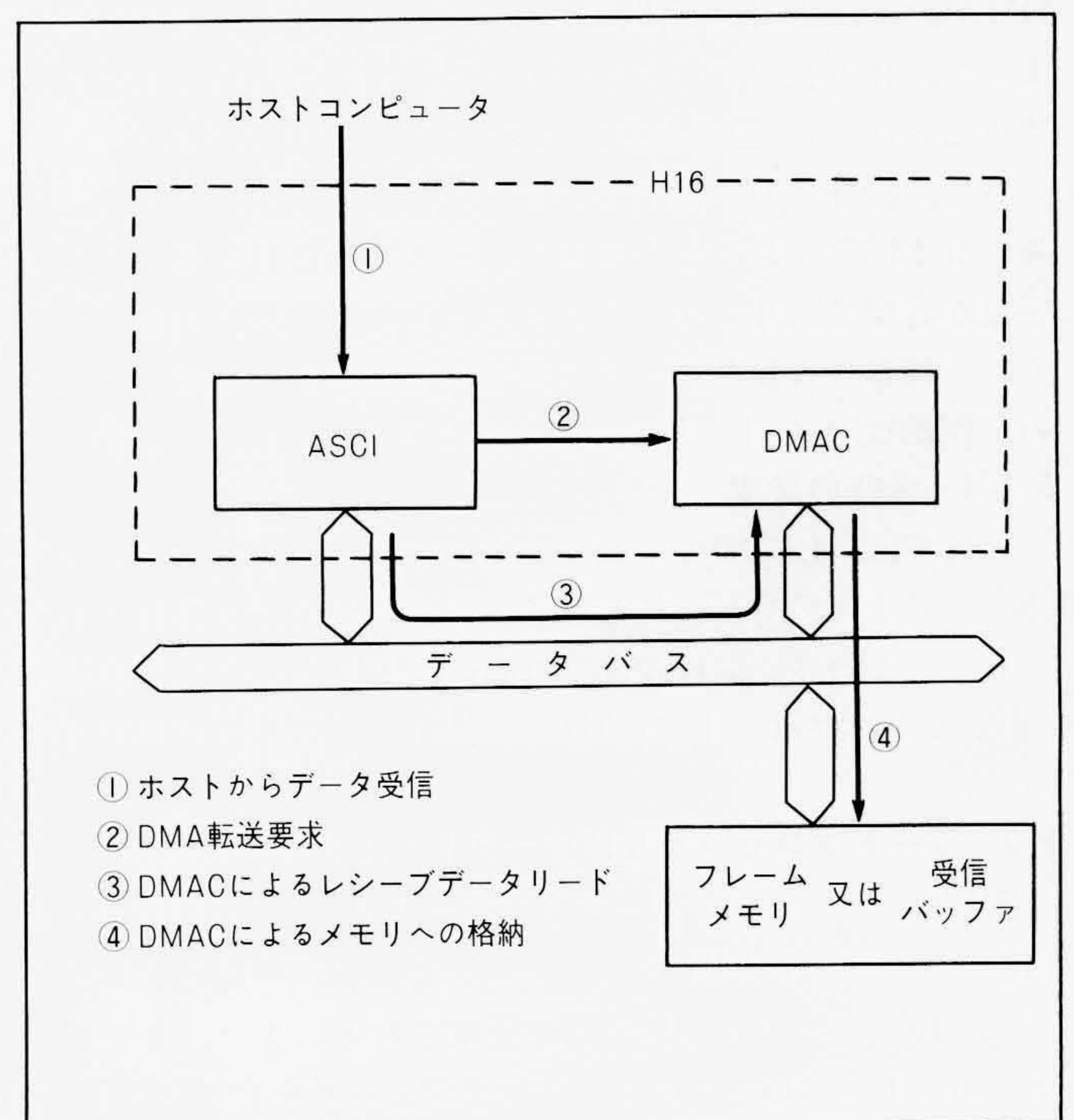


図16 シリアル～DMA自動転送 シリアルインタフェースとDMAコントローラをH16内部で接続することによって、CPUが介在することなしにデータの自動転送が可能となる。

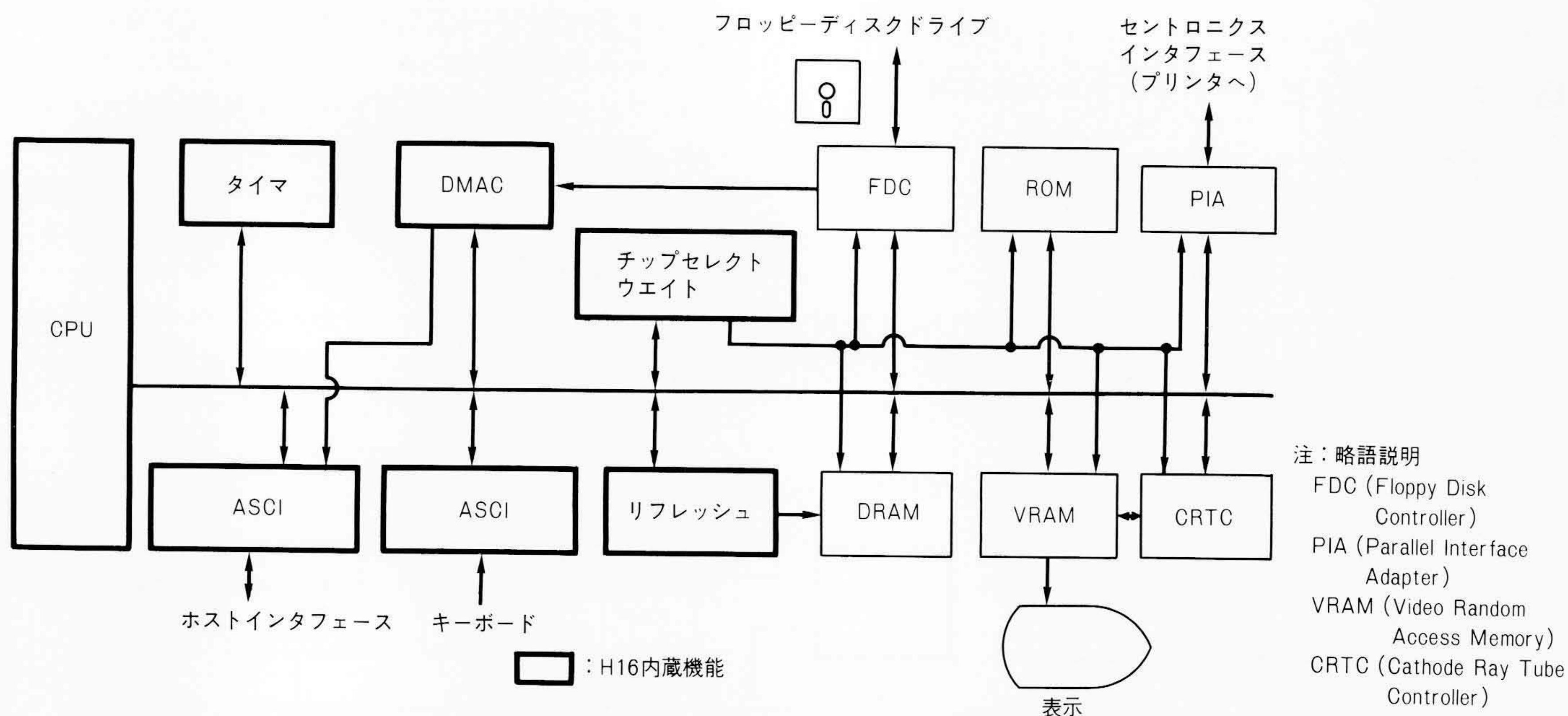


図17 ワードプロセッサ及びデータターミナルへの応用 ASCIによる外部インタフェース、DMACによる外部記憶装置とのデータハンドリングなど、H16内蔵周辺機能が有効に活用できる。

合は、迅速なりカバリ処理が必要となり、高速な割込み応答が要求される。前述したグローバルバンクのスイッチングによるタスク切替で、この割込み応答の高速化は実現される。

5.1.3 大量データのハンドリング

LBPコントローラとホストコンピュータとのインタフェースは、RS232-Cで行われているが、LBPの高解像度化に伴いデータの転送量は激増し、CPUの通信時間に対する負担も重くなっている。H16内蔵のASCIは、受信及び送信時に内蔵DMACへ転送要求を発生することが可能である。この機能によって、任意長のデータをCPUが介在することなく自動転送することができ(図16参照)、CPUの負担は軽減される。

さて、LBPの日本語対応の動きも急速に高まっている。複雑な日本語フォントを多種類サポートするには、膨大な記憶容量が必要であり、ハードディスクなどが搭載され始めている。これらの大量なデータの転送は高速に行う必要があるため、DMACは不可欠となってくると考えられる。

5.1.4 今後の展望

最近では、LBPコントローラとホストコンピュータのソフトウェアインタフェースとしてページ記述言語が注目されつつある。このページ記述言語の高速実行を目的とした高速演算・描画機能サポート形のH16展開品についても現在検討中である。

5.2 ワードプロセッサ及びデータターミナルへの応用

図17は、ワードプロセッサ及びデータターミナルにH16を適用した例である。LBPコントローラと同様、高速なタスクスイッチ、描画・フォント展開が要求される。また、キーボード、ホストコンピュータとのインタフェースを行うASCI、フロッピーディスクコントローラとのインタフェースを行うDMACが内蔵されていることによって、システムコストの低減が可能である。

6 結 言

以上、高性能化とシステム高集積化を意図して開発されたマイクロプロセッサH16について、その性能の評価及びシステムへのインタフェースの容易さを中心に述べた。

性能評価については、各種ベンチマークで命令の直交性、マルチレジスタバンクの有効性、高級言語に対する効率向上などについて評価を行った。その結果、従来の16ビットCPUに比べて命令体系の効果により1.2～2倍、マルチレジスタバンクの効果により2～10倍(いずれも当社比)の性能向上が確認でき、当初目標を満足することができた。

また、システムインテグレーションの評価では、H16と各種メモリ及び68系周辺LSIとのインタフェースを具体的にボードを設計したところ、少数のTTL回路を用いて容易に設計可能であることを確認した。

更に、マイクロコンピュータシステムへの応用としてLBP、データターミナルで使用するH16内蔵周辺機能を調査し、ほとんどすべてのモジュールがシステムの中で有効に活用されていることが確認できた。このようなシステムでは、合計でLSI 3個分、TTL約40個分が節約可能となり、システムの高集積化が実現できたと言える。このように、H16はマイクロプロセッサの性能・機能を飛躍的に改善し、応用機器の高性能化、多機能化に大きく寄与するものと考えられる。

参考文献

- 1) J. Wainwright, et al.: Register Banks Boost 16/32-bit CPU Performance, WESCON Article(1987-11)
- 2) T.W. Cantrell: Processor-Controller Distinction Blurs As Performance Rises, WESCON Article(1987-11)
- 3) D. Hearn, et al.: Computer Graphics, Prentice-Hall International Editions(1986)