U.D.C. 681.322-181.48

32ビットマイクロプロセッサ“H32”ファミリー

32 bit Microprocessor “H32” Family

稲吉秀夫* *Hideo Inayoshi*
西向井忠彦** *Tadahiko Nishimukai*
海永正博*** *Masahiro Kainaga*
長谷川　淳**** *Atsushi Hasegawa*

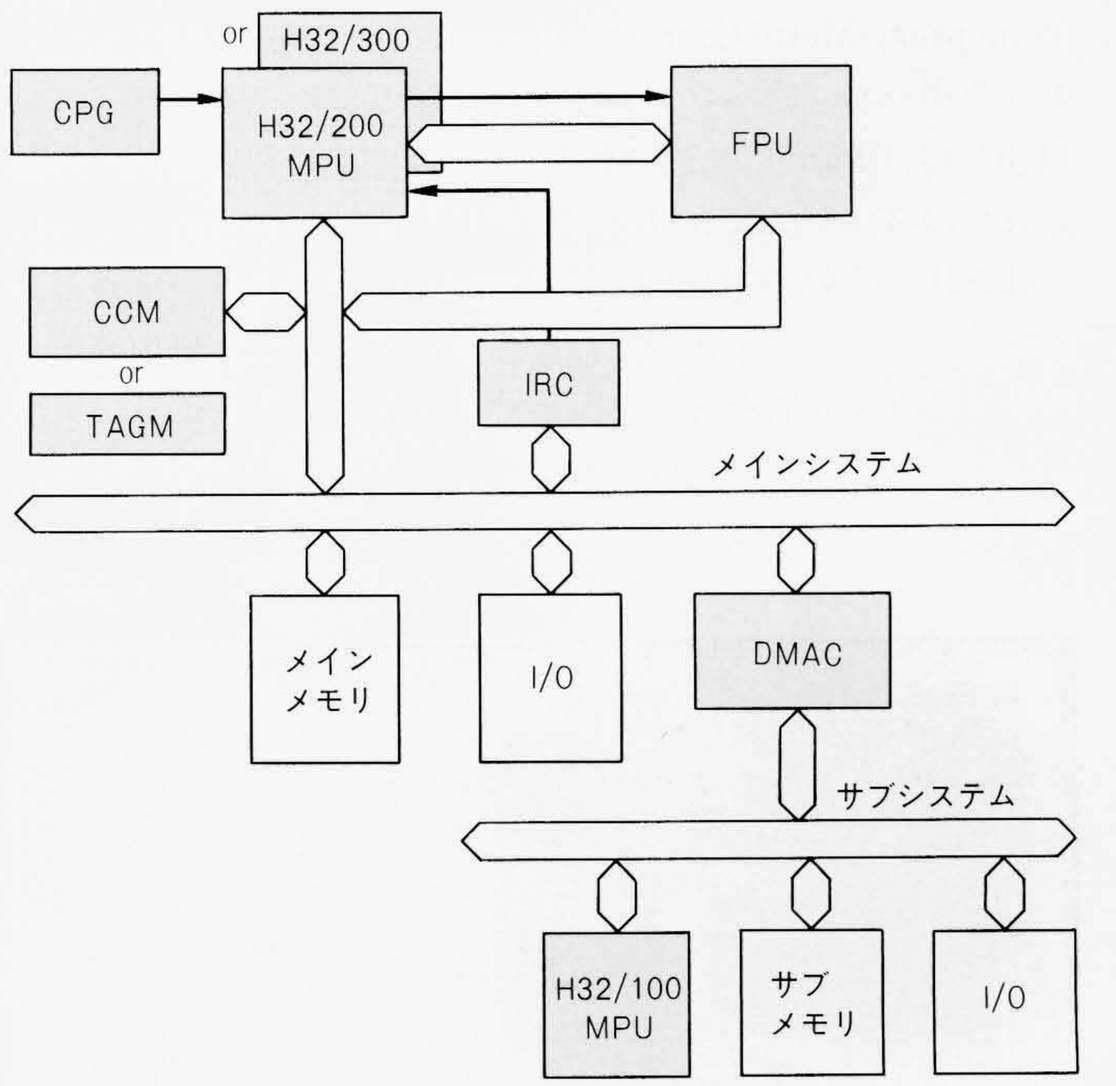
近年，32ビットマイクロコンピュータに対する需要が急速に高まってきている。日立製作所ではオリジナルマイクロコンピュータファミリーHシリーズの最高機種として，高性能32ビットマイクロプロセッサH32の開発を行った。この開発にはファミリーチップとしての周辺LSIやサポートツールの開発も含んでいる。

H32は高級言語やOSの高速実行に適したアーキテクチャや高機能命令を持っており，内蔵する分散キャッシュなどによってこれらの処理効率を最大とした。性能は20 MHz動作時で7 MIPS(EDNベンチマーク)である。また，この分散キャッシュにより全フェッチサイクルの55%以上をキャッシュからのフェッチとすることができ，コストパフォーマンスの良いシステム設計を可能とした。

1 緒　　言

近年，32ビットマイクロコンピュータは，ワークステーションやパーソナルコンピュータ，各種制御機器に大量に使われ始めている。これは，OS(Operating System)の高機能化，処理内容の複雑化，更に機器性能の向上要求などにより，従来の16ビットマイクロコンピュータでは対処しきれなくなったこと，及び従来ミニコンピュータなどで行われていた処理の一部が高性能化した32ビットのワークステーションでも実行できるようになったことなどによる。この拡大しつつあるマーケットに対して，従来からの有力マイクロコンピュータメーカーに加え，更に多数のメーカーがいろいろなタイプの32ビットマイクロプロセッサを発表し発売している。

日立製作所では，このような状況下で将来の一つの標準を築くためTRON※)仕様に基づく32ビットマイクロプロセッサファミリーの開発を他社と共同で行っている。この共同開発によるマイクロプロセッサファミリーは，Gmicroファミリーと呼ばれ，プロセッサばかりでなく，周辺LSIやサポートツールをも含んだトータルファミリーである[1]。**図1**にこのGmicro LSIファミリーの全体を示す。MPU(Micro Processing Unit)のH32/200及び周辺LSI[2]のFPU(Floating point Processing Unit：浮動小数点演算器)，CPG(Clockpulse Generator：クロック発生器)，IRC(Interrupt Request Controller：割込み要求コントローラ)，DMAC(Direct Memory Access



注：略語説明など
□ は，Gmicroファミリーチップを示す。
H32/100,200,300 (32ビットMPU)，MPU (Micro Processing Unit)
CPG (Clock Pulse Generator)，FPU (Floating-point Processing Unit)
IRC (Interrupt Request Controller)，DMAC (Direct Memory Access Controller)，TAGM (Tag Memory)，CCM (Cache Chip and Memory)
I/O (Input/Output)

図1　Gmicroファミリーチップによるシステム構成例　Gmicroファミリーの周辺LSIを用いることによって，コストパフォーマンスの良いシステムを簡単に作ることができる。

※)　TRONは，The Real Time Operating System Nucleousの略称である。TRON仕様とは，東京大学の坂村　健助教授をリーダとするTRONプロジェクトによって決められた仕様を指す。

* 日立製作所武蔵工場　** 日立製作所中央研究所　*** 日立製作所システム研究所
**** 日立マイクロコンピュータエンジニアリング株式会社

Controller：DMAコントローラ)，TAGM(Tag Memory：タグメモリコントローラ)などは，既に顧客で評価中である。MPUのH32/100，H32/300及びCCM(Cache Chip and Memory：1チップキャッシュ)なども間もなくサンプル供給される。また，各種サポートツールも同様に顧客に提供されており，システム開発に役立っている。これらのファミリーチップはワークステーションから機器制御までユーザーの多岐にわたる使用に適するよう考慮されている。また，各種サポートツールが与える開発環境は，プロセッサの応用分野やプロセッサの種類によらずファミリーチップ内で基本的に一様であり，ユーザーでのいろいろな用途に対し一様に適用できる。この開発環境の良好さと豊富なファミリーチップによるシステム設計の容易さ，及び信頼できる複数のベンダからのチップ供給体制，更に約束された高性能化への道などはGmicroファミリーの大きな特徴である。ここでは，そのGmicroファミリーの中で日立製作所が中心的に開発したMPUのH32/200を中心に，その構成，プログラミング性，ファミリーチップの接続例，性能評価結果などについて述べる。

2 H32/200の特徴と内部構成

H32/200のチップ写真を**図2**に示す。CMOS(Complementary Metal Oxide Semiconductor) 1 μm Al 2層プロセスを用いた。総トランジスタ数は73万個，チップサイズは14.0×14.1 mm²である。H32/200は高性能を得るため，内部を五つのブロックに分け，それぞれが並行動作を行うように設計されている。これにより，6段のパイプラインを実現し，更にそのパイプラインの乱れを最小にするよう，処理のボトルネック点に分散キャッシュと称する各種のキャッシュを配備している。H32/200のブロック図を**図3**に示す。命令プリフェッチユニットは命令のプリフェッチを行う部分であるが，ここには，1キロバイトの命令キャッシュ，4エントリの分岐テーブルなどがあり，命令プリフェッチキュー(命令コード用バッファ)への命令コード供給を最大効率で行っている。特に分岐テーブルは，分岐系の命令を高速処理するためのテーブルであるが，命令キャッシュの動作を妨げることなく動作し，分岐が成立しても，不成立の場合に比べ1クロックの遅延で処理できる。また命令キャッシュは論理空間におかれており，アドレス変換とキャッシュサーチを並行処理することができるため，キャッシュミス時の外部メモリへのアクセス遅延を最小にすることができる。この1キロバイトの命令キャッシュのヒット率は約80%である。

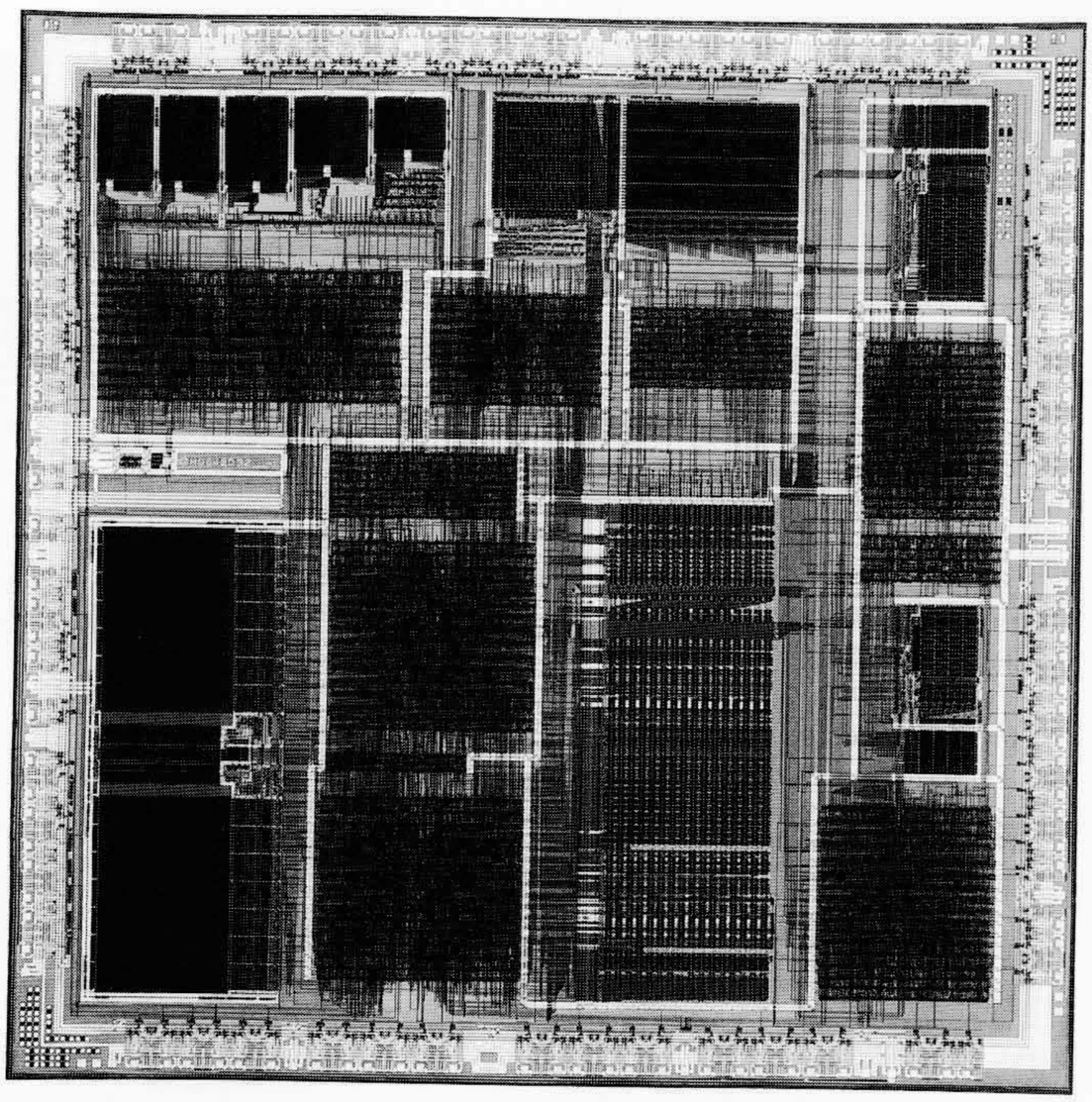


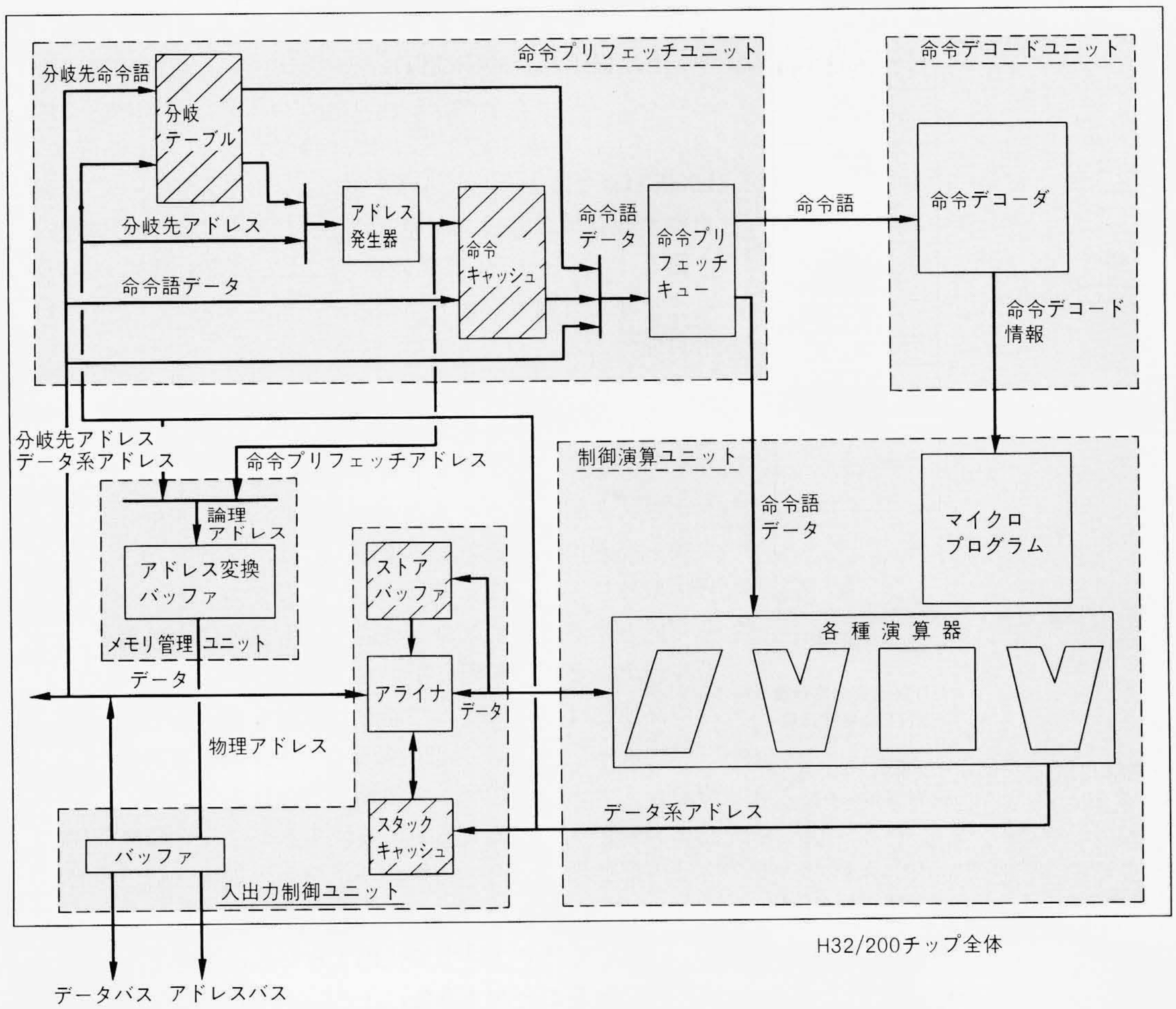
図2 H32/200のチップ写真 CMOS 1 μm Al 2層プロセスを採用し，内蔵トランジスタ数は73万個，チップサイズは14.0×14.1 mm²である。

入出力制御ユニットは，メモリをはじめチップ外のリソースとのデータや信号の交信を制御する部分である。このユニットには，スタックキャッシュとストアバッファを配備しており，スタックデータのキャッシングやストアサイクルの高速化が実現されている。スタックキャッシュは，スタックポインタ参照とフレームポインタ参照のアドレッシングモードを検出して，そのときのデータのキャッシングを行っておりスタックデータの高速読出しを可能にする。スタックキャッシュは，マルチプロセッサ環境下でもデータの整合性を心配する必要がないため(プロセッサは他のプロセッサのスタック領域を参照することはない。)，論理空間におくことができ，高速アクセスができる。H32は，128バイトのスタックキャッシュを内蔵しており，そのヒット率は約95%である。更に，全オペランド参照に占めるスタック参照の割合は40～50%と大きいため，スタックキャッシュでは比較的小さな容量と簡単なハードウェアによって，高いヒット率を得ることができる。このスタックキャッシュは，連想部に絶対アドレスを保持しており，プロセッサ自身が行うすべてのストアサイクルを監視し，ストアスルーで制御するため，データの整合性はハードウェアにより常に確保される。また，ストアサイクルはストアバッファを用いて制御されており，次の命令の実行とストア処理を同時に行うことができる。したがって，これによりスタックキャッシュのストアスルーの処理も高速実行される。

以上述べたように，H32には各種のキャッシュが分散配備されており，命令実行の高速化を実現している。これらのキャッシュにより，全フェッチサイクルのうち，55%以上を内部処理とすることができ，また外部へのメモリアクセス2クロックサイクルに対し，見掛け上の平均アクセスサイクルを1.5クロックに短縮している。

3 プログラミング性

H32の命令セットは，C言語などの高級言語の高速実行に適した各種の特徴を持っている。それらの特徴の一つは直交性である。命令セットの直交性とは，(1) 命令機能とオペランド位置の直交性，(2) オペランド位置とオペランドサイズの直交性，(3) 命令機能とレジスタセット間の直交性の三つの直交性を意味する。これにより例えば，命令機能とオペランドなど



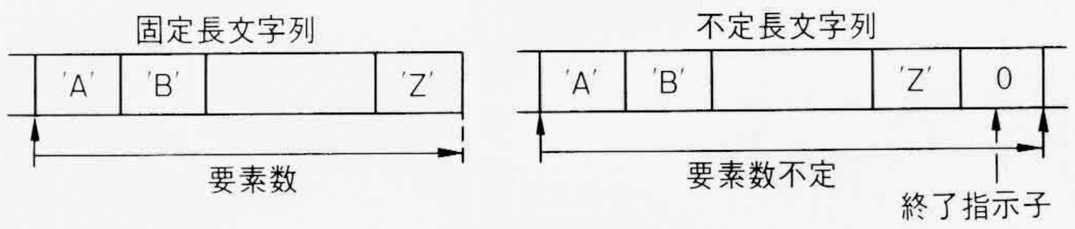
注：▨は分散キャッシュ
命令キャッシュ(1kバイト)
分岐テーブル(4本)
スタックキャッシュ
(128バイト)
ストアバッファ(1本)
アドレス変換バッファ
(32本)

図3　H32/200の内部ブロック図　全体を五つのブロックに分け，各ブロックを並行動作させる。処理のボトルネック点に分散的にキャッシュを配備し，性能向上を図った。

を別々に独立に考えればよく，使い勝手が向上する。また高級言語のコンパイラからみると，変数の配置位置(Cのストレージクラス)，変数のサイズにかかわりなく任意の演算(イコール，プラスイコール，マイナスイコールなど)が一様に一つの命令で実現できることになり，極めて便利である。

他の特徴としては，高級言語向きの命令を挙げることができる。例えば，(1) 文字列命令，(2) プロシジャコール命令などがある。H32の文字列命令は，文字数や終了中断条件をオペランドとして指定することができるため，固定長文字列ばかりでなく，不定長文字列や1バイト・2バイトコード混在文字列も扱うことができる。**図4**(a)にこれらの文字列の例を，(b)にH32での文字列表現を示す。ここで，要素数や終了指示子及び中断条件は命令の中のオペランドとして指定できるため，柔軟な文字列処理が可能となる。C言語の標準関数パッケージとしてサポートされている文字列処理関数群は，このH32の文字列命令によって，インライン展開が可能となり高速実行される。

他の高級言語向け命令として，サブルーチンコール命令がある。サブルーチンコールの高速処理もC言語などの高速実行のために必す(須)な機能である。特にC言語ではサブルーチン(関数)の再帰呼び出しが可能であり，また一般に利用されている。このためには個別の呼び出しに対応して，作業領域(自

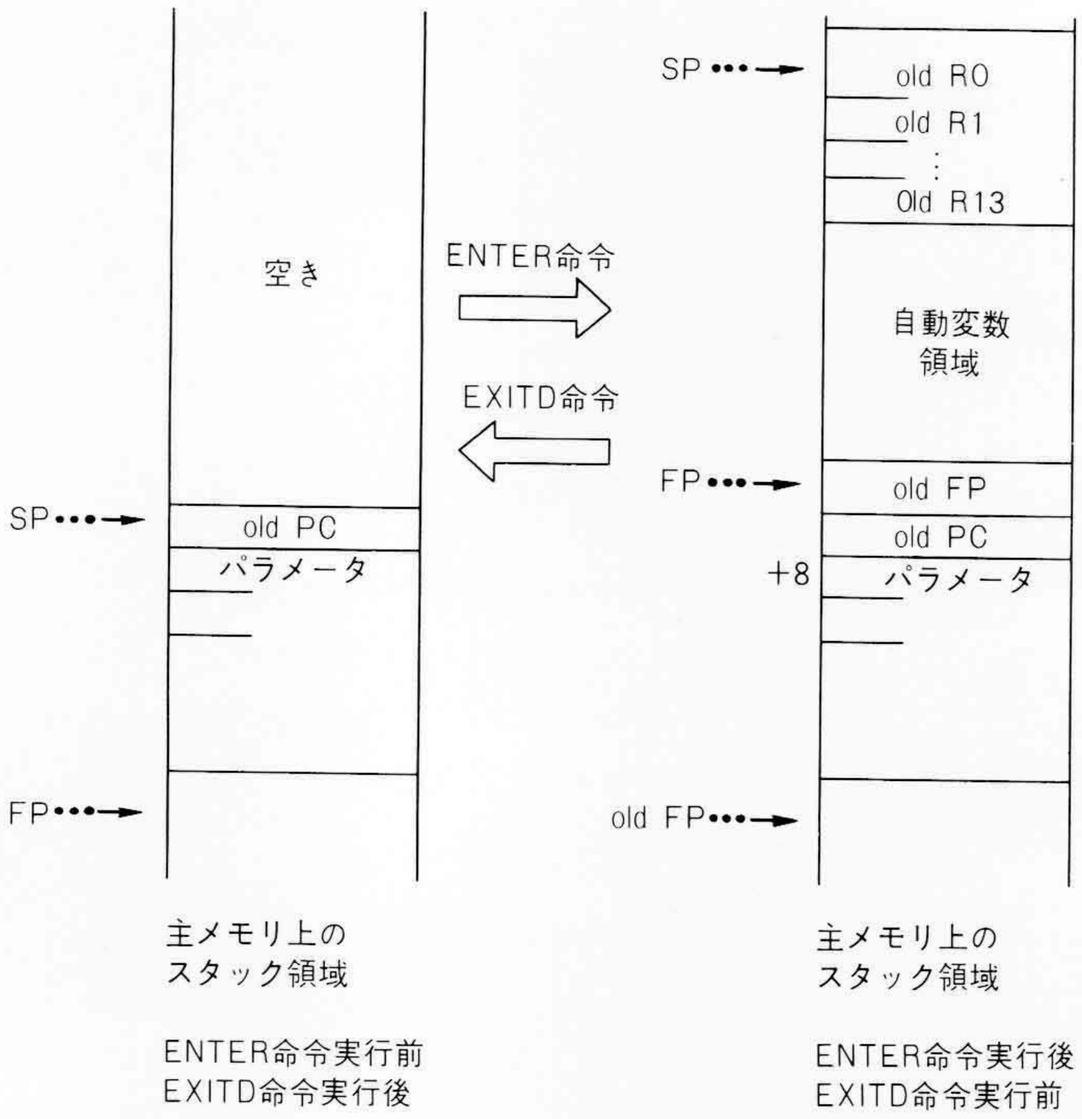


(a) 文字列の分類

(b) H32での文字列表現

注：KI, KO (この図で便宜的に決めた処理中断を示す記号である。)

図4　文字列の表現　文字列には固定長文字列，不定長文字列，及び1バイト，2バイトコード混在文字列があり，H32はこれらを効率的に扱うことができる。



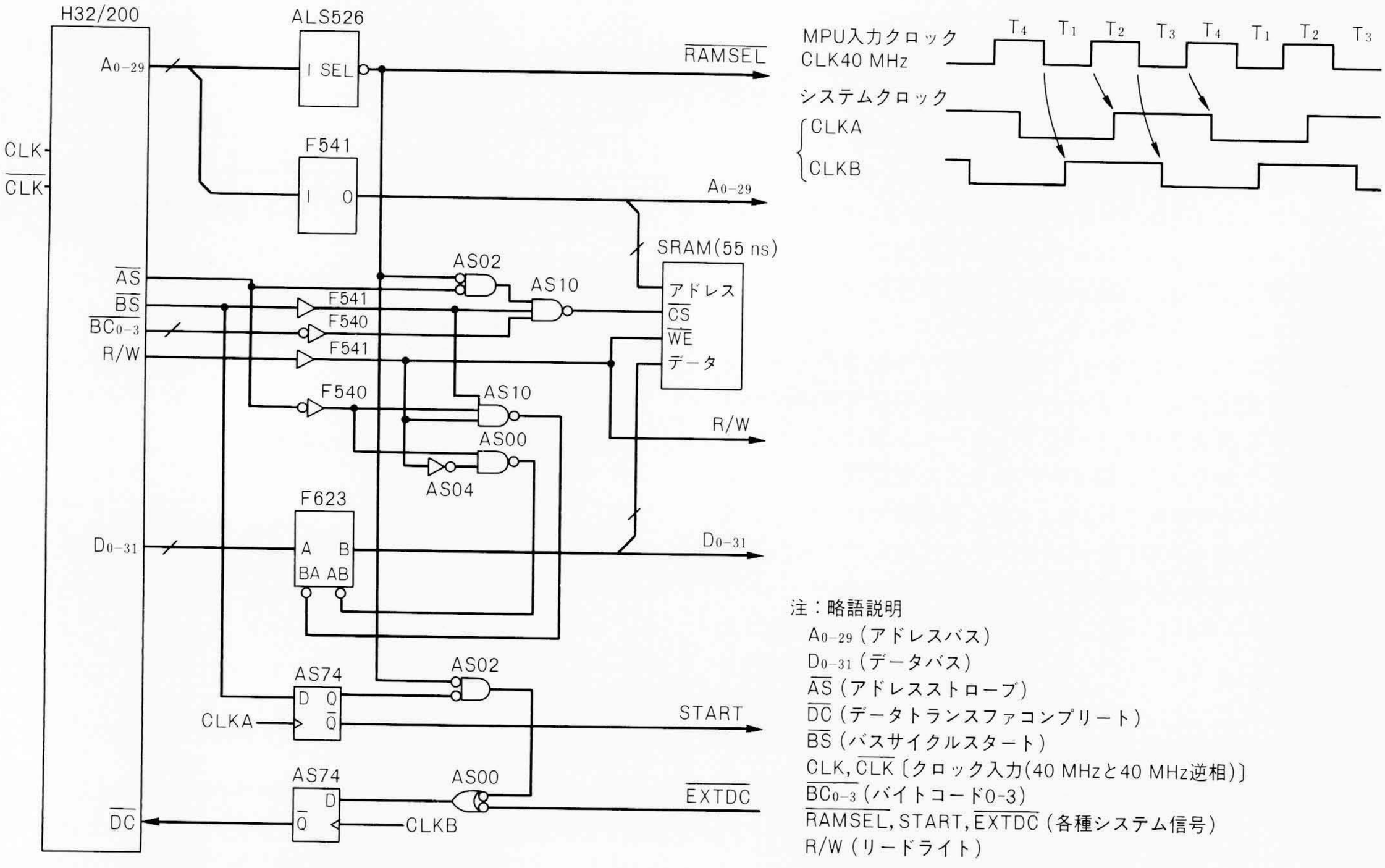
注：略語説明 SP（スタックポインタ），FP（フレームポインタ）
R0～R13（はん用レジスタ0～13），old（旧・サブルーチンコール実行前），PC（プログラムカウンタ）

図5 サブルーチンコール命令の処理 ENTER命令はスタックフレームを形成し，自動変数領域を確保する。また命令で指定されるレジスタリストに基づき，レジスタの退避を行う。EXITD命令はこの逆の動作を行う。

動変数領域）を確保できることが必要となる。H32はこの機能を，ENTER命令，EXITD命令で実現する。ENTER命令はスタックフレームを形成し，ローカル変数退避領域をこのスタック上に形成するとともに，内部レジスタを退避する。EXITD命令はこの逆の処理を実行し，内部レジスタの退避と自動変数領域の解放を高速に行う。これらの命令の処理内容を**図5**に示す。またC言語の場合にはスタックに積んだパラメータを呼んだ側の責任で除けるが，もちろんそのような対応も可能である。

また，H32はOSの高速実行に必要な高機能命令も持っている。これらはコンテキストスイッチ命令や，キュー操作命令などである。コンテキストスイッチ命令は，主メモリ上のコンテキスト制御ブロックとプロセッサ内部の制御レジスタの交換を高速に行う。キュー操作命令は，資源管理キューの挿入，取外し，検索などを行い，高速なタスクのディスパッチを可能とする。これらの高機能命令も標準的な処理の中で定型ルーチンとして頻繁に用いられており，したがってこの処理の高速化は，システム性能を左右する重要なものである。

以上述べたように，H32の命令セットは高級言語の高速実行や，システムプログラムで頻繁に使われる機能を命令としてマイクロプログラムで高速に処理する。これらの高機能な命令は内部処理の繰返し動作が多いため，単純命令の組合せより高速である。また，一つのまとまった処理単位を一つの命令機能としてプログラマに提供するため，プログラミング性を向上させることができる。



注：略語説明
A0-29（アドレスバス）
D0-31（データバス）
$\overline{AS}$（アドレスストローブ）
$\overline{DC}$（データトランスファコンプリート）
$\overline{BS}$（バスサイクルスタート）
CLK, $\overline{CLK}$〔クロック入力(40 MHzと40 MHz逆相)〕
$\overline{BC_{0-3}}$（バイトコード0-3）
$\overline{RAMSEL}$, START, $\overline{EXTDC}$（各種システム信号）
R/W（リードライト）

図6 H32/200 SRAMボード回路例 55 nsのアクセスタイムのSRAMを使った1ウエイトステート回路例を示す。

4　ハードウェア設計

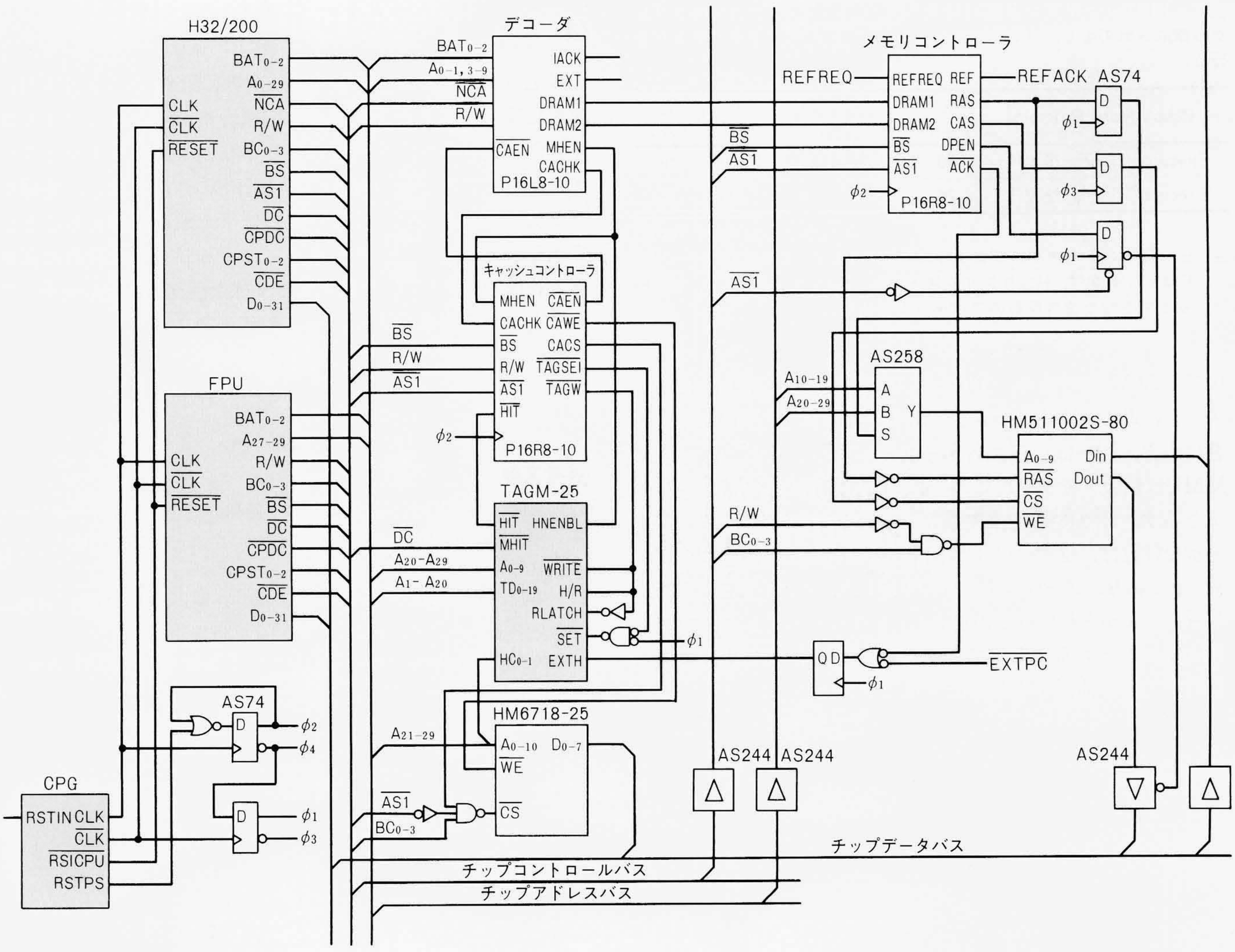
H32は高性能を得るため，2クロックの同期形バスサイクルをサポートしている。また，コストパフォーマンスの良いボード設計ができることを主眼に，バッファやグルーロジックを少なくするようバスタイミングが設定されている。**図6**は，SRAM(Static Random Access Memory)を使った基本的なボードの設計例である。CLKAとCLKBはMPUへの40 MHz入力クロックから作ったシステムクロックである。DC信号はバスサイクルの終了を示す入力信号であり，CLKBに同期して入力される。この例ではアクセスタイム55 nsのSRAMを使用しており，1ウエイトが必要である。

図7は，GMICROファミリーチップを使ったボードの設計例である。キャッシュシステムとしてキャッシュコントローラ，TAGM，SRAM及び主記憶にDRAM(Dynamic Random Access Memory)を使用した。本構成では，キャッシュに対し20 MHzノーウエイトアクセスが可能である。MPUとFPUは互いに同一クロックで同期動作を行うことにより性能向上を図っているが，ファミリーチップのCPGを用いることでその同期動作が簡単に可能となる。デコーダ，メモリコントローラ，キャッシュコントローラなどにはPAL(Programmable Array Logic)を用いた。このように，H32ファミリーチップを使用すれば，簡単に高性能システムを実現することができる。

5　性能評価結果

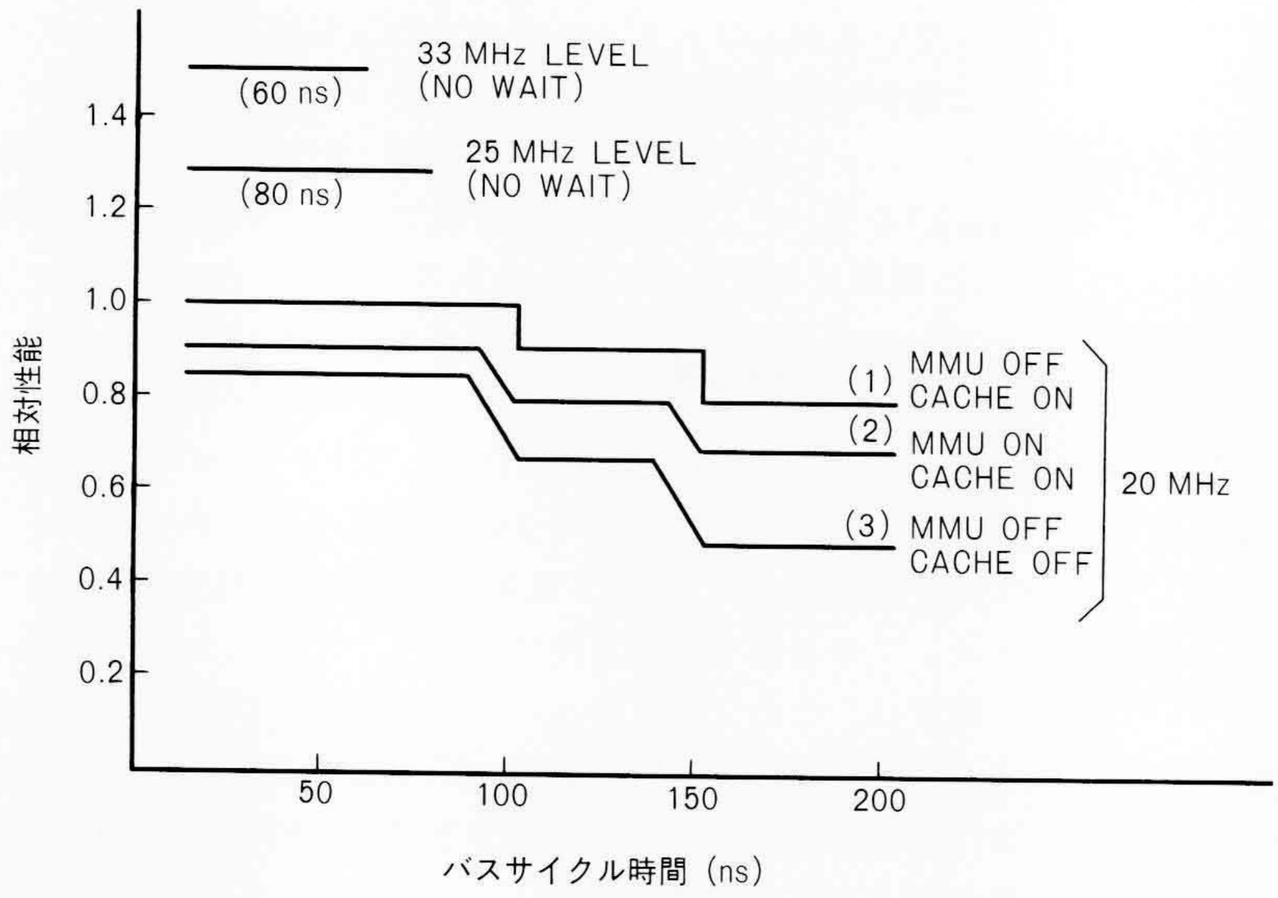
H32/200の性能評価を行うため，EDNベンチマークプログラムを用いた。このプログラムは米国のカーネギーメロン大学で作られ，主にCPUのシステム関連性能を測定するもので，アセンブリ言語で記述されている[3]。

表1は，このプログラムの中から，よく用いられる五つのタイプについて(E，F，H，I，K)H32の実行時間を測定したものである。同表で20 MHzの性能は，7 MIPSに相当する(他社相対比較[3])。**図8**はいろいろな使用条件下での性能を20 MHzの場合を基準にして表したものである。縦軸は相対性能，横軸はバスサイクル時間を表す。なお，これらはゲートレベルのコンピュータシミュレーションから得たものである。同



注：□（GMICROファミリーチップ）

図7　H32/200ファミリーチップ回路構成例　　H32/200，FPU，CPG，TAGMの回路構成例を示す。デコーダ，キャッシュコントローラ，メモリコントローラなどにはPALを利用した。主メモリにはDRAMを用いた。



注：略語説明
MMU (Memory Management Unit)
CACHE (内蔵キャッシュ)
NO WAIT (メモリのウエイトステートなし，最も性能が高い。)

図8 各種の使用環境下におけるH32/200の性能 20 MHzノーウエイトステートの性能を基準とし，各種条件の性能を測定した。内蔵キャッシュの効果により，メモリにウエイトステートを挿入しても約10%しか性能が低下しない。

表I EDNベンチマーク実行時間 EDNは主に五つのプログラムから構成されており，リンクリスト，ビットテスト，文字サーチなどを行う。

Bench Mark Program	E (μs)	F (μs)	H (μs)	I (μs)	K (μs)
Execution Times 20 MHz	30	13	17	2,438	48
Execution Times 25 MHz	24	10	14	1,950	38

(No Wait State)

注：E～K(ベンチマークのプログラム名称[3])である。Eは文字列サーチ，Fはビット操作，Hはリンクリスト挿入，Iはクイックソート，Kはビットマトリックス反転のプログラムである。)

図で，20 MHzの場合，100 nsはノーウエイト，150 nsは1ウエイト，200 nsは2ウエイトに相当する。また，20 MHzの場合につき，(1)～(3)の三つのケースをプロットした。ここで，MMUは内蔵メモリ管理ユニット，CACHEは全内蔵キャッシュを示す。(1)と(3)の差はキャッシュの効果を表す。キャッシュがなければ，2ウエイト(200 ns)時の性能は0.5となり，キャッシュあり，ノーウエイト時の性能1.0の半分となる。また，キャッシュがあれば〔(1)の場合〕，1ウエイトごとの性能低下を10%にとどめることができるため，安価なメモリシステムを用いても性能低下を最小にすることができる。

6 結 言

以上述べたように，H32/200は高級言語やOSの高速実行に適したアーキテクチャを持ち，内蔵分散キャッシュにより高性能化と使いやすさを両立させた本格的な32ビットマイクロプロセッサである。20 MHzで7 MIPSの性能を示し，安価なメモリシステムに対しても性能の低下を最小に抑えることができる。また，ファミリーチップによるシステム設計の容易さと各種のプロセッサが提供する多様な用途は，GMICROチップファミリーの特長である。

参考文献

1) 川崎，外：TRON仕様に基づく最初の32ビットマイクロプロセッサGMICRO/200，日経エレクトロニクス，p.159(1988年1月25日号)
2) 古沢，外：32ビットのバス幅に適した周辺LSIを開発，日経エレクトロニクス，p.175(1988年1月25日号)
3) R.D. Grappel, et al.：A tale of four uPs, EDN Apr., p.179(1981)