

# 通信制御プロセッサ

## Network Processing Units

堀田厚生\* Atsuo Hotta

馬場志朗\*\* Shirô Baba

調歩、バイト、ビット同期が可能な通信用シリアルチャネルと調歩用シリアルチャネルとを各1チャンネル持ち、更にプロトコル処理用の8ビットCPU1チャンネル、チェインブロック転送機能付きDMACを2チャンネル、タイマ2チャンネルなどを内蔵した通信制御プロセッサLSI、NPUを開発した。最大伝送速度は7.1 Mbps、パッケージは84ピンPLCCである。従来の通信用LSIに比べて、CPU及びDMACが内蔵されているために、装置に必要なLSI数を大幅に減少できるうえに高速化が可能となり、またプログラム作成が容易になった。本LSIは、パーソナルコンピュータ通信、ホストワークステーション通信、ファクシミリ、ISDN、機器通信など広く応用できる。

### 1 緒言

デジタル通信の急速な発展に伴い、ワークステーション、パーソナルコンピュータをはじめとして、機器の通信機能の強化が重要課題となっている。それに伴い、高度の通信用LSIへの要求が高まっている。これらの期待にこたえるべく開発を行ったのが、NPU(Network Processing Unit)である。NPUの3大特長は次のとおりである。

- (1) 通信用シリアル・パラレル信号変換器2チャンネルに加えて、プロトコル処理用の8ビットCPU(Central Processing Unit)を内蔵している。
- (2) チェインブロック転送可能なDMAC(Direct Memory Access Controller)を2チャンネル内蔵している。
- (3) 送受信するシリアル信号は最大7.1 Mbpsと高速である。

従来の通信LSIは調歩同期、バイト同期及びビット同期の3種の通信モードの一部あるいはすべてをサポートするシリアル・パラレル信号変換器を2チャンネル内蔵しているものが大部分である。これらの通信LSIは、プロトコル処理を行うCPUとともに用いられるのが通常である。NPUではこの点に着目し、2チャンネルの信号変換器に加えて、8ビットCPUを内蔵した。この結果、装置に必要なLSI数が減り、装置のコストダウンに役立つとともに、内蔵CPUを用いてユーザーが好みのプロトコル処理をプログラムすることが可能となった。CPUとしては、Z80<sup>\*1)</sup>上位コンパチブルなHD64180を採用しているため、豊富な既存ソフトウェアを有効に活用することができる。

ビット同期モードでは、送受信するデータをメモリ上の複数の領域へ送ったり、取り出したりする。このとき、内蔵DMACのチェインブロック転送機能を用いると高速に転送が行え、

かつプログラムも容易になる。

NPUのシリアル・パラレル信号変換器は最大7.1 Mbpsの転送速度を持ち、6.312 Mbpsの高速デジタル回線に対応可能である。

NPUの応用分野を図1に示す。パーソナルコンピュータ間通信、ホストワークステーション間通信、ファクシミリ、ISDN(Integrated Services Digital Network)のほかに機器内通信など広い応用範囲がある。図2に応用例の幾つかを示す。図3はパーソナルコンピュータの通信用ボードに応用した場合を示す。同図の点線で示す部分は、従来、4個のIC〔CPU, DMAC, CTC(Counter/Timer Circuit), SIO(Serial Input/Output)〕で構成されていたが、NPU1個で置き換えることができる。NPUのCPUはZ80上位コンパチブルであり、既存ソフトウェアを小変更することで流用が可能である。NPUの効果を示す代表的な例である。

### 2 機能概要

#### 2.1 ブロック図

NPUのブロック図を図4に、機能概要を表1に示す。

NPUは、シリアル・パラレル信号変換器を2チャンネル、CPUを1チャンネル、DMACを2チャンネル、タイマを2チャンネル、割込みコントローラ、バスウエイトコントローラ及びチップセレクトコントローラを各1チャンネルを1チップに集積している。

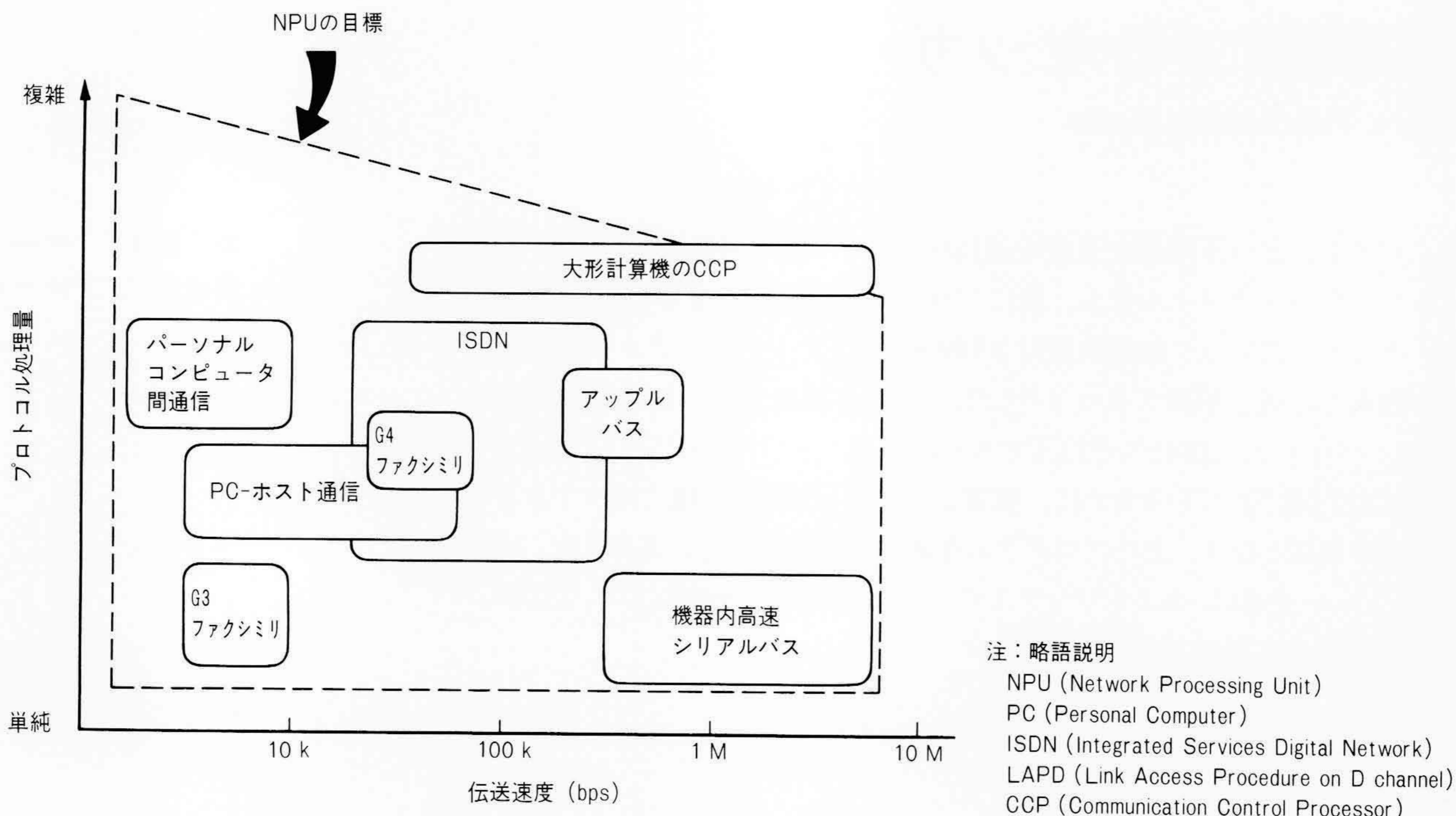
#### 2.2 シリアル・パラレル信号変換器

内蔵している変換器のうち、1チャンネルは調歩同期だけを扱うASCI(Asynchronous Serial Communication Interface)である。他の1チャンネルは、MSCI(Multi-protocol Serial Communication Interface)で、調歩同期、バイト同期及びビ

\*1) Z80: ザイログ社の登録商標である。

\* 日立製作所デバイス開発センタ \*\* 日立製作所武蔵工場





注：略語説明  
 NPU (Network Processing Unit)  
 PC (Personal Computer)  
 ISDN (Integrated Services Digital Network)  
 LAPD (Link Access Procedure on D channel)  
 CCP (Communication Control Processor)

図1 NPUの応用分野 NPUはパーソナルコンピュータ間通信，ホストワークステーション間通信，ファクシミリ，ISDN及び機器通信など広く応用できる。



注：略語説明 DMAC (Direct Memory Access Controller), LAN (Local Area Network), NC (Numerical Controller)

図2 NPUの応用例 NPUはファクシミリ，LAN端末，パーソナルコンピュータやNC機器などの応用に適した機能を内蔵している。

ット同期の3種の通信モードに対応可能である。

MSCIは送受信同時動作可能で全二重である。バイト及びビット同期モードでは，最大7.1 Mbpsの転送速度に反応可能である。また，デジタルPLL(Phase Locked Loop)を内蔵しており，クロック抽出が可能である。ノイズサプレッ回路，ボーレートゼネレータも内蔵している。

ASCIIは全二重であり，調歩同期に加えてクロック同期モードも可能である。ボーレートゼネレータを内蔵している。

### 2.3 CPU

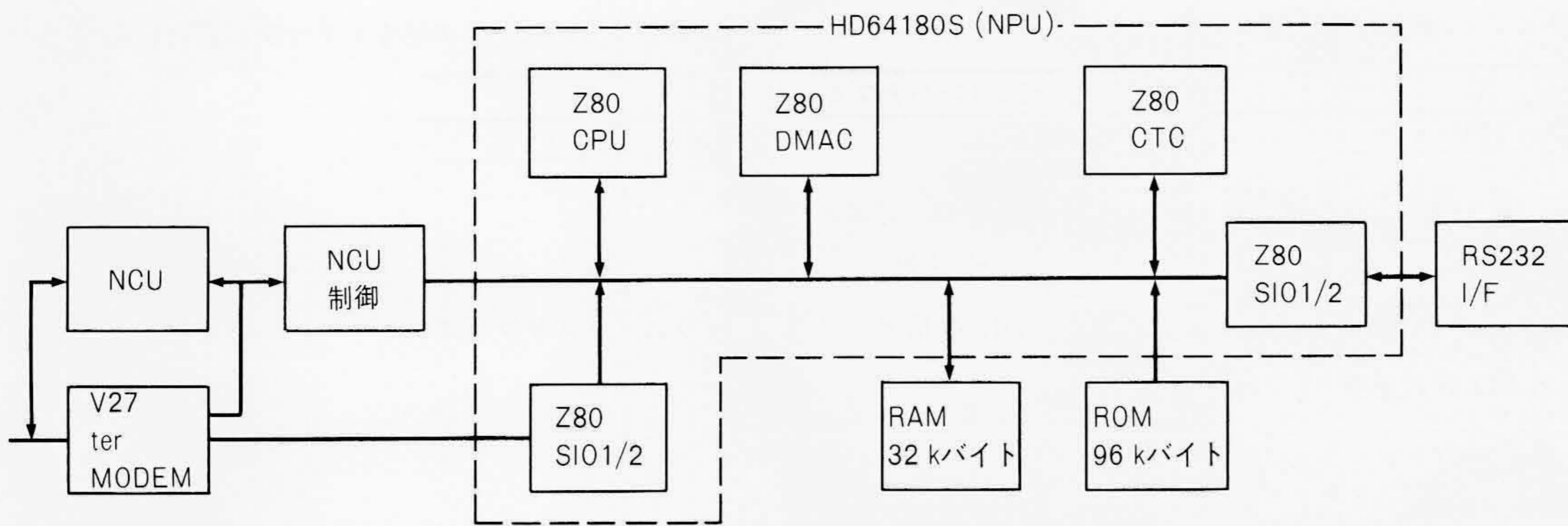
8ビットCPUは，プロトコル処理用のローカルプロセッサとして用いるか，あるいはPOS(Point of Sales)や機器内通信

の応用例のように，プロトコル処理に加えて，データ処理及び制御をも内蔵CPU1個で行うことも可能である。CPUがアクセス可能なアドレス空間は1Mバイトである。

### 2.4 DMAC

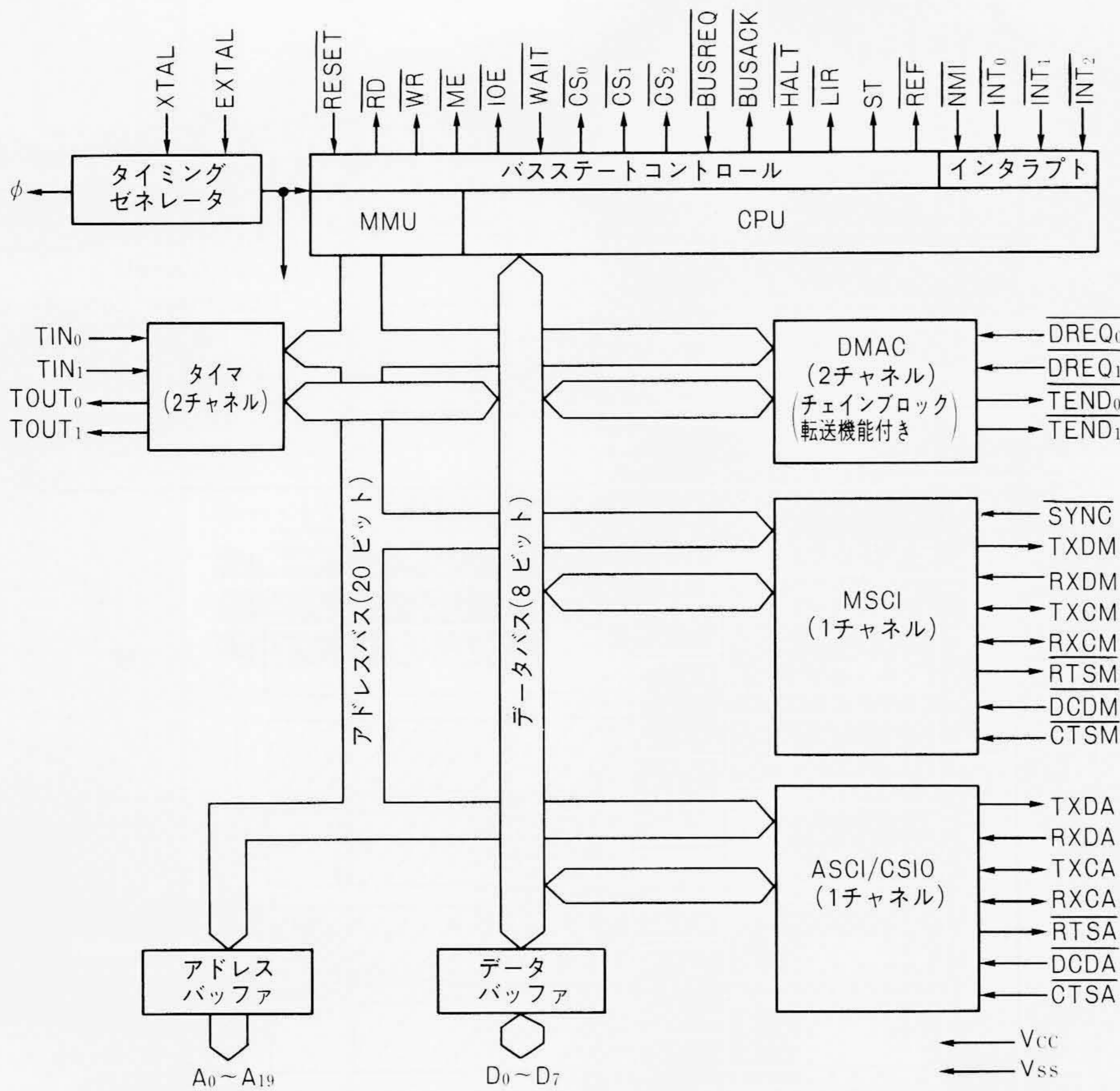
DMACは，MSCIが全二重動作する場合に対応できるように2チャンネル集積した。本DMACの特長は，MSCIとメモリ間でチェインブロック転送が可能なことである。本機能は通信のプロトコル処理を，簡単化及び高速化するのに有効である。図5を用いて，機能を説明する。送受信するデータはフレームと呼ばれる単位で構成されており，データ長は必ずしも等しくない。複数のフレームは，メモリ上の固定長の領域(バッ





注：略語説明  
 NCU (Network Control Unit)  
 MODEM (Modulator-Demodulator)  
 SIO (Serial Input/Output)  
 CTC (Counter/Timer Circuit)  
 I/F (Interface)  
 RAM (Random Access Memory)  
 ROM (Read Only Memory)

図3 NPUのパーソナルコンピュータ通信への応用 NPUをパーソナルコンピュータ通信ボードに用いると5個のICを1個のNPUで置き換えることができる。



注：略語説明  
 CPU (Central Processing Unit)  
 MMU (Memory Management Unit)  
 MSCI (Multi-protocol Serial Communication Interface)  
 ASCI (Asynchronous Serial Communication Interface)  
 CSIO (Clocked Serial Input/Output)

図4 ブロック図 NPUは、シリアル・パラレル信号変換器を2チャンネル、CPUを1チャンネル、DMACを2チャンネル、タイマを2チャンネル、その他を1チップに集積している。

ファと呼ぶ。)に順番に格納する。バッファのアドレス、順序に関する情報、1フレームが複数のバッファに格納されているかいないかの情報などを保持しているメモリ上の領域をディスクリプタと呼んでいる。ディスクリプタを使うことによって、メモリ上の任意の場所にフレームを配置することが可能となる。したがって、DMAはフレームごとのデータをメモリ上にリード・ライトする際に、ディスクリプタの内容を読みながら、あるいは必要データを書き込みながら、リード・ライトを行わなければならない。この機能をチェインブロック転送と呼んでいる。従来のDMACでは、本機能がなかったためにCPUがディスクリプタのリード・ライトを行わなければならない、処理が複雑となり、かつ高速化の妨げとなっていた。

なお、本DMACは、通常ブロック転送も可能である。

### 2.5 その他の機能

内蔵のタイマは、通信制御の際の計時を行うのに有効である。

NPUを低速から高速の通信まで、広い速度範囲に対応させるため、種々の速度のメモリを使用可能とした。バスウェイトコントローラを用いて、メモリアクセス時に任意のサイクル数のウェイトステート数を挿入することによって、メモリへのアクセス時間を可変にできる。また、安価で大容量のDRAM (Dynamic Random Access Memory)を使用したとき、外付けのリフレッシュ回路を不要とするため、リフレッシュコントローラを内蔵した。



表1 機能概要 NPUは8ビットCPU, 通信用シリアル・チャンネル, チェインブロック転送機能付きDMAC, その他を1チップに集積している。

CPU	HD64180Zコンパチブル
アドレス空間(MMU内蔵)	1Mバイト
MSCI	全二重1チャンネル内蔵 調歩同期 バイト同期(モノシンク, バイシンク, 外部同期) ビット同期(HDLCループ)が選択可能 内蔵デジタルPLLによるクロック抽出, 受信データ・クロックのノイズサプレス ポーレートゼネレータ内蔵 最大転送速度: 7.1 Mbps
ASCI/CSIO	全二重1チャンネル内蔵 調歩同期・クロック同期が選択可能 ポーレートゼネレータ内蔵
DMAC	2チャンネル内蔵 MSCI~メモリ間のチェインブロック転送が可能 メモリ~メモリ, メモリ~I/O(メモリマップドI/O)間のブロック転送が可能
タイマ	2チャンネル内蔵 8ビットリロード方式アップカウンタ 出力波形生成, 外部イベントカウントが可能
割り込み	4本の外部割り込み端子 15種類の内部割り込み要因
リフレッシュコントローラ	プログラマブル非同期リフレッシュ 12ビットのリフレッシュアドレス
バスウェイトコントローラ	外部端子による制御 内部レジスタによる制御
チップセレクトコントローラ	3本のチップセレクト端子
最大動作周波数	10 MHz
パッケージ	84ピンPLCC(CP-84)

注: 略語説明  
 CPU(Central Processing Unit)  
 HDLC(High-level Data Link Control)  
 PLL(Phase Locked Loop)  
 I/O(Input/Output)  
 PLCC(Plastic Leadless Chip Carrier)

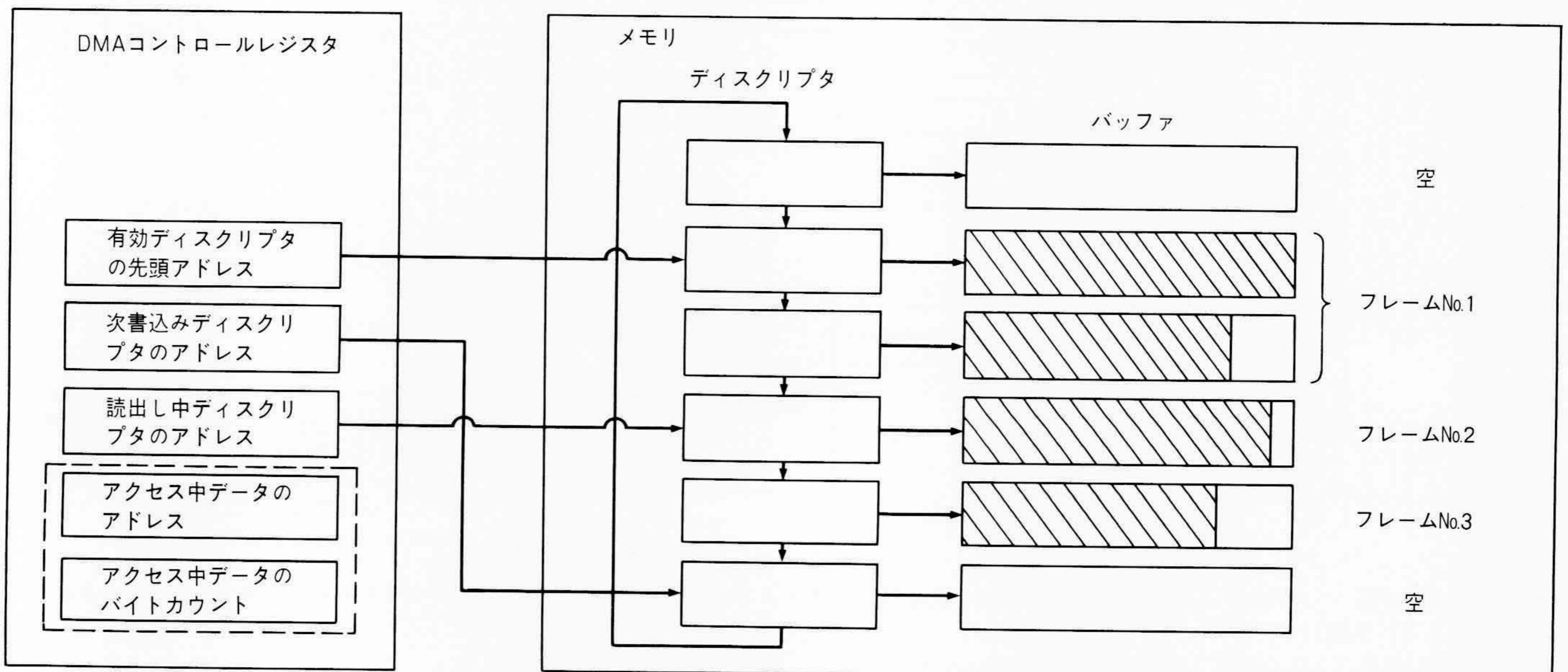


図5 チェインブロック転送 フレームはディスクリプタ付きのバッファに保持される。DMACはCPUの助けなしに、フレームをバッファにロード・ライトする。

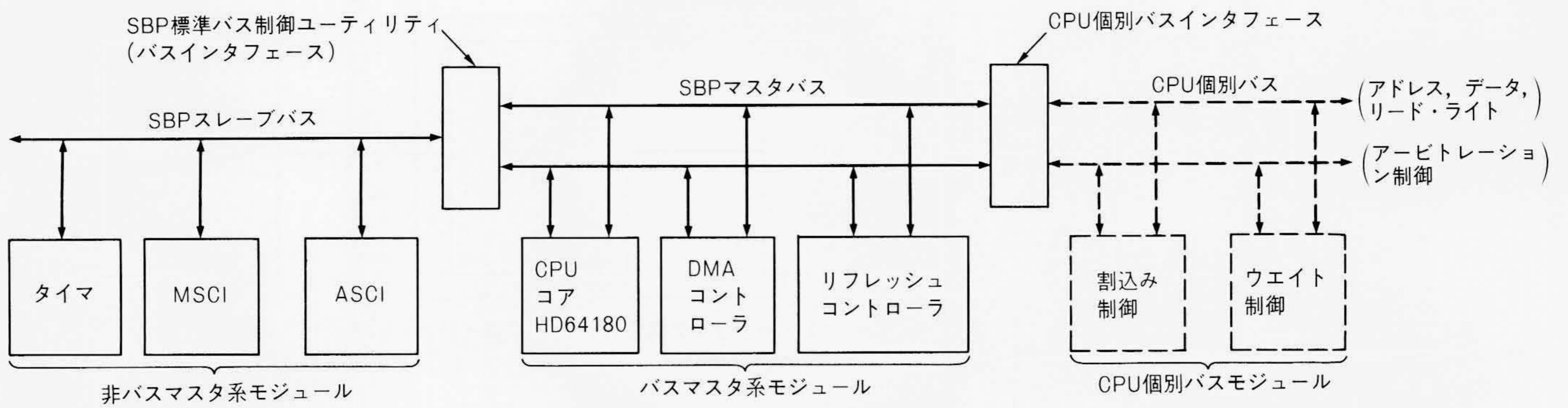
### 3 SBP

NPUは表1に示すように、数種類の機能的なまとまったブロックから成っている。これらのブロックは、SBP(Silicon Back Plane)と呼ぶシリコンチップ上のバスに接続されている。その様子を図6に示す。SBPバスは、マスタバスとスレーブバスの2種類に分かれている。マスタバスには、CPU, DMAC及びリフレッシュコントローラなどバスマスタとなり得るモジュールを接続する。スレーブバスには、MSCI, ASCI, タイマな

どバスマスタとはならないモジュールを接続する。SBPはLSI内部にだけ有効で、LSI外部に対しては、個別のCPUバス(NPUの場合はHD64180バス)を置くことができる。

このように、LSI内部でSBPという共通のバス(8ビット及び16ビットの対応可)を用いることによって、開発したモジュールのインタフェースが統一され、幾つかのモジュールを着脱することによって、種々のLSIに展開が可能となる。でき上がったモジュールを組み合わせるだけであれば、短期間に開発が可能であり、ASIC(Application Specific Integrated





注：略語説明 SBP (Silicon Back Plane), I/O (Input/Output), DMA (Direct Memory Access)

図6 SBPの構成 種々のモジュールを着脱し、短期間にASICを開発できる。

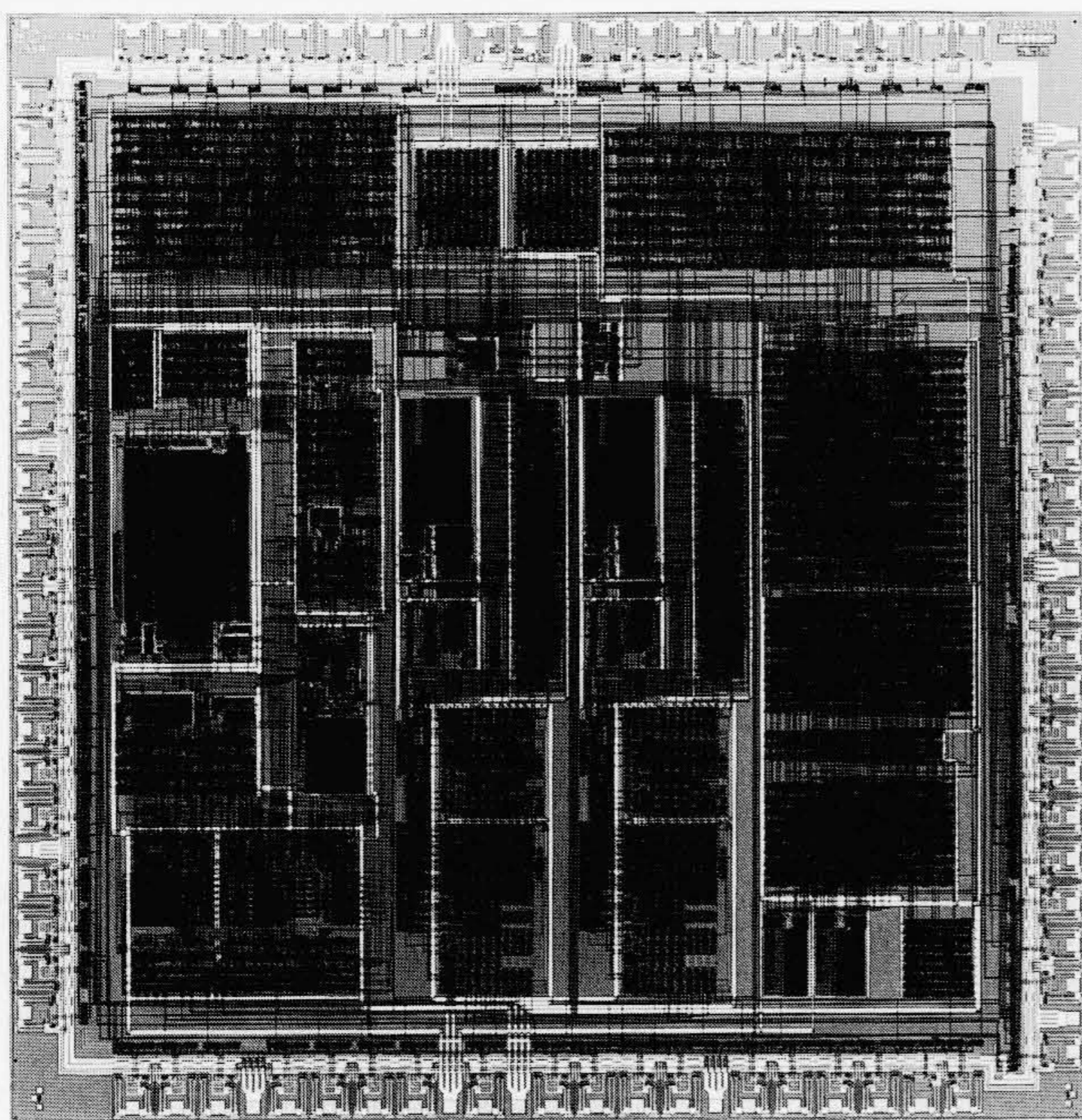


図7 NPUのチップ写真 シリアルチャンネル、CPU、DMAC、タイマなどで構成されている。

Circuit)に有効な手法である。なお、NPUのCPUを16ビットCPUに入れ替えることによって、16ビットへの機能向上が容易に行える。

#### 4 プロセス及びパッケージ

使用プロセスは、1.3 μm CMOS (Complementary Metal Oxide Semiconductor) 技術であり、アルミ2層配線を用いている。チップ写真を図7に示す。パッケージは84ピンPLCC (Plastic Leadless Chip Carrier) である。今後、他のパッケージにも展開する予定である。外観を図8に示す。

#### 5 製品系列

NPUは通信用LSIであるとともに、HD64180ワンチップマイクロコンピュータファミリーの一員でもある。HD64180ファミリーを図9に示す。HD64180ワンチップマイクロコンピュータが、R0からR1、Z版へと高性能化、高機能化されている。Z版を基に通信機能の強化を行ったのがNPUである。ZTAT<sup>※2)</sup> (Zero Turn-Around Time) を目指して、PROM (Program-

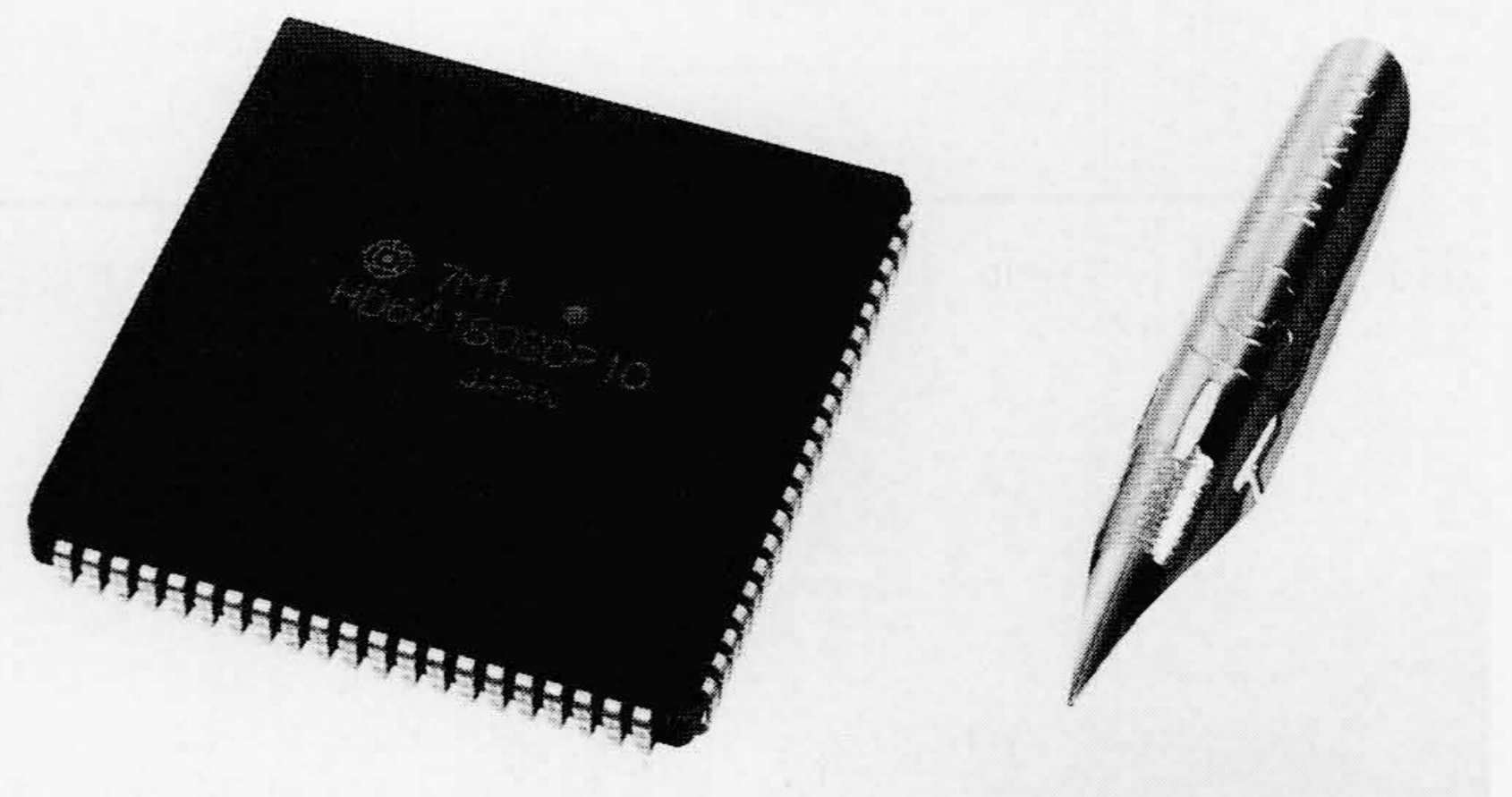
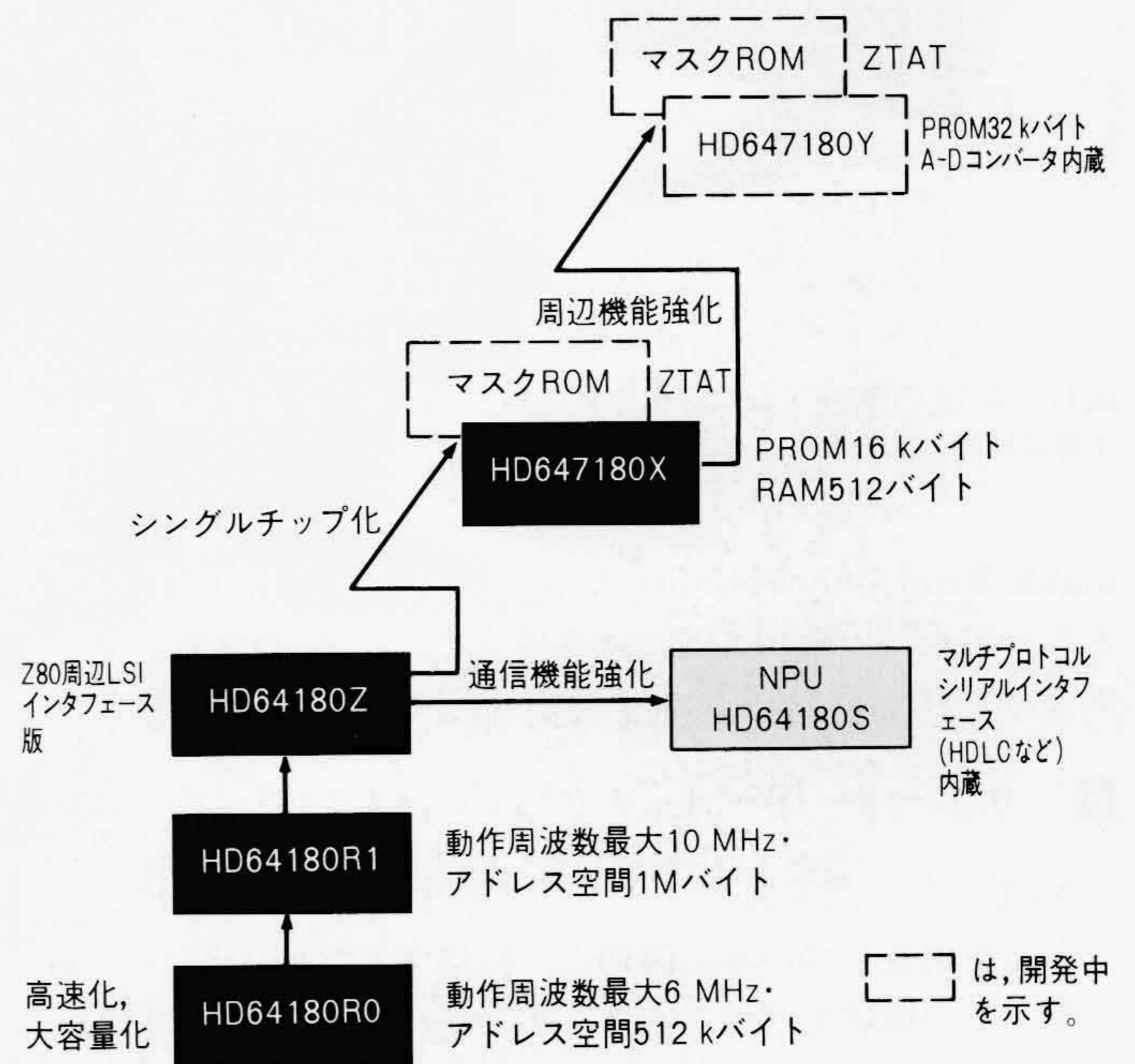


図8 NPUの外観 84ピンPLCCに実装されている。

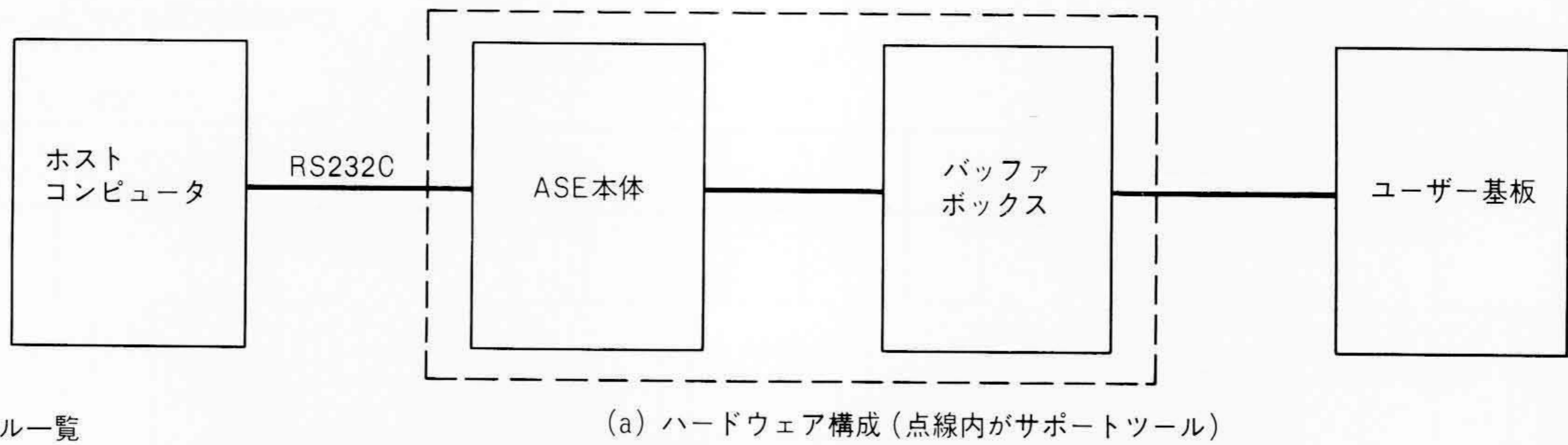


注：略語説明 HDLC (High-level Data Link Control)  
ZTAT (Zero Turn-Around Time)  
PROM (Programmable Read Only Memory)  
A-D (Analog-Digital)

図9 HD64180ファミリー展開 NPUは通信用LSIであるが、HD64180マイクロコンピュータファミリーの一員でもある。

※2) ZTAT：日立製作所の登録商標である。





区分	内容	備考
ハードウェア	ASE本体	ASE本体はHD64180のものを流用可能である。バッファボックスだけNPU用のものに変更する。
	バッファボックス	
ソフトウェア	アセンブラ	DEC社VAXシリーズで使用可能である。
	Cコンパイラ	

注：略語説明 ASE (Adaptive System Evaluater)

図10 サポートツール サポートツールを用いると開発中の基板にNPUを実装したと同様の動作をさせることができ、また、その動作解析を行うことができる。



図11 ASEの外観 ASEは本体とバッファボックスから成っている。本体はHD64180のものを流用できる。

able Read Only Memory)を内蔵したのが、HD647180Xである。現在、内蔵PROMの容量を拡大し、A-Dコンバータを内蔵したHD647180Yを開発中である。

## 6 サポート ツール

NPUを使った装置のデバッグを容易にするため、サポートツールを用意している。図10に、提供するサポートツールの一覧とその構成を示す。本体とバッファボックスの外観写真を図11に示す。ハードウェアとしては、ASE(Adaptive System Evaluater)本体とバッファボックスから成る。ASE本体は、動作解析をするハードウェアと解析用の内蔵ソフトから成っ

ている。解析プログラムのロードは、ホストコンピュータを通じて行う。バッファボックスにはNPUそのものが内蔵されている。これから出る端子をユーザーが開発中のプリント基板上のソケットに挿入することによって、基板にNPUを実装したときと同じ動作をリアルタイムで行わせることができ、その動作は、ASE本体によって監視し、解析できる。ASE本体は、HD64180と同じものを用いるので、既にHD64180用のASEを入手していれば、バッファボックスだけを新たに購入すればよい。

プログラム開発のために、アセンブラやCコンパイラなどのクロスソフトウェアを提供している。

## 7 結 言

パーソナルコンピュータ、ワークステーション及び小形計算機の通信機能強化に対応する通信用LSIとしてNPUの開発を行った。通信用シリアル・パラレル信号変換器に加えて、8ビットCPUを内蔵しているので、機器のコストダウン及び小形化に役立つとともに、ユーザーが好みのプロトコル処理を行わせることが可能となった。また、チェインブロック転送機能付きDMACを内蔵することによって、必要LSI数を減少させるとともに、プロトコルプログラムの簡単化、処理の高速化が可能となった。通信チャンネルは最大7.1 Mbpsであり、6.312 Mbpsの高速デジタル回線に対応可能である。このような機能・性能を持ったNPUの応用範囲を広げることが今後の課題である。