

シングルチップモデム

Single Chip MODEM

パーソナルコンピュータ、ファクシミリなど情報機器の普及に伴い、これらの機器間を相互に接続する情報通信の重要性が増大している。この中でモデムを利用したアナログ網通信の占める比重は依然として高く、モデムの小形化、低価格化への要求が強い。

このたび、この要求にこたえるため1.3 μ m CMOS技術を用いて伝送速度2.4 kbpsから9.6 kbpsの中～高速モデムを、1チップで実現した。日立製作所独自のオーバーサンプリング形高精度A-D変換器、D-A変換器と高性能ディジタル信号処理プロセッサを同一チップに搭載し、従来アナログ回路によって実現していた各種フィルタ処理などを大幅にディジタル信号処理化し、信号処理プロセッサのプログラミングによって各種の中～高速モデムの実現を可能にした。

伊藤恒夫*	Tsuneo Itô
小嶋康行**	Yasuyuki Kojima
萩原吉宗***	Yoshimune Hagiwara
岡本貞二****	Teiji Okamoto
田巻正彦*****	Masahiko Tamaki
高岡和彦*****	Kazuhiko Takaoka
今澤光二*****	Kouji Imazawa
太田意人*****	Yoshito Ôta

1 緒 言

近年、パーソナルコンピュータ、ファクシミリなどの各種情報機器が急速に普及するのに伴いこれらの機器を相互に接続する情報通信ネットワークも急速な発達を遂げつつある。高速ディジタル回線サービス、公衆網ISDN (Integrated Services Digital Network)の実用化はこれらの傾向に拍車をかけているが、アナログ網は依然として重要な位置を占めている。すなわち、ファクシミリやパーソナルコンピュータから出力される信号は、本来はディジタル信号であるため、アナログ網を介した通信を行うためにはディジタル信号とアナログ信号との変換を行うモデムが必要になる。

モデムは位相変調、直交振幅変調などの高度な変調技術を用いて狭い音声通信帯域での高速ディジタル伝送を実現するもので、高精度のフィルタ、自動等化器などの複雑な信号処理回路から構成される。そのため、モデムの低価格化、小形化に対する市場ニーズは極めて強いにもかかわらず、現在までに1チップLSI化が実現しているのは1.2 kbps以下の低速モデムに限られており、2.4～9.6 kbpsの中・高速モデムの領域では3～6チップによる構成が一般的である。

このたび日立製作所は、この中～高速モデムを最新の1.3 μ m CMOS (Complementary Metal Oxide Semiconductor) 技術を用いて1チップLSIで実現した。すなわち、オーバーサンプリング形高精度A-D変換器、D-A変換器と高性能ディジタル信号処理プロセッサを同一チップ上に搭載し、従来アナログ回路によって実現していた各種フィルタ、自動利得制御回路などを大幅にディジタル信号処理化し、信号処理プロセッサのプログラミングによって各種の中～高速モデムの実現を可能にした。

2 製品概要

HD81900は、表1に示すようにファクシミリ規格のGⅢ、GⅡに対応可能な1チップモデムである。本LSIには、ファクシミリ通信に必要な変復調回路、送受信フィルタなどを内蔵しており、本LSIを用いることによってGⅢファクシミリ用の伝送部分が容易に構成できる。

HD81900を用いた端末システムの伝送部分のシステム構成を図1に示す。送信時はディジタルのSD(送信データ)をV.24インタフェースを通じて与えると、ST2(内部送信タイミング2)に同期して取り込み、変調してアナログ信号として出力する。これをトランスミッタによって電力増幅して、ライントランスを通じて電話回線に送出する。受信時は、ライントランスを経てレシーバで受けてから本LSIに入力し、アナログ信号から復調によってディジタルRD(受信データ)としてRT(受信タイミング)に同期して出力する。

ファクシミリ用モデムの機能は多様であり、モデム動作に先立ってこれらの機能を実現するためのパラメータを与える必要があるが、本LSIでは内蔵の制御レジスタに、ファクシミリ本体からホストバスインタフェースを通じて容易に与えることができる。制御レジスタには、変復調機能やパラメータを設定するレジスタのほかに、外部機器を制御するためのはん(汎)用入出力レジスタを内蔵しており、この機能を用いて、図1に示すようにNCU(網制御ユニット)を制御することができる。

ファクシミリ用のモデムには、データ通信にはない機能も要求される。例えばGⅢファクシミリの受信モードでは、画信号を受信する高速チャンネル(V.29やV.27 terモード)のほかに手順信号を受信する低速チャンネル(T.30モード)の同時受信が

* 日立製作所デバイス開発センター ** 日立製作所日立研究所 *** 日立製作所中央研究所 **** 日立製作所家電研究所 工学博士
***** 日立製作所神奈川工場 ***** 日立製作所戸塚工場 ***** 日立製作所武蔵工場 ***** 日立電子株式会社小金井工場

表1 ファクシミリ通信用1チップモデムHD81900の変復調機能 HD81900はファクシミリ用に設計されており、このほか手順制御機能, NCU制御機能を持つ。V.29での7,200 bps、4,800 bps及びV.27terでの2,400 bpsは、それぞれの仕様でのフォールバックモードの通信速度である。

項目	GIII			GII	低速ファクシミリ用		手順用
	V.29	V.27ter		T.3	AM	FM	FSK
変調方式	QAM (直交振幅変調)	PSK (位置変調)		AM・PM・VSB	AM	FM	FSK
通信速度 (bps)	9,600・7,200・4,800	4,800	2,400	10,368	5,184相当	5,184相当	300
変調速度 (baud)	2,400	1,600	1,200	—	—	—	300
キャリア周波数 (Hz)	1,700±1	1,800±1		2,100±10	1,900±50	白 1,500±50 黒 2,450± ₃₀ ⁰	0 : 1,850 1 : 1,650

注：略語説明 QAM(Quadrature Amplitude Modulation), PSK(Phase Shift Keying), AM(Amplitude Modulation), PM(Phase Modulation), VSB(Vestigial Side Band), FM(Frequency Modulation), FSK(Frequency Shift Keying)

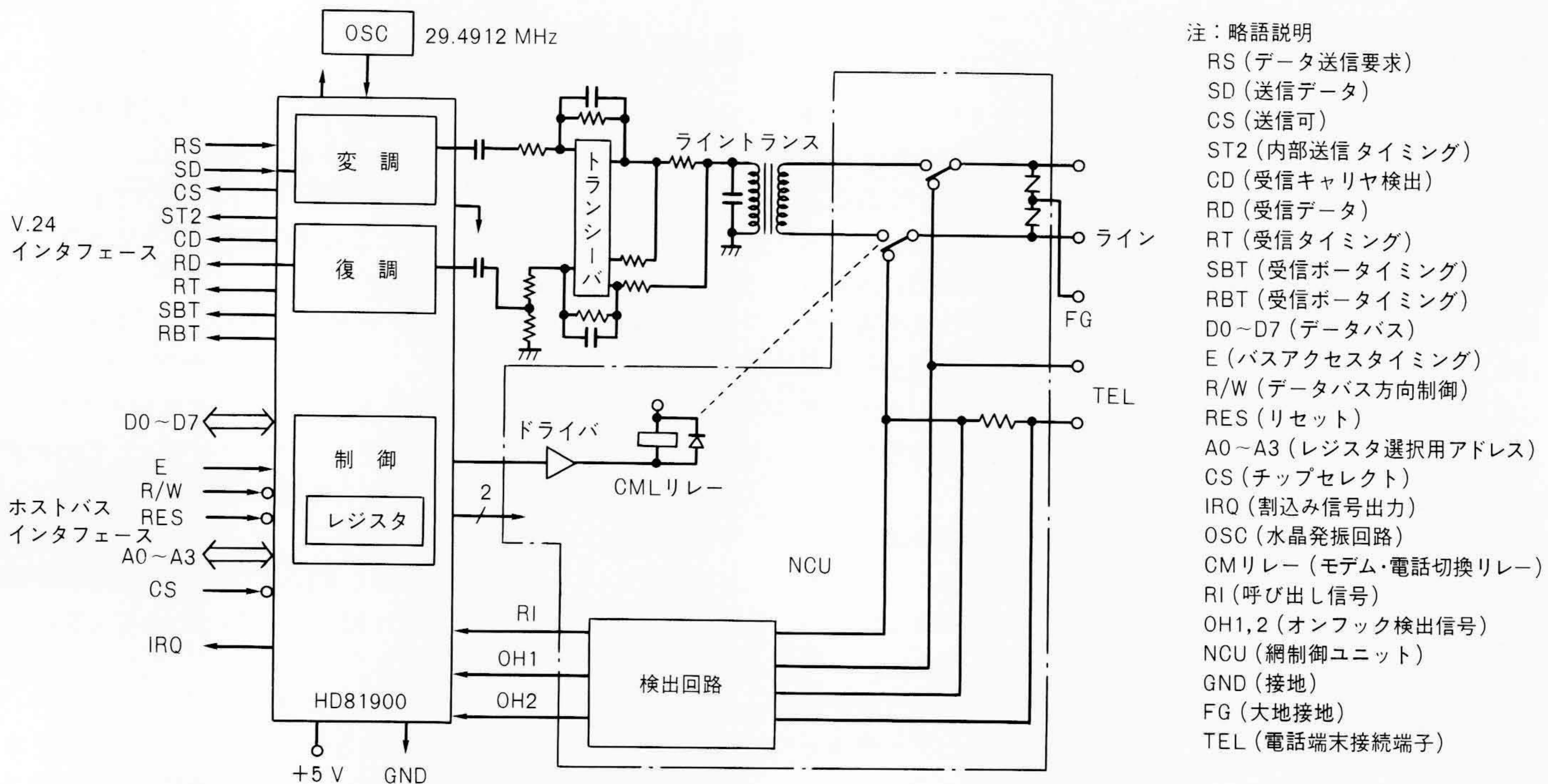


図1 1チップモデムHD81900を用いたGIIIファクシミリの伝送部 HD81900のGIIIファクシミリへの適用例を示す。ホストバスインタフェースは8ビット、DTEインタフェースはV.24インタフェースである。

要求されるが、HD81900はLSIの内部で多重処理によって実現しており、ファクシミリ本体の制御部の負担を軽減し、経済的なシステムを構築できる。

HD81900の受信特性の一例を図2に示す。モデムの特性(ビット誤り率)は、伝送回路の状態によって様々に変化するが、日立製作所の従来モデムと同等以上の性能であり、HD81900によって小形で高性能なモデムの用途が大きく広がったと考える。

なお、本LSIは5V単一電源で動作し消費電力は約300mWである。パッケージは64ピンプラスチックDIPシュリンク形である。

3 実現技術¹⁾

3.1 1チップ化へのアプローチ

1チップモデムLSIを実現する際にLSI内部での信号処理の方法として、従来は図3(a)に示す方式が採られていた。この方式ではアナログ受信信号を最初フィルタ回路、自動利得制御AGC(Automatic Gain Control)回路に通し、その後A-D変換を行っている。この方式ではAGC回路によって一定の振幅が確保されるためA-D変換器は8ビット程度の低精度で済むが、多種類のモデム規格に対応するためには、それぞれに対

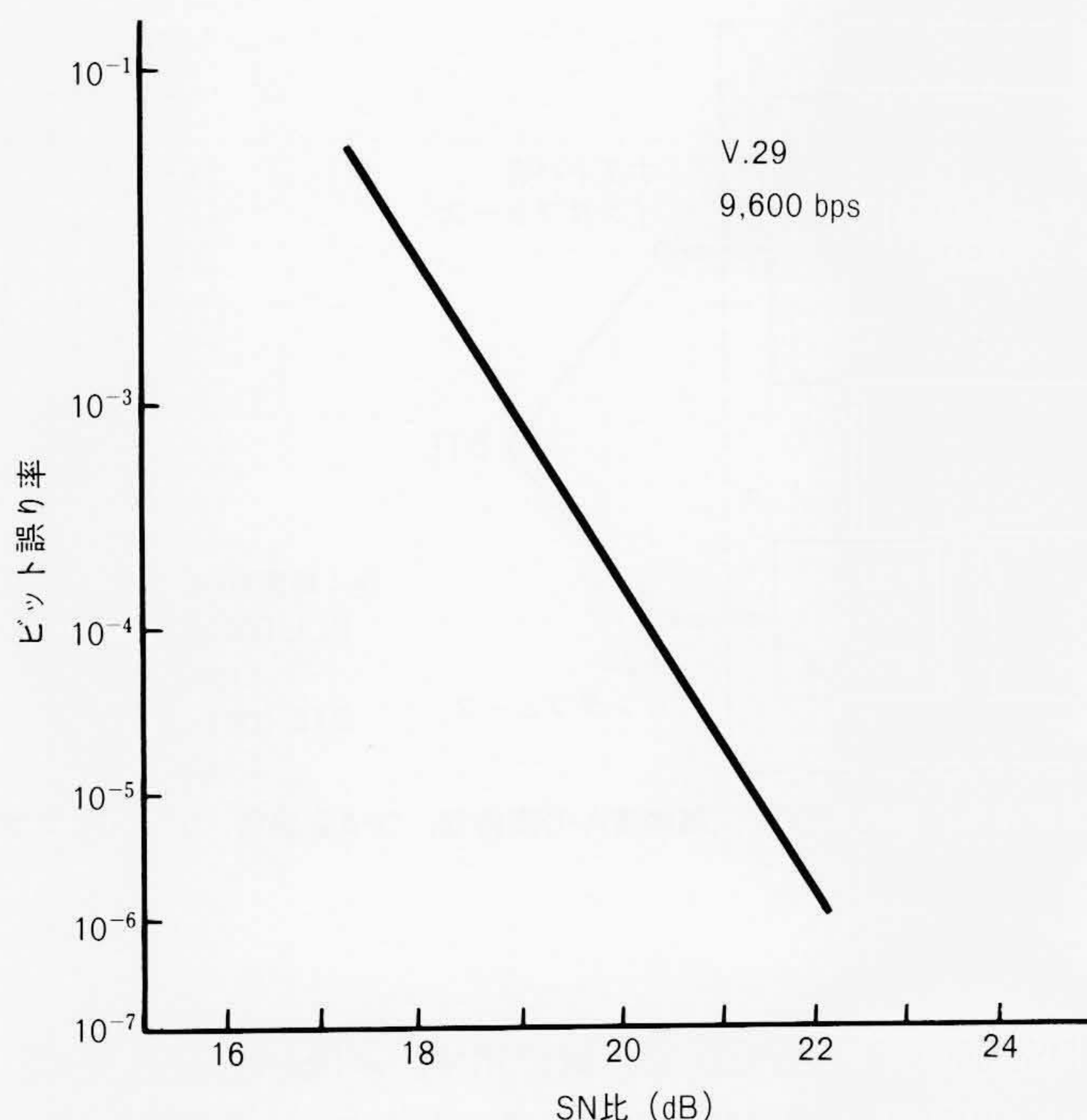


図2 HD81900の特性例 V.29モード(9,600 bps)での受信性能を示す。横軸は入力信号のSN比、縦軸は復調後データのビット誤り率である。

応するフィルタを1チップ上に多数搭載し切換え使用する必要がある。これに対して、今回開発した1チップモデムLSIでは、図3(b)に示すように、直接アナログ信号をA-D変換器に通しデジタル信号に変換した後、デジタル信号処理部でフィルタ処理、AGC処理を実現する方式である。この方式では微小信号を直接A-D変換器に入力するため、A-D変換器には12ビット以上の高精度が必要であり、また7.2 MIPS(Mega Instructions Per Second)以上の高性能なデジタル信号処理

プロセッサが要求されるが、従来方式で必要であった多種類のフィルタはすべてDSP(Digital Signal Processor)部のROM(Read Only Memory)プログラムで実現できるようになり下記のメリットが生じる。

(1) 特性の安定化

処理のデジタル化によりアナログ回路特有の特性ばらつきの影響が少なくなり、常に安定したモデム性能を得ることが可能となる。

(2) 面積の減少

同一チップ上に搭載することが要求される多種類のフィルタをすべてアナログ回路で実現した場合大きな面積を必要とする。デジタル処理化を行った場合、これらはすべてプログラムROMと係数ROMの記述で実現できるため、面積の低減が可能となる。

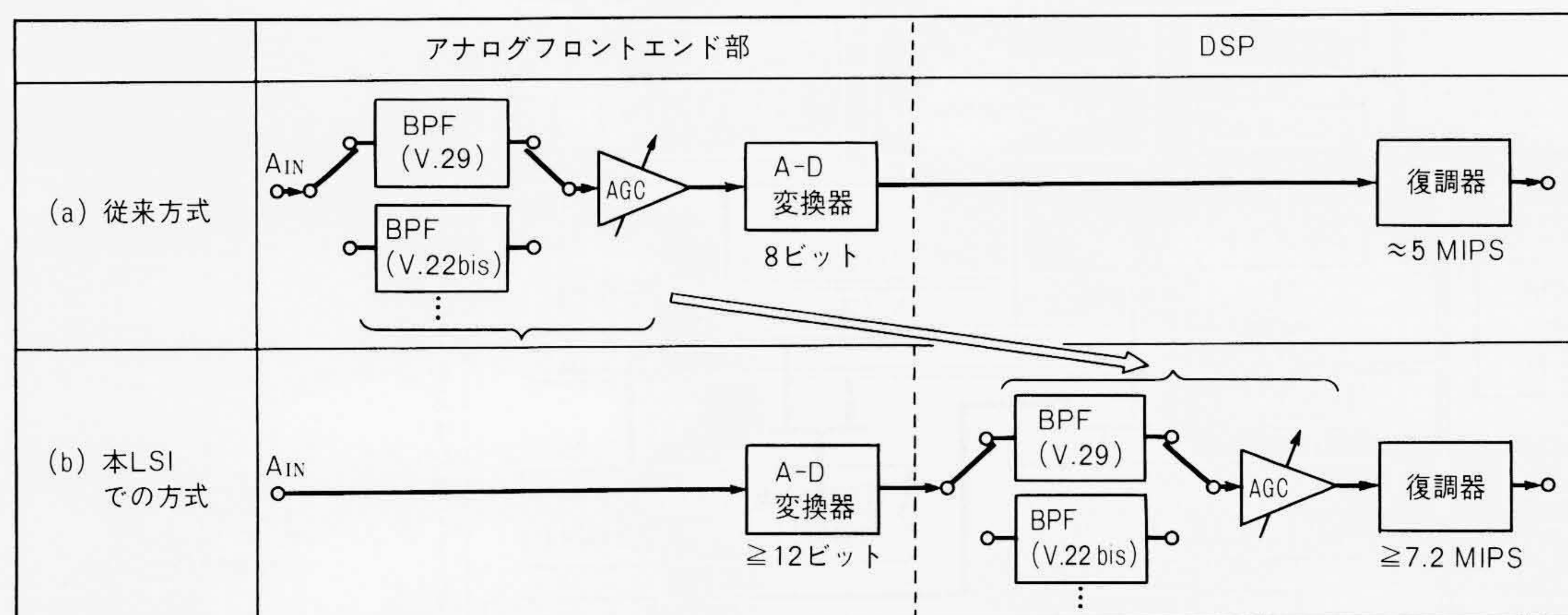
1チップモデムのブロック構成を図4に示す。コアとなる高性能DSP、高精度A-D変換器、D-A変換器、PTG(プログラマブルタイミング発生器)及びDTE(端末装置)インタフェース回路で構成される。

3.2 高性能DSP

1チップモデムを実現するために、DSPに要求される仕様とこれを実現するためにとった設計アプローチを図5に示す。

第一に、DSPは90 dB以上の広いダイナミックレンジと7.2 MIPS以上の高速処理能力を要求される。前者の要求に対応するため20ビット(仮数部16ビット、指数部4ビット)の浮動小数点演算を採用し、後者に対してはアーキテクチャ面でマルチバス構造とパイプライン処理をとり、プロセス技術として最新の1.3 μ m CMOS技術を採用することで対応した。

第二に、1チップモデムを実現するためには、DSPをコアとして各種の周辺回路が付加されるので、これらの付加機能を容易に取り込めるための設計上のフレキシビリティを確保する必要がある。このため、モジュール構造を採用した。

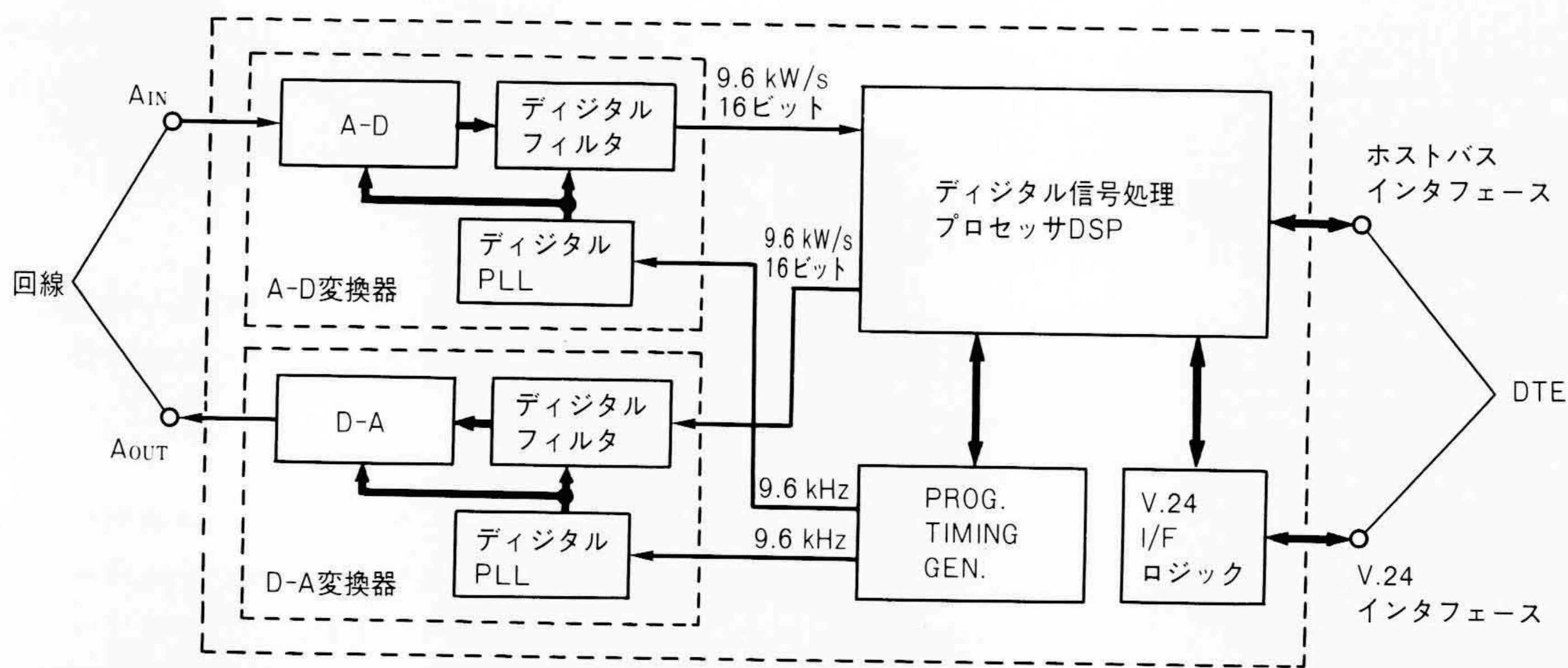


LSIへの要求

高性能DSP ≥ 7.2 MIPS
高精度A-D変換器 ≥ 12 ビット

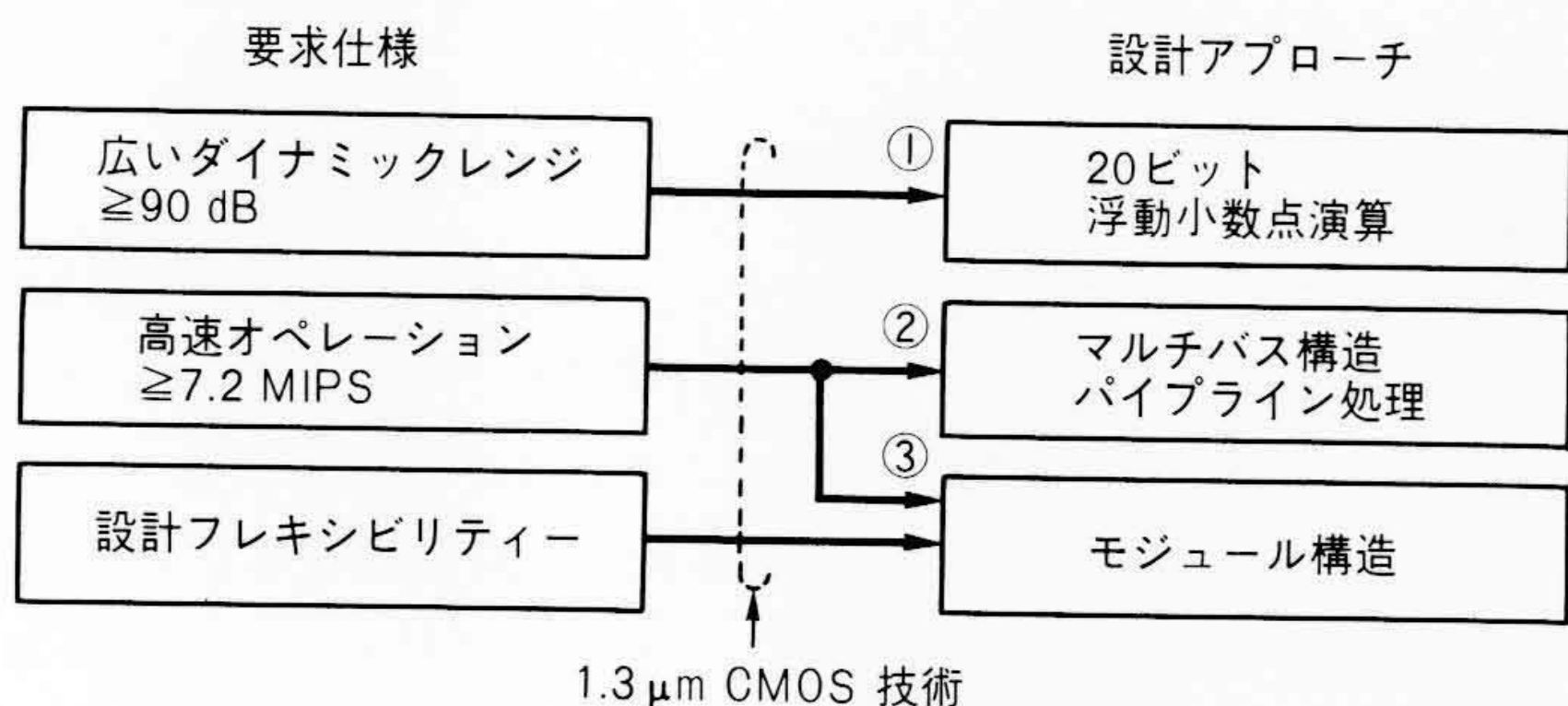
注：略語説明
DSP (Digital Signal Processor)
BPF (Band Pass Filter)
AGC (Automatic Gain Control)
MIPS (Million Instructions Per Second)
AIN (アナログ受信信号)

図3 1チップモデム実現のための信号処理方式の検討 (a)は従来方式である。本LSIでは(b)に示すように従来アナログ回路で実現していたBPF、AGC回路を含むすべての処理をDSPによるデジタル信号処理とし、性能の安定化を図った。



注：略語説明
 PLL (Phase Locked Loop)
 DTE (Data Terminal Equipment)

図4 1チップモデムのブロック構成 1チップモデムのブロック構成図である。高性能DSP、高精度A-D変換器、D-A変換器、プログラマブルタイミング発生器及び端末装置インタフェース回路で構成される。



注：略語説明

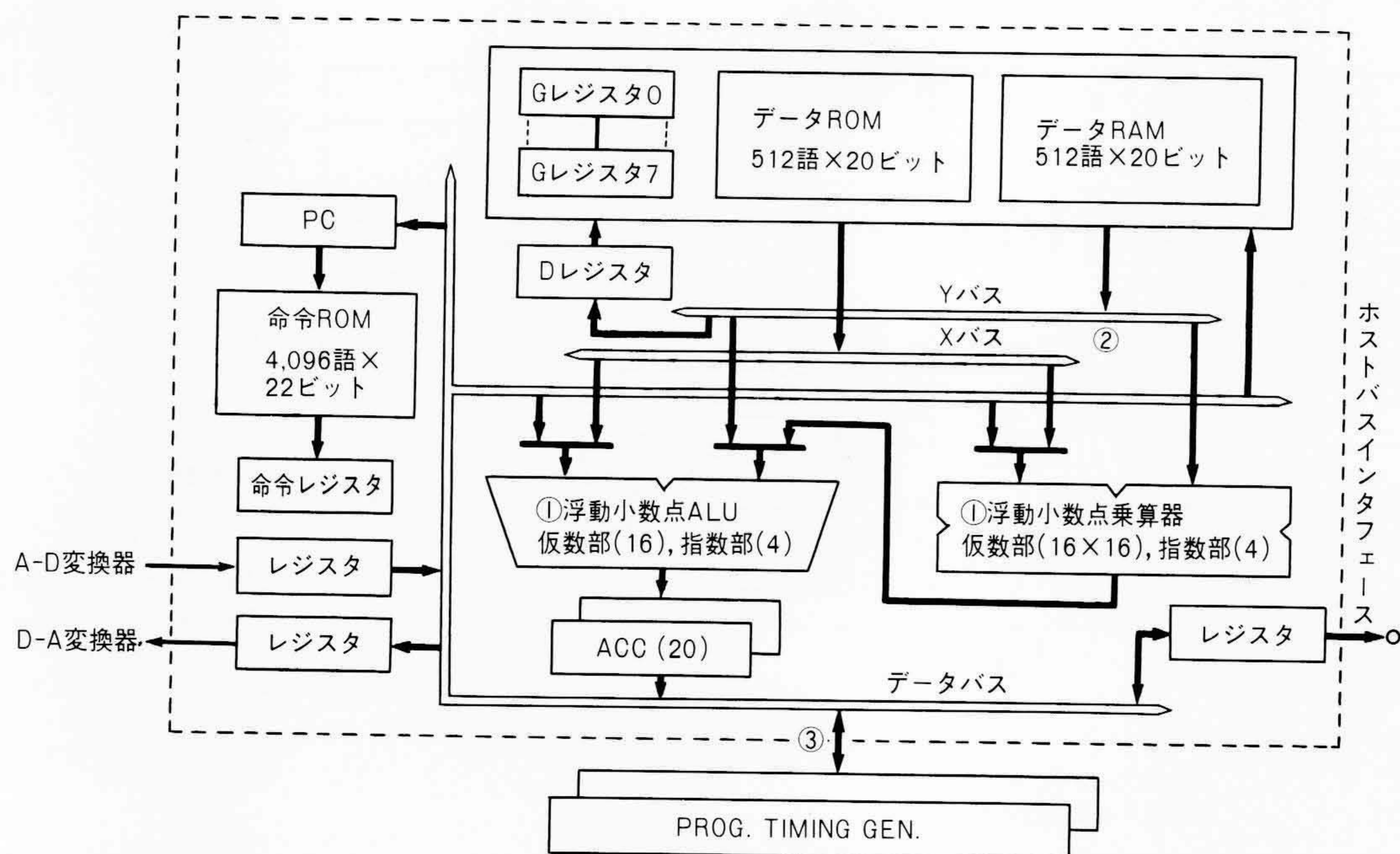
CMOS (Complementary Metal Oxide Semiconductor)

図5 DSPに対する要求仕様と設計アプローチ DSPに対する要求仕様と設計アプローチを図示したものである。90 dBの広いダイナミックレンジと7.2 MIPS以上の高速処理能力を実現するため、20ビット浮動小数点演算とし、1.3 μm CMOSプロセス技術を採用した。

DSP部のブロック構成を図6に示す。本DSPは日立製作所のはん用DSP HD61810²⁾の基本アーキテクチャを踏襲しているが、演算器ALU及び乗算器の演算精度はすべて仮数部16ビット、指数部4ビットに拡張した浮動小数点プロセッサを実現している。

また、本DSPは内部クロック7.38 MHzで動作し、パイプライン処理で命令を実行するため、乗算結果は次の命令実行サイクルで使用でき、実行的には加減算と乗算を同時に並列して行うため、136 nsの高速な積和が可能である。また、内蔵命令ROMは4 kワード×22ビット、内蔵データRAM(Random Access Memory)及びデータROMはいずれも512ワード×20ビットであり、大容量のメモリを持つ。

DSP部のモジュール構造を図7に示す。DSPは、乗算器・ALUなどの主要機能ごとにモジュール分割されており、これ



注：略語説明
 ROM (Read Only Memory)
 RAM (Random Access Memory)
 PC (Program Counter)
 ACC (Accumulator)

図6 DSPのブロック構成 図4でのデジタル信号処理プロセッサDSP部内部ブロック構成図を示す。日立製作所はん(汎)用DSP HD61810の基本アーキテクチャを踏襲している。

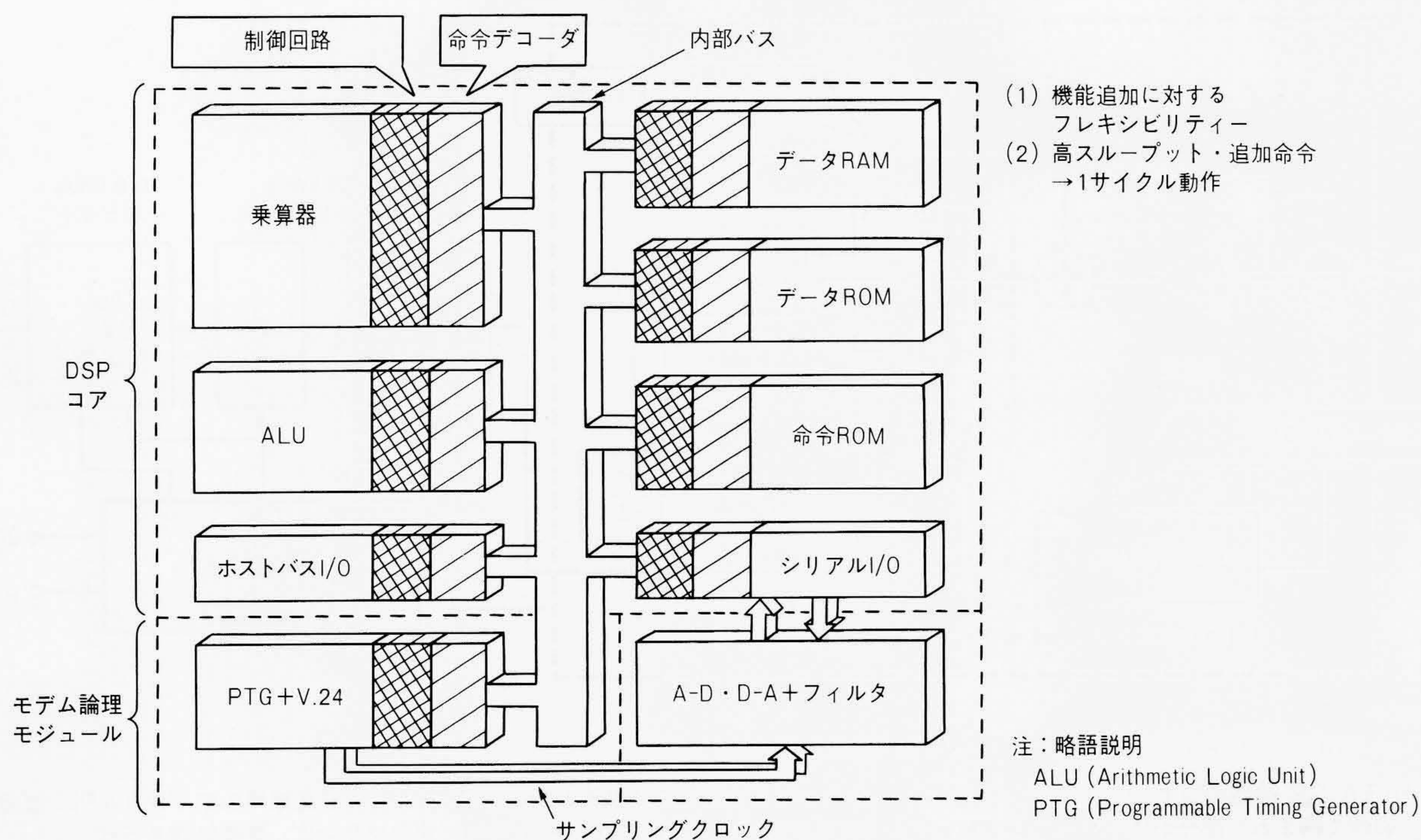


図7 DSPのモジュール構造 DSPは主要機能ごとにモジュール分割されており、各モジュールごとに命令デコーダと制御回路を持つ。このような構造をとることによって、1チップモデムを実現するために必要な付加機能を容易に接続することが可能となる。

らのモジュールごとに命令デコーダと制御回路を持つ構造をとっている。そしてこれらのモジュールは、命令バス、データバス及びタイミング信号バスから成る内部バスに接続している。このようなモジュール構造をとることによって、1チップモデムを実現するために必要なPTG、A-D変換器、D-A変換器などの付加機能を容易に接続することが可能となる。また、これらの付加回路を動作させるための命令を1命令サイクルで実行できるため、高速動作が可能となる。

3.3 高精度A-D変換器

今回の1チップモデムを実現するためには、図8に示すように12ビット以上という高い変換精度とオンチップDSPという大規模なデジタル部からの動作雑音に対して、高い雑音余裕度を持ったA-D変換器を必要とする。またA-D変換器の

サンプリングクロックは、モデムデータの取込みと同期化が必要である。

これらの要求性能を満足させるため、図9に示すような構成のオーバーサンプリング形A-D変換器³⁾とサンプリングクロック生成用デジタルPLL (Phase Locked Loop) 回路を開発した。

このA-D変換器は、アナログ入力信号に対して二けた以上高速のクロックでサンプリングを行うオーバーサンプリング方式を用い、アナログ部面積の低減、要求素子精度の緩和を図っている。動作原理は、アナログ入力信号と内部の局部D-A出力との差分を積分し、その結果を多値コンパレータで量子化を行ういわゆる補間形を用いている。性能向上のための今回の主な工夫点を以下に述べる。

- (1) 量子化器に4値レベルを採用することによって、大振幅入力信号に対する過負荷特性を改善し、ダイナミックレンジの拡大を図る。
- (2) 局部D-A変換器を8ビットと高精度化することによって、サンプリングクロックを上げることなく全体の雑音余裕度の向上を図る。
- (3) デジタルPLLを用いることによって、モデムデータの取込みサンプリングクロックとA-D変換器のサンプリングクロックの同期化を図る。これにより、取込みデータ信号の欠落を防止し高精度化を図っている。

本モデムチップのチップ写真を図10に示す。1.3 μ m CMOS技術により8.0 $\times$ 10.5 mm²のチップ上に約24万トランジスタを集積している。

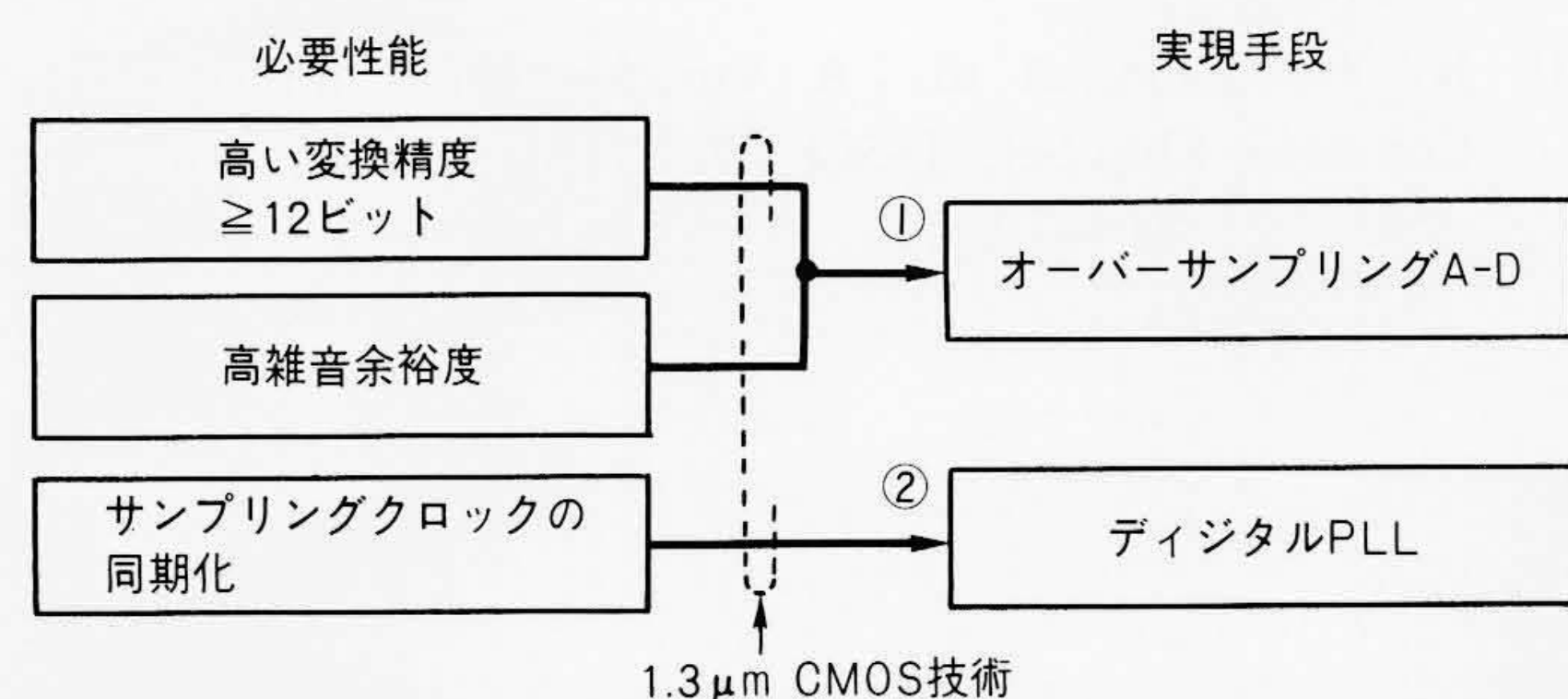
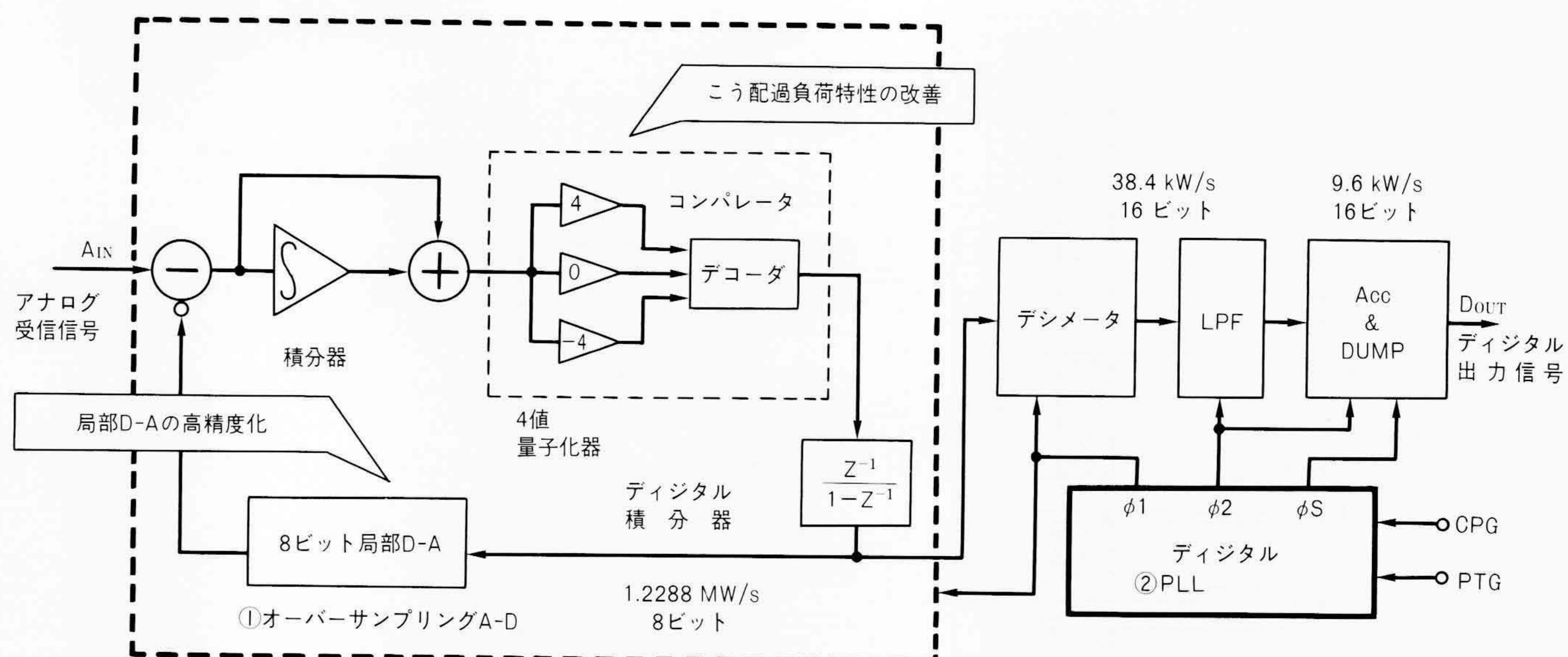


図8 高精度A-D変換器の必要性能と実現手段 高精度A-D変換器の必要性能と実現手段である。高精度化を実現するために、オーバーサンプリングA-D変換方式を採用し、12ビット以上の高い変換精度を実現した。



注：略語説明

LPF (Low Pass Filter), Acc (Accumulator), CPG (Clock Pulse Generator)

図9 高精度A-D変換器のブロック構成図 オーバーサンプリング形A-D変換器とサンプリングクロック生成用のデジタルPLL回路により構成される。破線で囲まれた部分がオーバーサンプリングA-D変換回路であり、1.2288 MHzの周期でサンプリング、変換処理を行う。

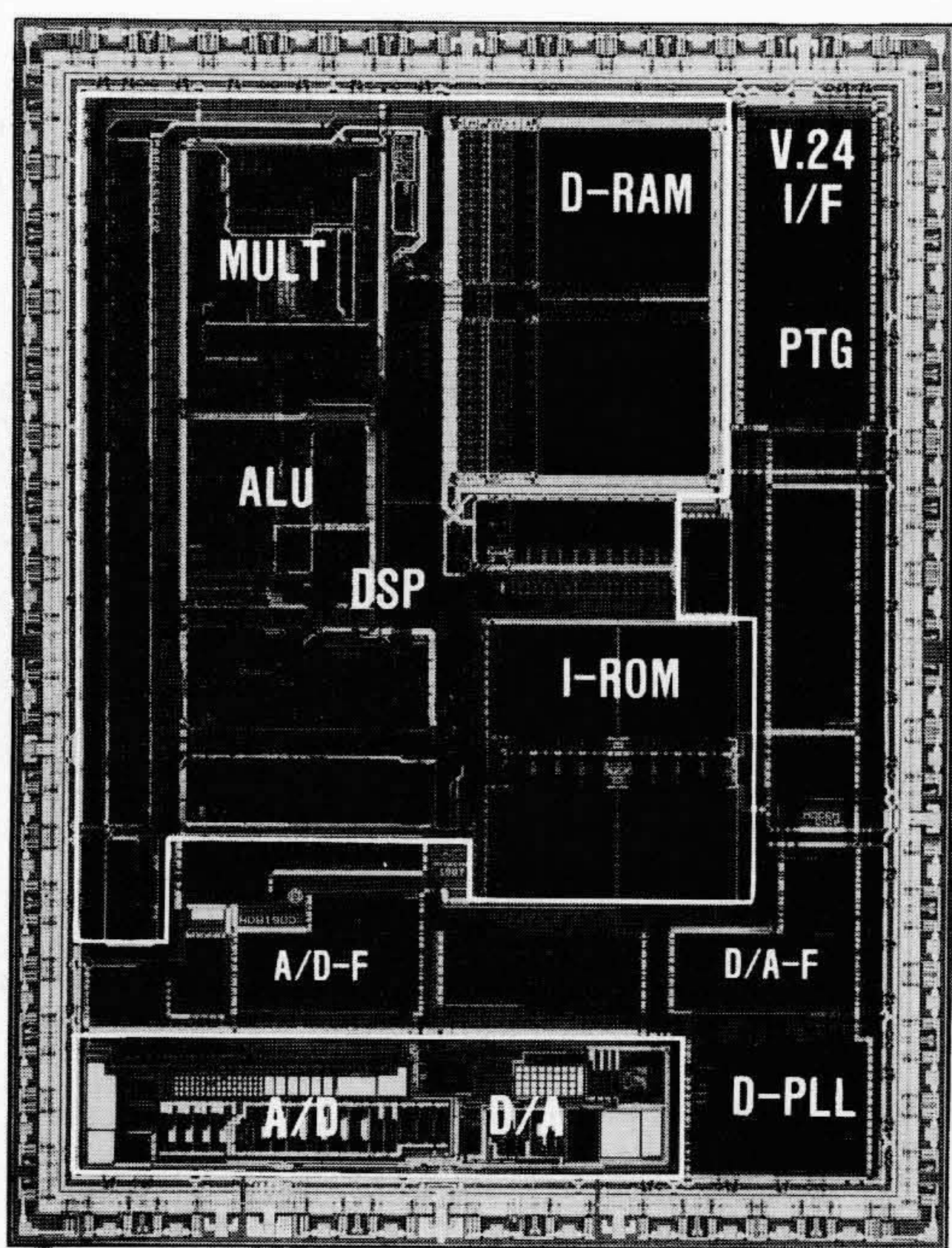


図10 1チップモデムHD81900のチップ写真 HD81900のチップ写真である。1.3 μm CMOSプロセス技術により、8.0 mm×10.5 mmのチップ上に約24万トランジスタを集積している。

4 結 言

アナログ網を利用してファクシミリ、パーソナルコンピュータなどの情報機器を相互に接続するための1チップ中～高速モデム(2.4～9.6 kbps)を開発した。日立製作所では、今後急速な発展が期待されるISDNに対してもチップセットとしてLSI群の開発を進めており、より使いやすい高性能通信用LSIの品ぞろえを充実させていく考えである。

参考文献

- 1) K. Nagai, et al.: A Signal Processor for Voiceband Application, ISSCC Digest of Technical Papers, pp.60～61(Feb.1988)
- 2) 日立デジタル信号処理プロセッサHD61810Bユーザズマニュアル(昭59-1)
- 3) K. Yamakido, et al.: A Voiceband 15b Interpolative Converter Chip Set, ISSCC Digest of Technical Papers, pp.180～181(Feb.1986)