

ISDN用LAPDプロトコルコントローラ

LAPD Protocol Controller for ISDN

ISDNのサービス開始により、高速データ通信の普及が加速されつつある。HD 64530はISDNのレイヤ2プロトコルLAPDを処理する1チップコントローラである。プロトコル処理に適したアーキテクチャの採用により、高速フレーム処理が可能である。LAPD以外にも、ファームウェア展開によりISDNの各種プロトコルに対応できる。コントローラの動作モードをフレキシブルに設定でき、また局設交換機が必要とする論理チャネル数を内部RAMによりサポートしているので、端末から交換機に至る広い範囲に適合する。

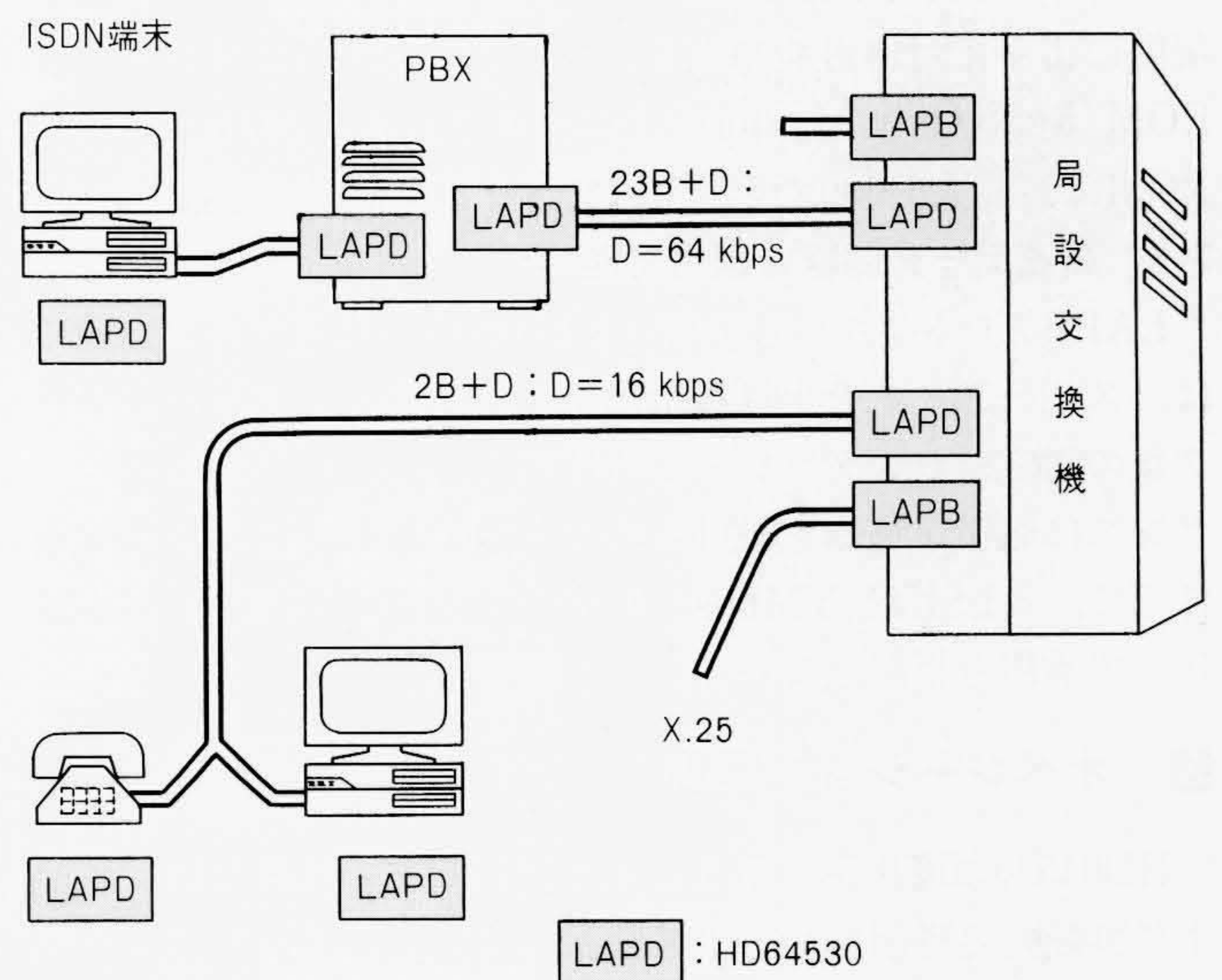
三木 栄*	Sakae Miki
永山義治*	Yoshiharu Nagayama
飯村健二**	Kenji Imura
川北謙二***	Kenji Kawakita
生田 昭****	Akira Ikuta
坪井 務*****	Tsutomu Tsuboi

1 緒 言

ISDN(サービス総合デジタル網)のサービス開始によって、社会的レベルでのネットワーク化が急速に進行している。ISDNは回線交換方式とパケット交換方式とを統合した網であり、64 kbps単位の高速度データ通信とVAN(Value Added Network)を含めた高度なサービス機能を同時に提供する。

この網では、パケットに搭載された様々な情報が転送されている。ノードでのパケット交換制御方法は通信手順(プロトコル)に規定されており、この通信手順は階層的に構成されている。今回開発したプロトコルコントローラHD64530は、OSI(Open Systems Interconnection)でレイヤ2(データリンク層)プロトコルを処理するLSIである。レイヤ2プロトコルは、例えば交換機で、すべてのISDN回線を対象として回線ごとに付帯している通信手順であり、回線上の論理リンクで誤りのないデータ送受信を行うために用いられる。その主な機能は、論理リンクの接続状態管理とデータ送受信フローの監視である。このため、レイヤ2では転送すべきデータに、アドレス、順序番号、パケット種別コード、エラーチェック符号などを付加し、論理リンクの監視が可能なフレームを編成する。コントローラはこれら付加情報の操作監視によって、回線異常状態や誤りフレームの排除を行う。図1にISDNでのHD64530の適用箇所を示す。

レイヤ2プロトコルにはLAPB(バランス形リンクアクセス手順)、LAPD(Dチャネルを用いるリンクアクセス手順)などがあるが、ISDNでは特に多重リンク制御が可能なLAPDがはん(汎)用的に使用されると予想される。LAPDはレイヤ2プロトコルの標準として、将来のネットワーク高速化に適合する発展性を持っていると考えられる。



注: 略語説明

ISDN (サービス総合デジタル網)
PBX (私設交換機)
B [Bチャネル(ユーザーデータ)]
D [Dチャネル(制御データ)]
X.25 (パケット回線のレイヤ3規格)
LAPD (Dチャネルを用いるリンクアクセス手順)
LAPB (バランス形リンクアクセス手順)

図1 ISDNでのHD64530適用箇所 LAPDコントローラはネットワークの回線インタフェース部に使用し、ノード間をデータリンクで接続する。

* 日立製作所デバイス開発センタ ** 日立製作所日立工場 *** 日立製作所システム開発研究所 **** 日立製作所戸塚工場
***** 日立製作所半導体事業部

2 HD64530の特徴

2.1 LAPDプロトコルをフルサポート

(1) HD64530は、CCITT(国際電信電話諮問委員会)勧告I.440及びI.441に定められたLAPDプロトコルを1チップで完全にサポートしている。ウィンドウサイズ k , 最大再送回数 N 200, 接続確認用タイマ $T203$ など各種システム定数は論理リンク単位で個別に設定可能であり, 端末から交換機までの広い分野で使用できる。また, 通信エラー発生回数, 特定フレーム受信回数, LSI処理能力オーバーなど各種統計情報カウンタの備え付けによって, レイヤ2動作状態を定常的にモニタできる。

(2) データ転送レートは, 8 kbpsから64 kbpsまで対応する。このため, ISDN基本インタフェース(2B+D: B=64 kbps, D=16 kbps)及び一次群インタフェース(23B+D: B=64 kbps, D=64 kbps)のいずれにも使用できる。

(3) 論理リンク管理テーブルを内蔵している。交換機用LAPDコントローラとして, 1加入者線当たりSAPI(サービスアクセスポイント識別子)3種(呼び制御用, パケット通信手順用, 管理手順用), TEI(端末識別子)8端末の組み合わせによる最大24論理リンクを1チップでサポートする。

2.2 各種プロトコルに展開容易

HD64530はLAPD以外に, LAPB, No. 7(共通線信号方式)などISDNで使用される類似プロトコルにも, ファームウェア展開によって対応可能である。ファームウェアはオンチップROM(Read Only Memory)上に搭載される。240 kビットのROMは, 最大6,000ステップのファームウェアを搭載できる。

2.3 高速データ回線に適用可能

LAPBプロトコルなどを用いるISDN内の高速データ回線では, スループットを上げるためフレーム間インターバルフラグ数の指定, ロングフレームの使用など, フレーム転送シーケンスに適切な制約を設けるのが普通である。このような条件下で, 本LSIは1.5 Mbps, 6.3 Mbpsなどの高速フレーム転送への適用も指向している。

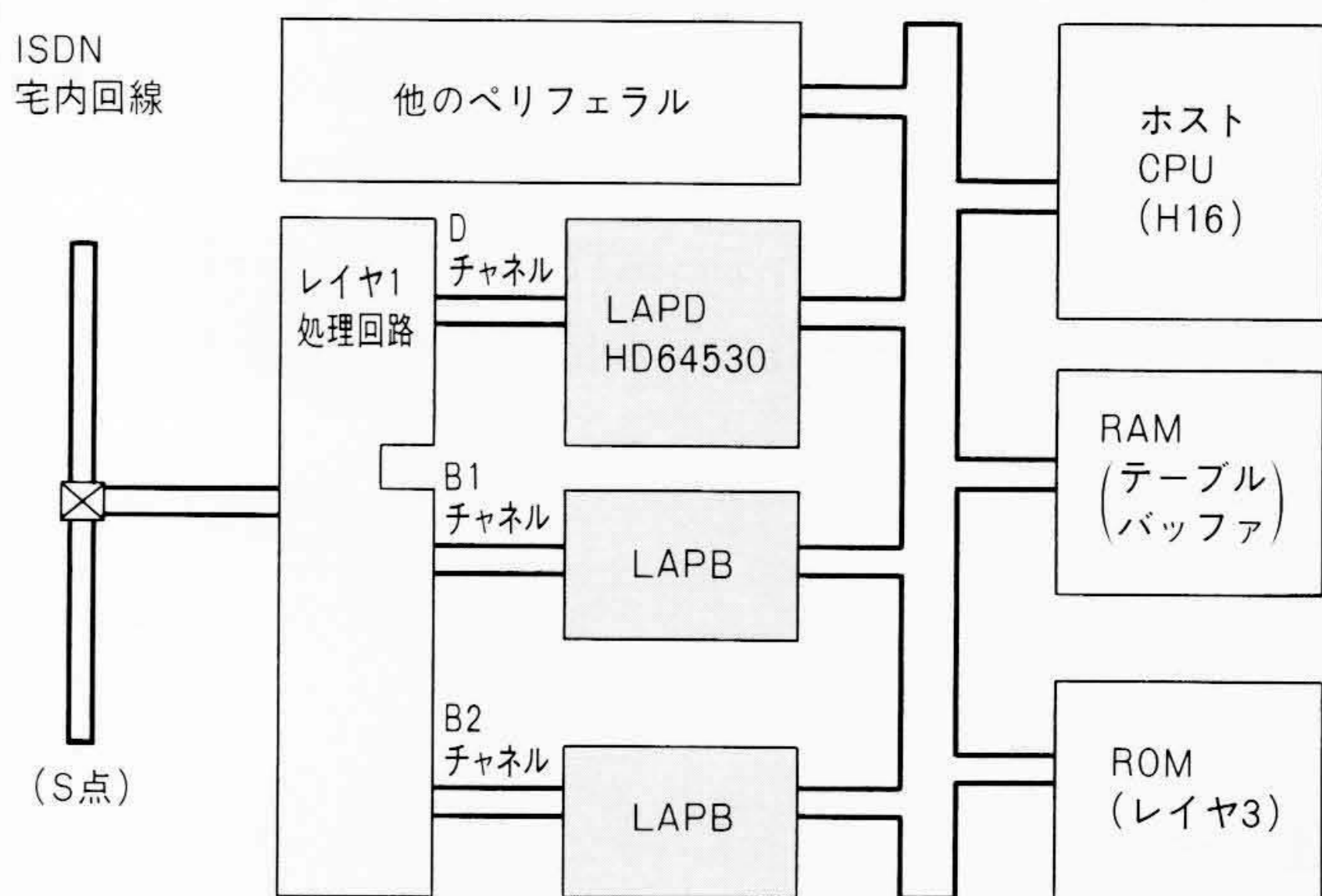
3 オペレーション概要

HD64530の適用例を図2に示す。回線との接続にはレイヤ1(物理層)処理回路が必要である。また, レイヤ3(ネットワーク層)以上の階層はホストCPU(Central Processing Unit)で処理する。このLSIはH16CPU(HD641016)用のインタフェースを備えているが, 非同期16ビットバスを使用により他のCPUにも接続できる。

コントローラが使用するパラメータテーブルやパケットバッファは, ホストメモリ上に配置する。パラメータテーブルとしてシステム定数テーブル, リンク定数テーブル, 送信フレーム情報テーブル, 受信バッファ情報テーブルなどを, また, パケットバッファとして多数の送信及び受信データバッファを用意する必要がある。コントローラとホストCPUの制御系を連結するためには, 32ビットのコマンドレジスタ, ステータスレジスタや8ビットの割込みベクタなどを使用する。

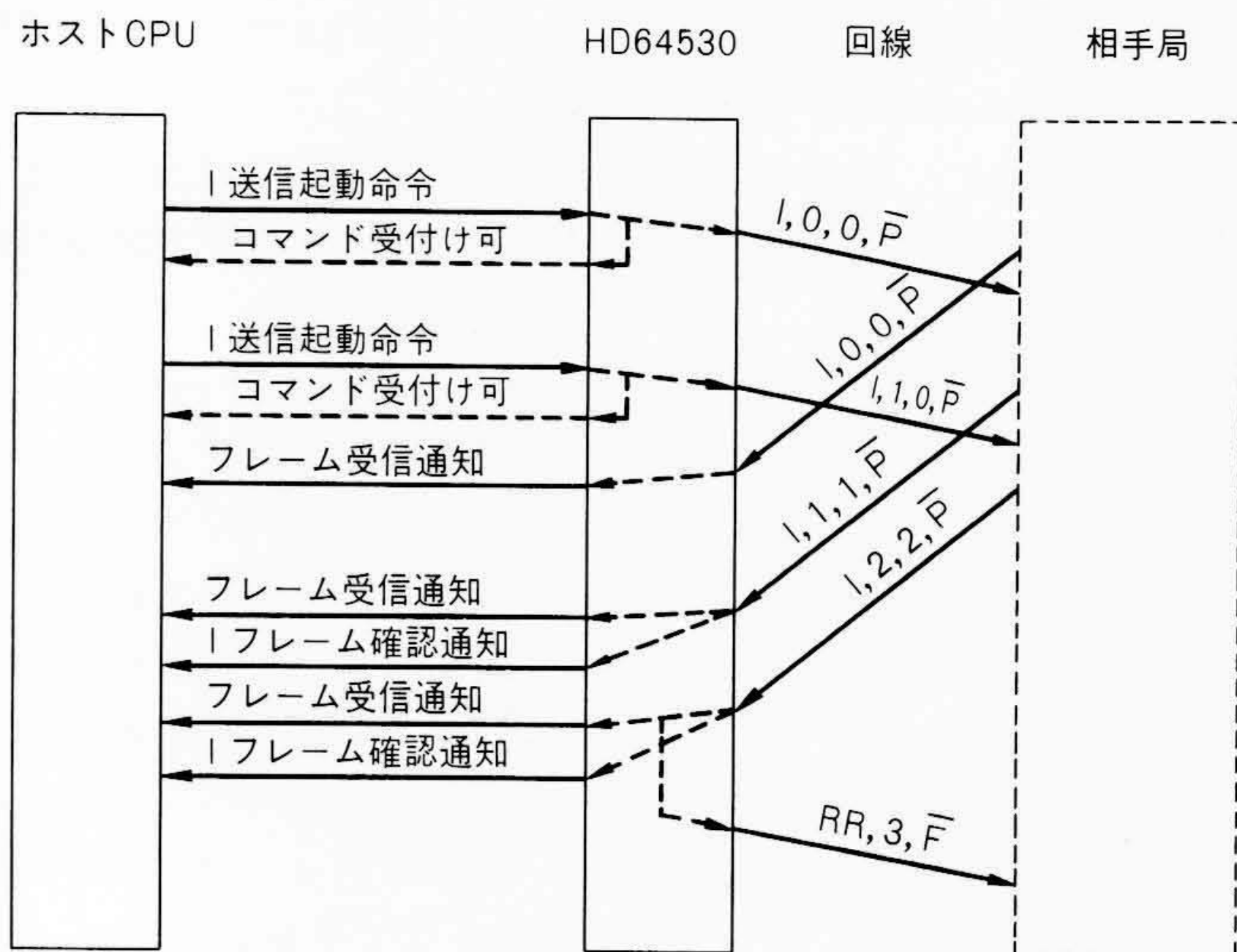
LSIの基本的な操作は, ホストCPUによる制御パラメータの

作成とコマンドの発行, コントローラによるコマンドの実行とステータスの作成及び処理完了割込みの発行, ホストCPUによる割込み受付けとステータスの解析, というサイクルで進行する。図3に, 論理リンクが接続された状態でフレームを転送しているときの, ホストCPUとHD64530間の制御レスポンスの一例を示す。



注: 略語説明 CPU (Central Processing Unit)
RAM (Random Access Memory)
ROM (Read Only Memory)

図2 ISDNレイヤ1～3処理のLSI構成例 HD64530はISDNの網制御情報を転送するためのDチャンネルを対象として, レイヤ2プロトコルを処理する。



注: 略語説明

$I, n, m, \bar{P}$ $\begin{cases} I \text{ (情報フレーム)} \\ n \text{ (送信シーケンス番号)} \\ m \text{ (受信シーケンス番号)} \\ \bar{P} \text{ (ポールビット)} \end{cases}$
 $RR, m, \bar{F}$ $\begin{cases} RR \text{ (受信レディーフレーム)} \\ m \text{ (受信シーケンス番号)} \\ \bar{F} \text{ (ファイナルビット)} \end{cases}$

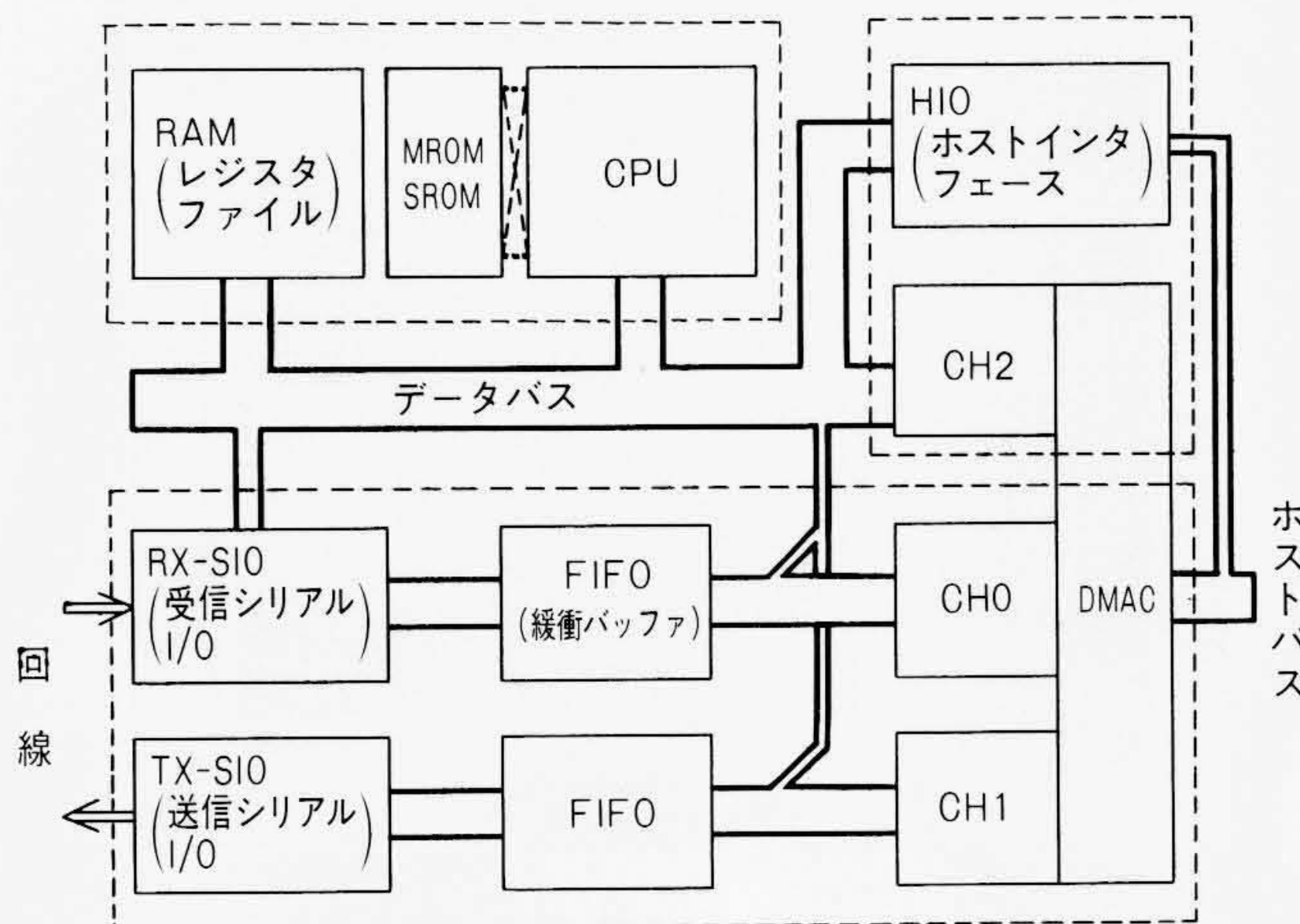
図3 1フレーム転送時のレスポンス例 パケットデータを局間で転送しているときの, コマンド, ステータスを含めたHD64530の動作レスポンスの一例である。

4 アーキテクチャ

LSIのブロック図を図4に示す。LSIは、基本的に三つの機能ブロックから構成されている。CPU、ROM、RAM(Random Access Memory)のブロックはプロトコル処理を、SIO(シリアルI/O)、DMAC(Direct Memory Access Controller)、FIFO(緩衝バッファ)のブロックはデータ転送を、HIO(ホストI/O)のブロックはホストインタフェースの処理を主に分担する。

ファームウェアは、32ビット長のマイクロコードで記述する。プロトコル処理では、テーブル、キューなどの細かい操作に多くのファームウェアステップが必要である。このため、CPUは1,600バイトのレジスタファイルを備えた演算ユニットを持っており、マイクロコードでレジスタファイル上のテーブルを直接ポインティングできる。

HD64530はデータ処理性能を向上するため、次の2点につ



注：略語説明 DMAC (Direct Memory Access Controller)
MROM (マイクロROM), SROM (状態ROM)

図4 HD64530ブロック構成図 プロトコル処理を行うCPUブロックと、FIFOを含むデータ転送パスを分離した構成をとっている。

いてアーキテクチャ上の工夫を行っている^{1),2)}。

- (1) CPUのプロトコル処理能力を向上する。
- (2) 内部を通過するデータストリームの流れを阻害しない。

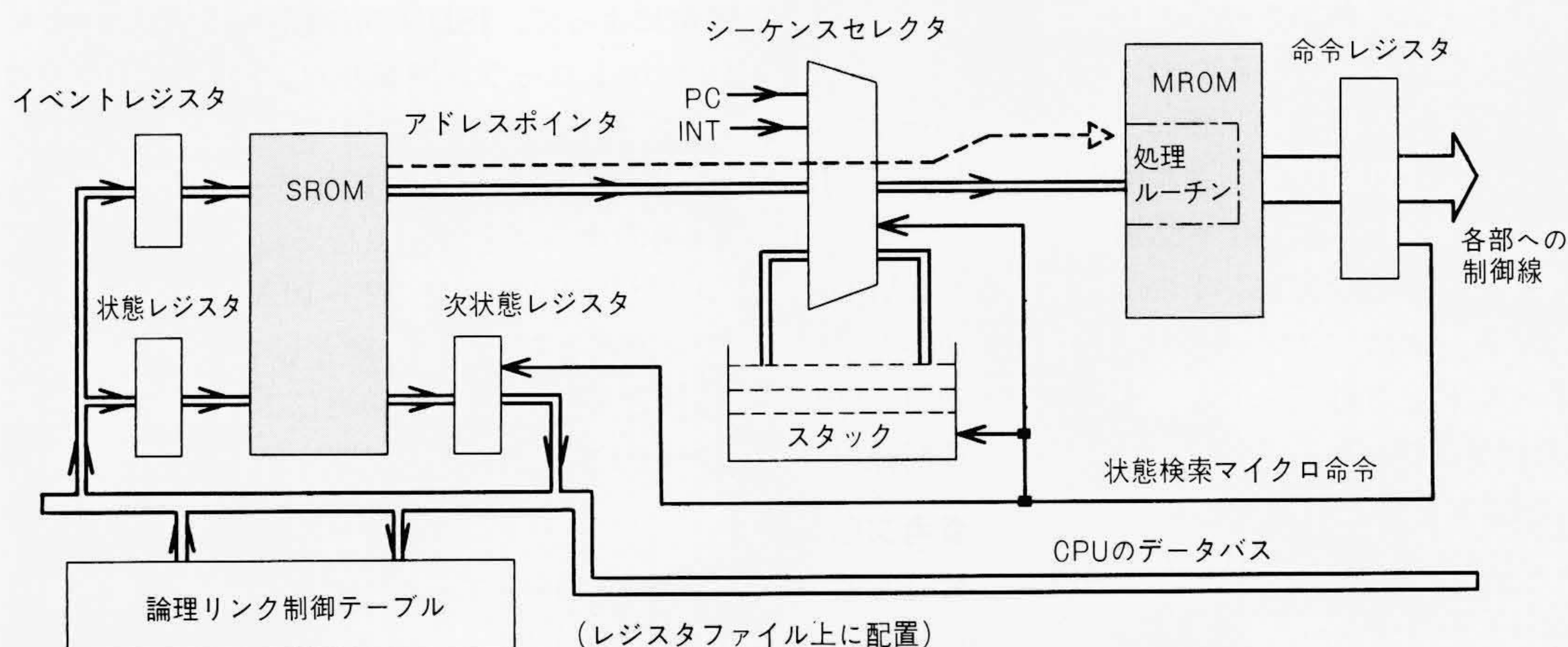
ここで、プロトコル処理能力とは、単位時間当たりの処理可能フレーム数で表される指標であり、特に交換機の一般加入者線上で、最短フレームの連続着信状態でもリアルタイムで処理することが必要な場合に重要な特性である。HD64530ではイベント発生時の解析応答時間を短縮するアーキテクチャの採用によって、リアルタイム処理特性を改善している。

また、データストリームの処理能力は、パケットデータの転送状態で転送レートの上限を表す指標であり、特に、高速専用回線などでフレームシーケンスに適切な制約を設け、内部CPU処理能力限界を回避して回線スループットを上げる場合に重要な特性である。HD64530では、データ転送パスの整備と制御の自律化を進めることによってスループット特性の改善を図っている。

以下に、HD64530で採用したプロトコル処理高速化のためのアーキテクチャについて説明する。

4.1 状態遷移テーブル検索のマイクロ命令化

プロトコル処理の中心的なタスクは、論理リンクの状態とリンクに発生するイベントから、その状況に対応する処理を割り出し実行することだと言える。これら相互の関係は、プロトコルに固有な状態遷移テーブルによって規定されている。従来、状態遷移テーブルの検索はMROM(マイクロROM)上のファームウェアが行ってきた。HD64530は、MROMから検索にかかわるファームウェアを分離し、状態遷移テーブルを処理ルーチンマッピングテーブルの形でSROM(状態ROM)上に記述し、CPU内部に組み込んでいる。図5にSROMに関連するCPUシーケンス制御部のブロック図を示す。新しいイベントが発生すると、CPUはイベント番号及び状態番号をSROMの入力レジスタに設定し、「状態検索マイクロ命令」を実行する。この結果、CPUは次のステップから直ちに適切な処理タスクの実行に移行することができる。この方式は処理能力の向上以外に、ファームウェア構成が簡素化するため、その開発及び検証が容易になるという特長を持っている。



注：略語説明
PC (プログラムカウンタ)
INT (割り込み制御信号)

図5 CPUのシーケンス制御部 処理ルーチンマッピングテーブルを搭載するSROMの分離によって、プロトコルの状態遷移テーブル検索及び分岐処理を高速化している。

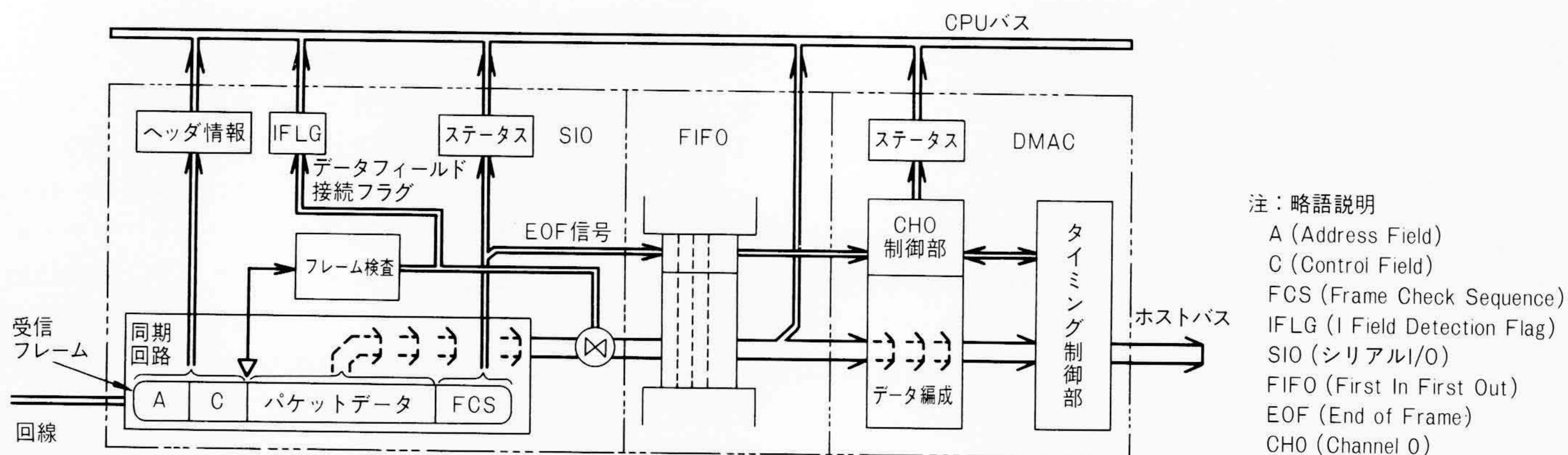


図6 受信系データ転送パス SIO, DMACをFIFOで連結し、FIFOにデータ及び制御信号を通すことで一体化したデータパスを形成し、パケット転送を高速化している。

4.2 パケットデータ転送パスの整備

レイヤ2コントローラでは、フレームが搭載している情報のうち、リンク制御データはCPUが処理し、レイヤ3以上のパケットデータはコントローラを通過して回線～ホスト間で送受される。このため、コントローラのスループットを上げるには、CPU処理を考慮する以外に、コントローラ内部を貫通するパケットデータ流路の整備が必要である。HD64530は、パケットデータ流路としてCPUバスとは独立に、SIO～FIFO～DMACを直結したデータ転送パスを送信用及び受信用に各各備え付けている。

データ転送パスを独立化したことに伴い、この部分の内部制御の自律性を高めるようにしている。受信系でのデータ転送パスの構造を図6に示す。SIOとDMACを連結するFIFOはパケットデータの転送パスであると同時に、これらのペリフェラルを相互に直接制御する制御信号のパスとしても使用する。例えば、SIOが発行するDMAC制御信号であるEOF(End of Frame)信号は、パケットデータ転送処理の区切りでDMACのレスポンスを高度化し、SIO, DMACの制御に必要なファームウェアを簡略化することができる。送信系では、この制御信号としてEOF信号のほかに強制アボート信号を使用してSIOを制御している。

4.3 受信フレーム解析の自動化

フレームを受信した場合、フレームに付加されている論理リンク制御情報から生起イベント番号を抽出するため、アドレス・制御フィールドの解析が必要である。HD64530では、SIOがこの解析機能を分担している。SIOはプロトコル種別に応じて2～4バイト長のアドレス・制御フィールドを識別し、SAPI, TEI, フレーム順序番号など、生起イベントのコード化に必要なパラメータに分解する。次に、フレーム種別に従って受信パケットと制御フィールドとの対応をチェックし、RR(受信レディフレーム)に搭載されたパケットなど不正パケットは、SIO内部で自動的に廃棄する。

SIOは、CPUに送付するリンク制御データとDMACに送付するパケットデータとを分離しているため、パケットデータ送付の有無を示すフラグをリンク制御データの一部としてCPUに通知し、コントローラ内部処理の同期をとっている。

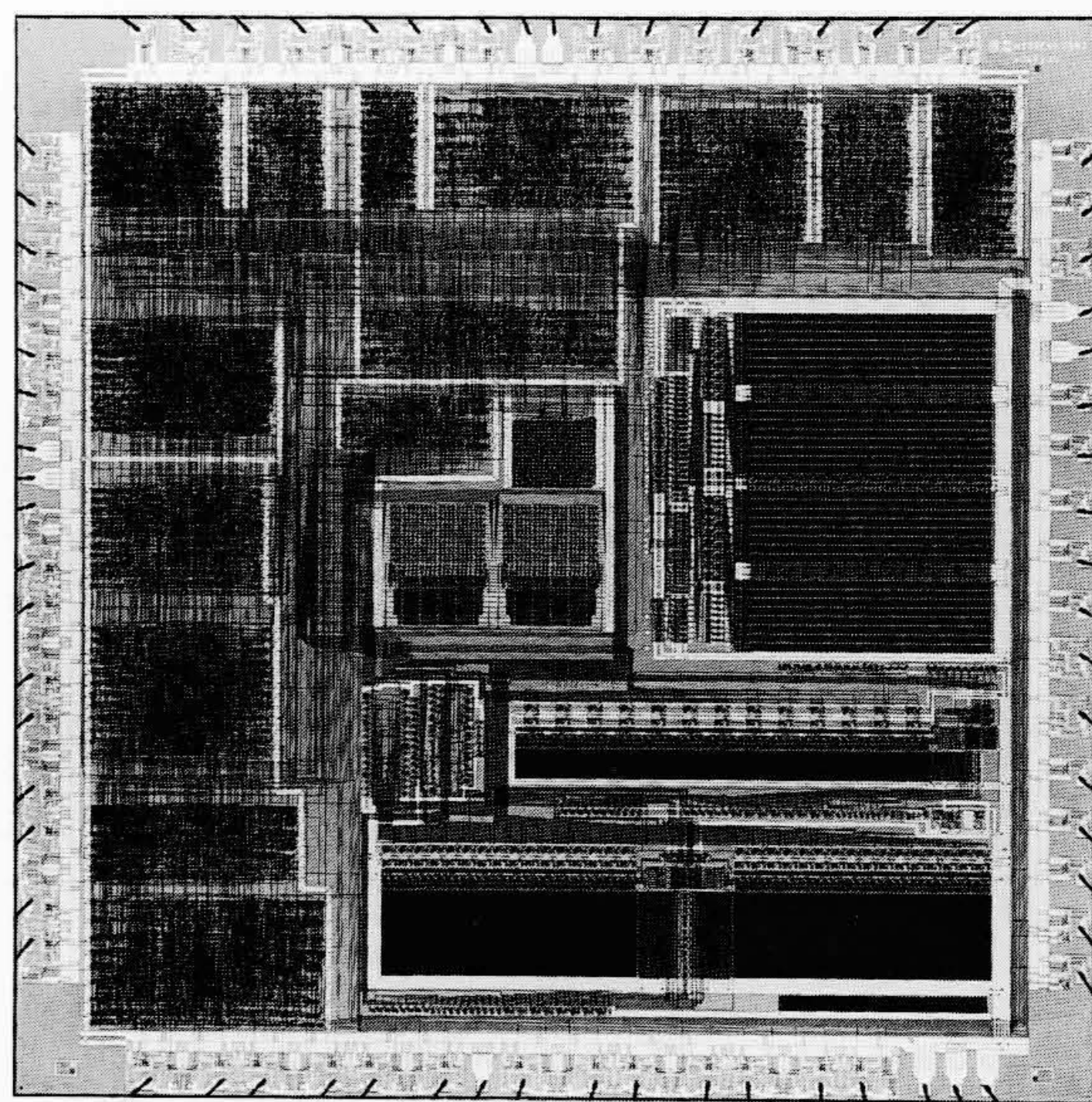


図7 HD64530チップ写真 CMOS1.3μmプロセスを使用し、ランダムロジック15kゲート、RAM13kビット、ROM240kビットを10.5mm角のチップ上に搭載している。

5 結 言

プロトコル処理の特徴を考慮したアーキテクチャの開発と、大容量ROMの搭載によって、ISDNの広範囲な用途に対応する高速プロトコルコントローラを開発した。図7にHD64530のチップ写真を示す。CMOS1.3μmプロセスを使用し、240kビットのROM、13kビットのRAM、15kゲートのランダムロジックを10.5mm角のチップ上に搭載している。

LAPDプロトコルはISDNのほか、2～10Mbpsクラスの高速度パケット回線でも基本となる通信手順として、その主要部分が引き継がれるものと考えられる。今後更にこれらを含めた高速回線用コントローラに向けての高性能化を図っていきたい。

参考文献

- 1) 川北, 外: 通信制御LSI向きアーキテクチャの提案, 電子通信学会, (SE 87-86), 1987-9.
- 2) 三木, 外: "A 10Mbps Link Level CMOS Processor with ON CHIP EPROM" ISSCC, 1988.