

高性能ディジタルシグナルプロセッサ“DSP-i”

High-Performance Digital Signal Processor “DSP-i”

近年のVLSI技術の進歩に伴い、画像処理分野からのDSPに対する高性能化のニーズが高まっている。日立製作所では、従来の音声、通信分野の信号処理に加えて画像処理をも可能とするはん(汎)用の高性能DSP(HD81831：略称DSP-i)を開発した。

本DSP-iは、2種の独立プログラム制御、並列パイプライン制御を採用し、50 nsの積和演算速度を実現した。プロセスは、1.3 μ m CMOSを用いた。また、大容量データキャッシュによるスループットの向上、高速ビット演算機能の付加、マルチプロセッサ機能などを備え、超高速のディジタル信号処理システムへの適用を可能とした。

金子憲二* Kenji Kaneko
上田博唯* Hirotada Ueda
萩原吉宗* Yoshimune Hagiwara
萩原史郎** Shirô Hagiwara
菊地 明*** Akira Kikuchi

1 緒 言

従来、音声処理、モデムなどの用途にはん用のDSP(Digital Signal Processor)が開発されてきた^{1),2)}。日立製作所では、既にこれらのシステムを対象とした浮動小数点DSP³⁾(HD61810, HD81810)を製品化している。しかし、近年のVLSI技術の進歩に伴い、これまで大形計算機上で扱われていたディジタル画像処理がLSIでも手が届くようになってきた。画像処理システムでは、膨大なデータを高速に処理する必要があるため、DSPに対する高性能化の要求が強くなってきている。そこで、画像処理を目的とする高性能なDSP⁴⁾(HD81831：略称DSP-i)を開発した。

DSP-iは、2種の独立プログラム制御機構、マルチバンクの大容量データキャッシュ、高速のビット演算機能及び2次元アドレス演算機能を採用し、画像処理性能の大幅な向上を図っている。また、大規模な超高速システムへの対応として、マルチプロセッサ構成用の豊富なコマンドを備え、ホストCPU(Central Processing Unit)との高度な通信を可能としている。

ここでは、DSP-iの特長と使用技術、信号処理性能について述べる。

2 DSP-iの特長

DSP-iの簡略化したブロック図を図1に、主な仕様を表1に示す。本DSPは、従来のHD81810の5倍の速度性能(マシンサイクル50 ns)を持っている。本DSP-iの方式上の特長について以下に述べる。

2.1 2種の独立プログラム制御

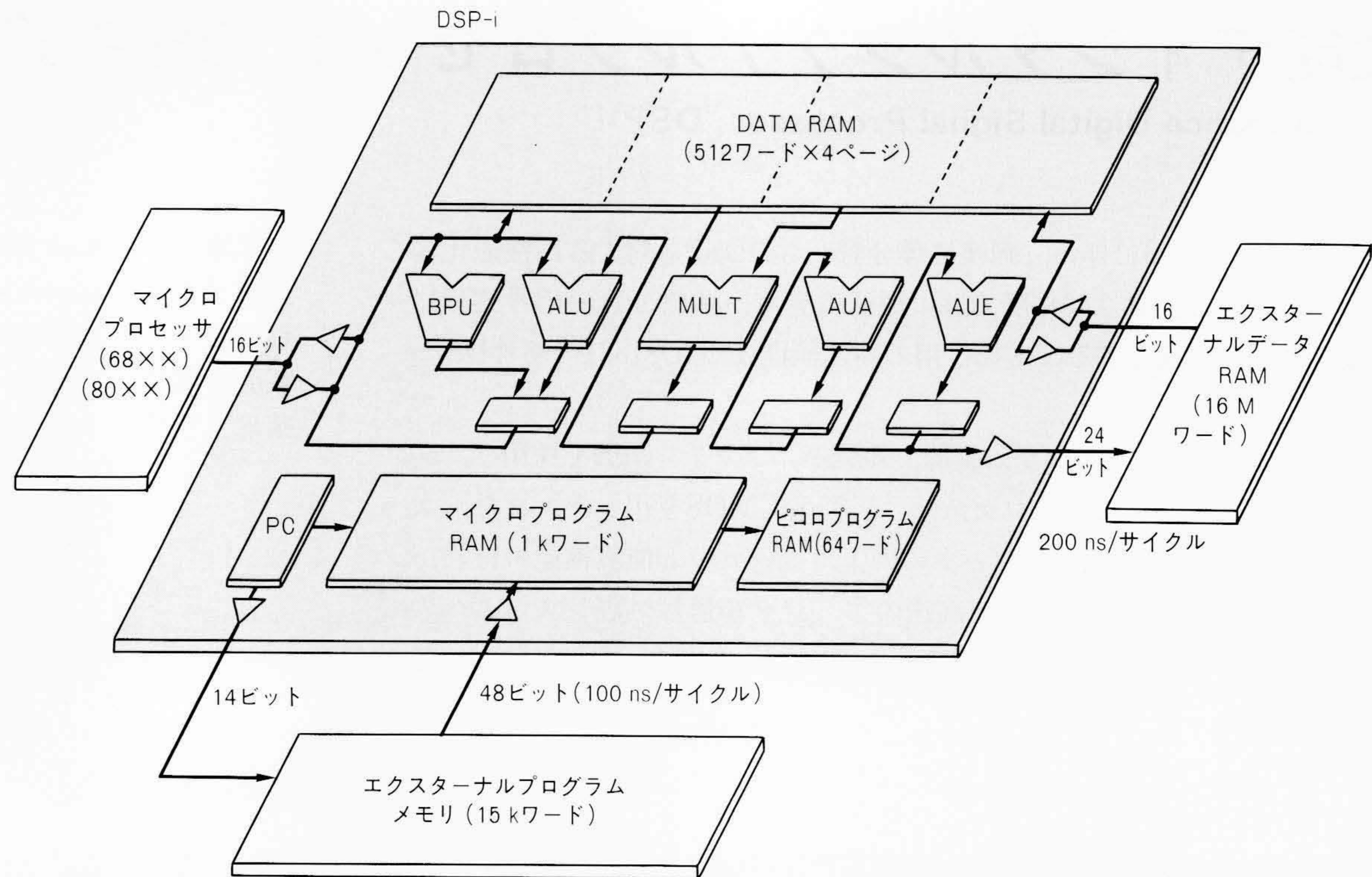
本DSP-iでは、データ演算とデータ入出力の高速並列処理を実現するために、2種の独立プログラムによる新しい制御方式を開発した。本方式では、データ演算、システム制御をマイクロプログラムで行い、外部データメモリのアドレス演算

とデータ入出力をピコプログラムで制御する。マイクロプログラムは、1 kワードが内蔵RAM(Random Access Memory)、15 kワードが外部メモリとなっている。内外部のプログラムはアドレスによって自動選択される。つまり、アドレスが1023番地以下の場合は内部プログラムが動作し、1024番地以上の場合は外部プログラムが動作する。内外部のプログラム間でのジャンプやサブルーチンコールなども自由に設定可能としている。内部動作の場合は1マシンサイクル/1命令、外部動作の場合は2マシンサイクル/1命令に自動的に切り換わる。ピコプログラムは、64ワードの内蔵RAMとなっており、マイクロプログラムからの起動によって独立のプログラムフローで動作する。

また、内部のマイクロプログラム及びピコプログラムはマイクロプロセッサのインタフェース側からDMA(Direct Memory Access)転送によって書替えが可能である。したがって、大規模なプログラムが必要とされる場合でも、プログラムをモジュールごとに分割して実行することが可能である。

内蔵データRAMは512ワード×4ページの構成を持ち、全ページ同時のアクセスが可能である。このうち2ページは、ピコプログラムでも制御され、外部データ入出力時のデータキャッシュとして使用できる。例えば図1に示すように、二つのページからデータを読み出し、MULT(Multiplier：乗算器)とALU(Arithmetic Logic Unit：算術論理演算器)を用いて積和演算を行い、別ページに演算結果の格納を行う。これらは、マイクロプログラムによって制御される。同時にピコプログラムの制御によって、次の演算に必要なデータの入出力を残りの1ページを用いて行う。通常、外部データの入出力速度は、内部のデータ演算速度より数倍遅い。このため、データの演算と入出力をシーケンシャルに行う従来のDSPは、

* 日立製作所中央研究所 ** 日立製作所武蔵工場 工学博士 *** 日立製作所武蔵工場



注：略語説明 BPU (Bit Processing Unit：ビット演算器), ALU (Arithmetic Logic Unit：算術論理演算器), MULT (Multiplier：乗算器)
AUA (Addressing Unit A：アドレス演算器A), AUE (Addressing Unit E：アドレス演算器E)
PC (Program Counter：プログラムカウンタ), RAM (Random Access Memory)

図1 HD81831の簡略ブロック図 2種の独立プログラム制御方式を採用し、データ演算(マイクロプログラム)とデータ入出力(ピコプログラム)とを並列処理している。

表1 HD81831の仕様 内部に大容量のデータキャッシュを持ち、データ処理のスループット向上を図っている。また、従来にないビット演算機能が付加されている。

項 目		仕 様
プ ロ セ ス		1.3 μm CMOS
入 カ ク ロ ッ ク		20 MHz
命 令 サ イ ク ル タ イ ム		50 ns
演 算 方 式		固定小数点演算
A L U 演 算		32ビット+32ビット→32ビット
乗 算 器		16ビット×16ビット→32ビット
命 令 メ モ リ	内部RAM	1,024ワード×48ビット
	外部拡張	15 kワード×48ビット
デ ー タ R A M	内部RAM	512ワード×4 ページ×16ビット
	外部拡張	16 Mワード×16ビット
イ ン タ フ ェ ー ス		8/16ビットパラレル
電 源 電 圧		5 V単一
パ ッ ケ ー ジ		PGA135ピン
そ の 他		●ビット演算器内蔵 ●マルチプロセッサ構成可能 ●DMAデータ転送機能 ●外部とのデータ入出力と内部演算を独立制御

注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)

システム全体の処理速度がデータ入出力によって制限されていた。本DSPは、データキャッシュを用いてデータの演算と入出力を並列に実行可能とし、データ処理のボトルネックを解消している。なお、外部データメモリは、膨大な画像データを扱えるように16 Mワードまでのアドレッシングが可能となっている。

2.2 データ演算

DSP-iでは、画像処理の高速化のためにBPU(ビット演算器)を内蔵する新しいアーキテクチャを採用した。このほかに、データ演算部は、16ビットの固定小数点演算を扱うALUと8本のアキュムレータ、MULTから構成されている。ALUは、積和演算時には高精度を確保するために32ビットの加減算を行い、1マシンサイクルでの実行が可能である。BPUは、データの符号・復号化や画像処理に必要となるビットごとの演算処理を高速に実行する。表2に示すように、画像データの合成のためのビット置換、ワード合成、画像マッチングのためのパターンマッチング、画像圧縮のためのラン長計測^{※1)}などの処理を数マシンサイクルで実行することが可能である。

※1) ラン長計測：画像情報の変化する部分だけに注目して情報を整理し、圧縮する。

表2 代表的なビット演算の内容 ビット演算器によって、ワード単位のビット演算を高速に処理する。特に2値画像処理でこれらの演算の高速化が重要となる。

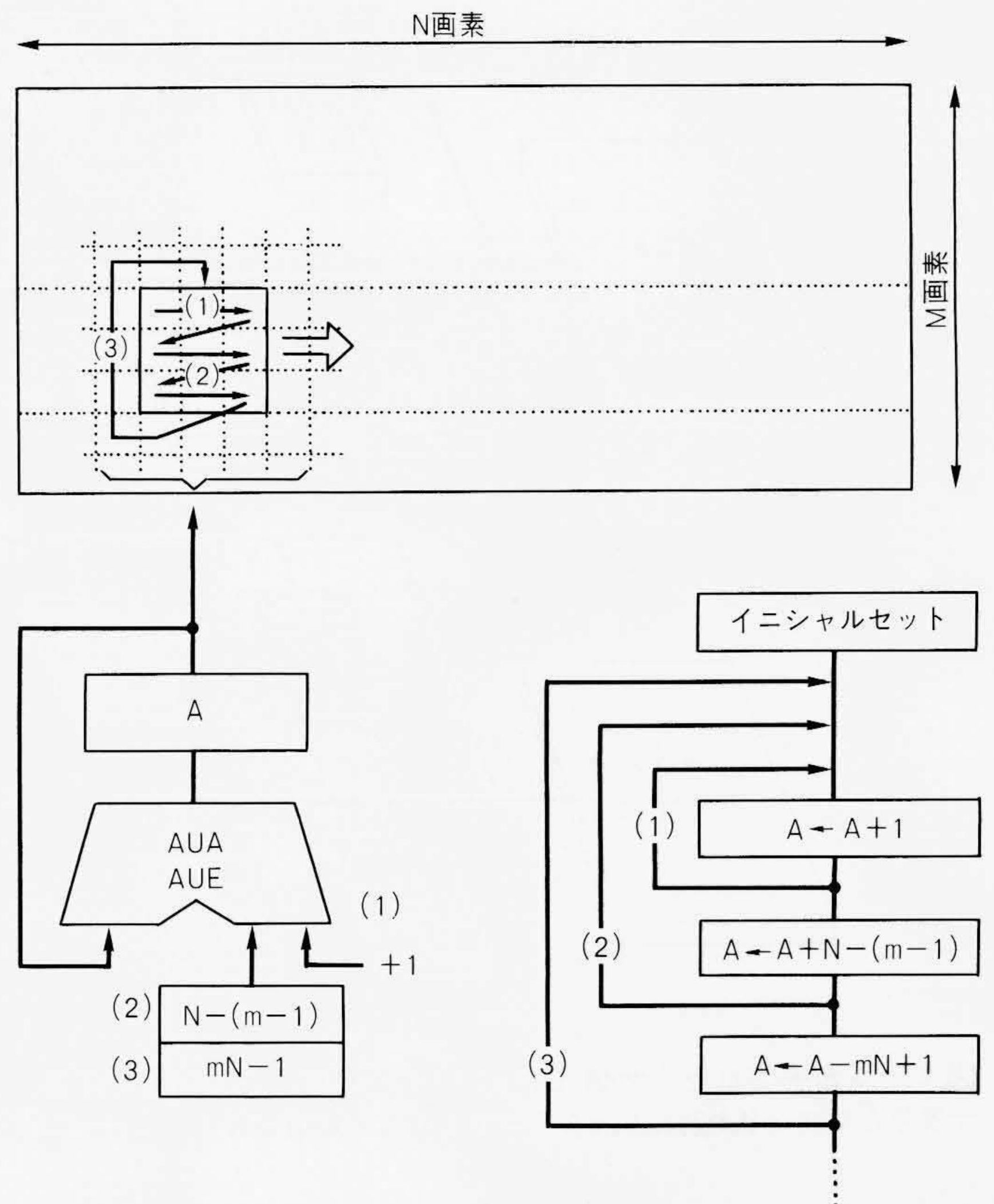
演 算	処 理 ステップ数	内 容
ビット置換	1	ワード1 ワード2 合成ワード
2ワード合成	2	ワード1 ワード2 合成ワード
マスク付きパターンマッチング	2	データ 辞書 マスク 一致ビット数
※1)ラン長計測	7	1ワードデータ 0 0 1 1 0 — n_1 — — n_2 — COUNT n_k

2.3 アドレス演算

内蔵データRAMは、3種類のアドレス演算器〔AUA (Addressing Unit A), AUB (Addressing Unit B), AUE (Addressing Unit E)〕によってアクセスされる。図1では、このうちの2種類だけを示している。これらの演算は、各々並列に処理され、更にデータ演算とも並列に実行可能となっている。

2次元の画像データは、メモリ上では1次元に配列される。このため、画像処理では特殊なアドレッシングが要求される。図2は空間フィルタリングを行うときのアドレッシング例を示しており、同図中の(1)～(3)の順でのアドレス演算が必要となる。AUA, AUEは入力にインデックスレジスタを備えているので、画像サイズ(M, N)と処理ウインドmに応じた定数をこのレジスタに設定する。これにより、同図中に示したフローのアドレス演算を実行するだけで容易に2次元のフィルタリング処理が実現できる。

また、図1に示されていないアドレス演算器AUBは、アドレス初期値のオートローディング機能を持っている。AUBの



注：略語説明
M, N (画像の縦, 横画素数)
m (処理ウインドの1辺の画素数)
A (画像データのアドレス値)

図2 空間フィルタリングでの2次元アドレッシング 空間フィルタリング処理では、 $m \times m$ のウインドを走査してウインド内に含まれる画素データを順次アドレッシングする。

アドレス値がインクリメント(又はデクリメント)されて最大値(又は最小値)を超えると初期値が自動的にロードされる。これによって、初期値アドレスを設定するための命令ステップを省略できるので、信号処理で多用されるループアドレッシングの処理が高速化できる。

2.4 マルチプロセッサ

本DSPは、単独で使用しても各種の信号処理を高速に実行する強力な性能を持っているが、大規模かつ超高速なシステムへの応用に対して、最大64個×64個のDSP-iを用いたマルチプロセッシングを可能とする機能を持っている⁵⁾。図3にマルチプロセッサ構成の一例を示す。PE(プロセッサエレメント)はDSPと外部メモリを含んでおり、各DSPには論理的に2次元のプロセッサ番号(X, Y)を設定できる。各DSPとホストCPUとの通信は、プロセッサ番号とコマンドが対になったデータ〔同図(d)〕を介して行われる。同図(a)は、プロセッサ番号PN = (2, 2)と一緒にコマンドが発行された場合で、網点のあるDSPだけが応答する。複数のDSPと通信を行う場合は、同図(b), (c)のようにプロセッサ番号としてゼロを用いる。同図(b)は1列だけのDSPが応答し、同図(c)の場合はすべてのDSPが応答する。

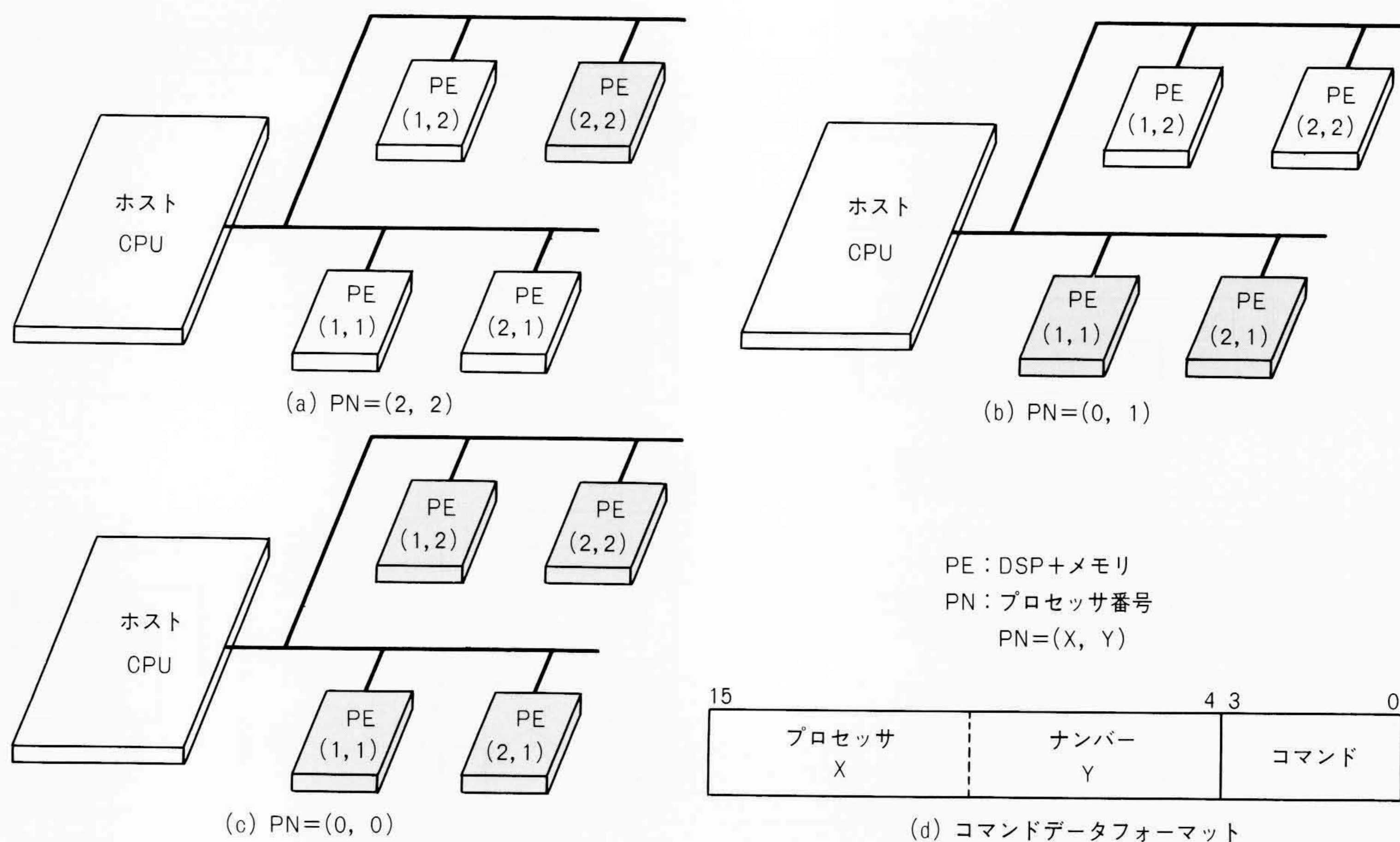


図3 マルチプロセッサ構成 [(a) 1 PEが応答, (b) 2 PEが応答, (c) 全PEが応答] ホストCPUと各プロセッサは、図(d)に示したプロセッサ番号とコマンドが対になったデータを介して通信を行う。

3 DSP-iで採用した技術

3.1 LSI概要

DSP-iのチップ写真を図4に示す。1.3 μ m CMOS (Complementary Metal Oxide Semiconductor) のAl 2層配線技術を用い、11.5 $\times$ 12.9 mm²のチップ上に約43万トランジスタが集積されている。プログラム及びデータメモリは、高速のア

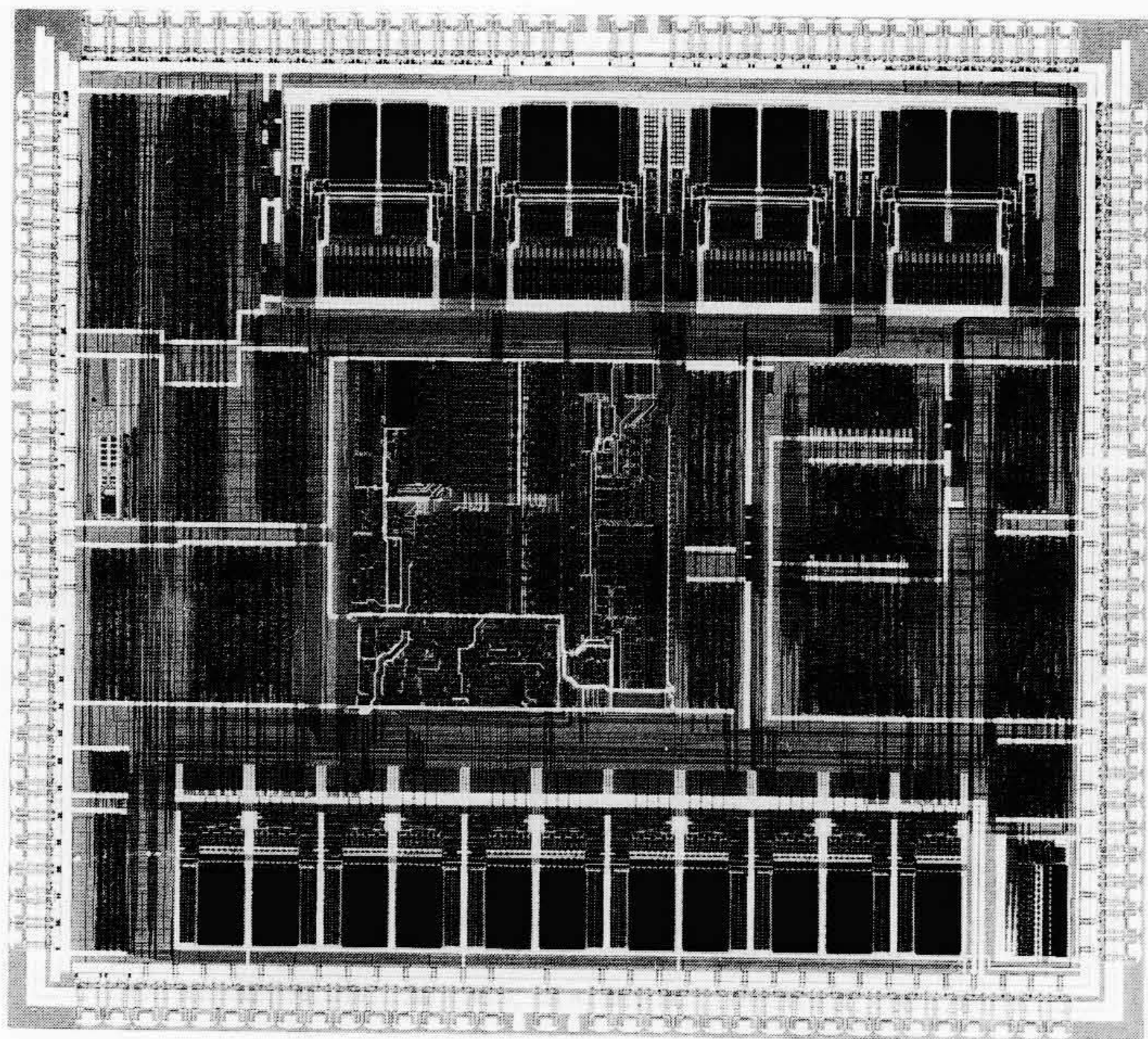


図4 HD81831チップ写真 11.5 $\times$ 12.9 mm²のチップに約43万個のトランジスタを集積し、高性能、高機能を達成している。

クセスが可能な高速SRAM (Static Random Access Memory)を採用している。

3.2 命令セットとパイプライン制御

本DSPでは、前述したようにマイクロ命令とピコ命令という階層形の命令を採用し、速度の遅いデータ入出力と高速の内部データ演算という相反する課題を解決している。マイクロ命令は表3に示すように、並列度の高い48ビット長の水平形を採用し、性能向上を図っている。マイクロ命令のMOP (Micro Operation) フィールドはデータ演算、プログラムフロー、データメモリなどの並列制御を行う。DSP-iでは、1命令サイクルで実行可能な積和演算命令に加えて割算命令を有している。本命令を用いることにより、20命令サイクルでの割算実行が可能である。このほかに複数ステップの高速な繰返し制御を可能とするリピート命令を持っている。一般的には、繰返し制御はジャンプ命令を使用しても実行可能である。しかし、ジャンプ命令に要するステップとパイプラインの乱れによる余分な処理ステップが生じる。リピート命令は、このような余分な処理ステップなしで繰返し動作を可能とする命令である。IAO (Internal Addressing Operation) フィールドは、データメモリのアドレス演算制御を行う。EAO (External Addressing Operation) フィールドはピコ命令のサブセットとなっており、外部データのアドレス演算、データ入出力、ピコプログラムの制御を行う。

ピコ命令は、16ビット長の水平命令となっており、外部データのアドレス演算、データ入出力及びプログラムフローの制御を行う。

マイクロ命令とピコ命令は、図5に示すように、いずれも並列のパイプライン動作で処理を実行する。同図では、マイ

表3 命令フォーマットと処理の並列度 並列度の高い48ビット長の水平形命令を採用し、性能向上を図った。

マイクロ命令 (48ビット)						ピコ命令 (16ビット)		
MOP部 (30ビット)				IAO部 (10ビット) (MOP部, EAO部と 完全並列記述可能)		EAO部 (8ビット) (MOP部, IAO部と 完全並列記述可能)		
	乗 算	メモリ書込み	レジスタ修飾 メモリ制御					データ入出力 制御
A L U 演 算	○	○	○					内蔵データ RAM転送
積 和 演 算	○	○	○	——	AUB演算	● AUE演算		
割 算	×	○	○	● AUA演算	○	● データ入出力制御		
デ ー タ 転 送	○	○	○	● DIRECT アドレス	×	● AUE演算 ● データ入出力		
リ ピ ー ト	○	○	○			● 転送		
フ ラ グ セッ ト / ク リ ア	×	×	×			● ピコ制御		
イ ミ デ ィ エ イ ト	×	×	×			(偶数アドレスだけに 記述可能)		
フ ロ ー 制 御	×	×	×					
B P U 演 算	×	○	○					

注：○印は縦横の機能が並列に動作可能なことを意味する。×印は並列動作ができないことを意味する。

注：略語説明 MOP部(Micro Operation：本体演算部)
IAO部(Internal Addressing Operation：内部アドレス演算部)
EAO部(External Addressing Operation：外部アドレス演算部)

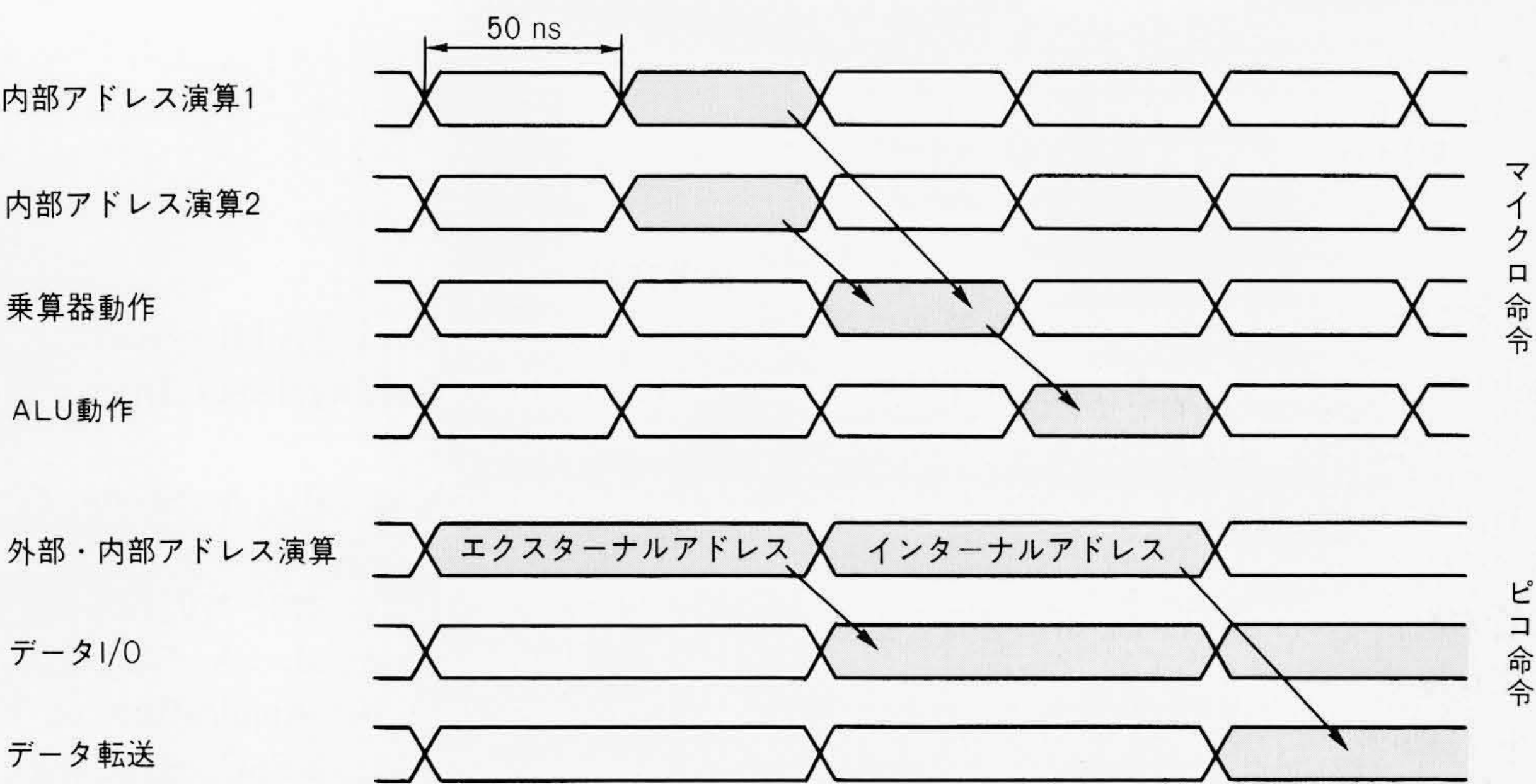


図5 HD81831の並列パイプラインシーケンス マイクロ命令とピコ命令が並列に動作し、各々がパイプライン動作を実行する。

クロ命令によって2データの積和演算をパイプラインで実行しながら、ピコ命令によって外部データを内部データRAMに転送している様子を示している。これらの技術によって、50 nsの積和演算サイクルと並列での200 nsの外部データの入出力サイクルという高性能を可能としている。

4 HD81831の性能

HD81831は通信、音声システムへの応用はもちろんのことであるが、特に画像処理システムでの高性能化を進めることができる。



図6 画像処理 実機による画像処理の例を示す。

表4 HD81831の信号処理性能 代表的な各種の信号処理で、高性能な結果が得られている。

信号処理内容	処 理 時 間
FIRフィルタ	50 ns/タップ
1,024点複素FFT	3.8 ms
エッジ抽出(2値)	25 ns/画素
アフィン変換(多値)	850 ns/画素
空間フィルタ(多値)	850 ns/画素

注：略語説明 FIR(Finite Impulse Response：周波数応答を有限個のインパルスの組合せとして取り扱い、デジタル信号処理を行う手法である。)
FFT(Fast Fourier Transform：高速フーリエ変換のこと。信号波形の時間変化をフーリエ変換して、周波数領域での信号応答を取り扱う手法である。)
アフィン変換(画像の幾何学変換(拡大、縮小、回転、移動)を行う手法である。)

代表的なデジタル信号処理に対する性能評価を表4に示す⁶⁾。FIRフィルタは50 ns/タップ、1,024点の複素FFT処理は3.8 msで実行可能である。また、図6(a)に示す2値画像のエッジ抽出を25 ns/画素、同図(b)に示す多値画像のアフィン変換を850 ns/画素、同図(c)の空間フィルタリングによるエッジ抽出を850 ns/画素で実行する。このほか、OA应用到必要となる描画、高機能ワードプロセッサやディストロップパブリッシングに必要なベクトルフォント^{※2)}の展開の処理なども高速に実行可能である。

5 結 言

1.3 μm CMOS技術、高度な並列パイプライン技術の採用によって、積和演算サイクル50 nsの高性能なはん用DSPを開発

した。本DSPには、2種の独立プログラム制御によるデータ処理スループットの向上、ビット演算の高速化、大規模なシステム対応のマルチプロセッサ機能の搭載など、膨大な画像データを扱ううえでの方式上の新しい技術を採用している。この結果として、各種の信号処理性能の評価で従来のDSPよりも一けた以上高い処理性能が得られている。

通信、音声システムでの高度な信号処理はもとより、FA (Factory Automation)での画像認識、OAでの画像編集、画像情報圧縮やME (Medical Electronics)での超音波診断などの先端画像処理システムの高性能化を一段と推進することができると考える。

参考文献

- 1) S. S. Magar, et al. : A Microcomputer with Digital Signal Processing Capability, ISSCC Digest of Technical Papers, 32~33 (1982-2)
- 2) T. Nishitani, et al. : A Single Chip Digital Signal Processor for Telecommunication Applications, IEEE J. of SSC, SC-16, 4, 372~376 (1982-12)
- 3) Y. Hagiwara, et al. : A Single Chip Digital Signal Processor and its Application to Real-Time Speech Analysis, IEEE J. of SSC, SC-18, 1, 91~99 (1983-2)
- 4) K. Kaneko, et al. : A 50 ns DSP with Parallel Processing Architecture, ISSCC Digest of Technical Papers, 158~159 (1987-2)
- 5) H. Ueda, et al. : A Multiprocessor System Utilizing Enhanced DSPs for Image Processing, IEEE ICSA 88 Proceedings, 611~620 (1988-5)
- 6) K. Kaneko, et al. : High Performance DSPs for Telecommunication and Image Processing, ISCAS 88 Presymposium Workshop New Generation Digital Signal Processors, 2~20 (1988-6)

※2) ベクトルフォント：文字データを点の集合としてではなく、外郭の折線などで近似した座標データとして表現する手法を言う。