

超高速Hi-BiCMOSゲートアレー “HG29M100/HG21T30”

Super High-Speed Hi-BiCMOS Gate Array “HG29M100/HG21T30”

各種情報機器をはじめとする電子機器の高速化、高機能化に伴い、ゲートアレーに対する高速化、高機能化の要求もますます強くなってきている。この要求にこたえるため、バイポーラとCMOSを基本回路内で一体化したHi-BiCMOS技術を用いて、低消費電力かつゲート当たり遅延時間0.45 nsという超高速ゲートアレーHG29M100及びHG21T30の開発を行った。

この両ゲートアレーは1.3 μm プロセスを用いて高速化を図るとともに、バイポーラ素子を内蔵しているという特長を生かして、HG29M100は3-ポートの高速RAM内蔵、HG21T30はECL/TTL混在インタフェース可能といった高機能化も図っている。ここでは、その開発に当たって使用した技術と製品の概要について述べる。

上遠野臣司* Shinji Kadono

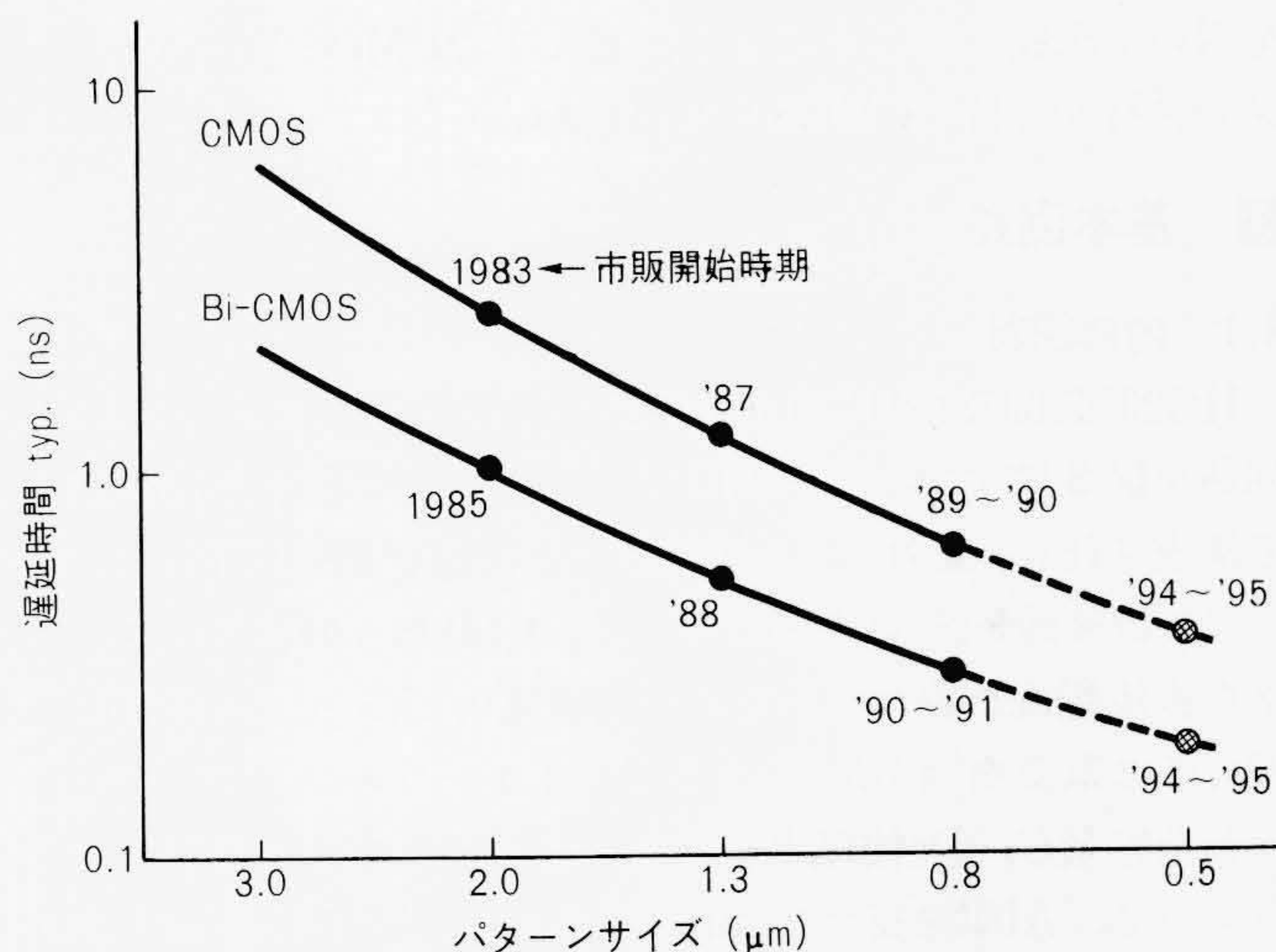
西尾 洋二** Yôji Nishio

1 緒 言

電子機器の小形・軽量化、低価格化及び高信頼度化を図るうえで、LSIの導入が不可欠である。このためコンピュータやOA(Office Automation)機器をはじめとしてセミカスタムLSIであるゲートアレーによるLSI化が図られてきた。

このゲートアレーの代表的なデバイスとしては、スーパーコンピュータのように超高速を追求する分野に使用されているECL(Emitter Coupled Logic)を除くとCMOS(Complementary Metal Oxide Semiconductor)が主流であった。しかし、CMOSのゲートアレーは低消費電力で高集積化には適しているが、速度の面でECLに代表されるバイポーラには及ばず、CMOSの低消費電力とバイポーラの高速性を併せ持つゲートアレーが望まれていた。そこでこのニーズにこたえて実用化されたのがバイポーラとCMOSを同一のチップ上で形成して、両者の特長を生かしたBi-CMOS(Bipolar-CMOS)ゲートアレー¹⁾である。日立製作所では、昭和58年5月に3 μm プロセスを用いて内部ゲートをCMOSで、入出力バッファをBi-CMOSで構成したHD27シリーズ^{2),3)}を、昭和60年9月には2 μm プロセスを用いて内部ゲートもBi-CMOSで構成したゲート遅延時間0.8 nsのHG28シリーズ^{4),5)}を製品化してきた。図1は、プロセスの微細化レベルと遅延時間の関係を示したものであり、更に高速化を図るため1.3 μm プロセスを用いたBi-CMOSゲートアレー⁶⁾の開発が望まれていた。

この開発に当たっては、バイポーラの持つ特長を生かした高機能化も同時に検討した。その一つはRAM(Random Access Memory)内蔵である。この場合、RAMのセルのような大きな容量が負荷となるアドレス線、データ線をバイポー



注：略語説明 CMOS (Complementary Metal Oxide Semiconductor)
Bi-CMOS (Bipolar CMOS)

図1 パターンサイズと遅延時間 4年で約2倍の高速化が図られている。

ラにより高速で駆動できるため、高速のRAMが実現できる。更に、外付けRAMの場合と比べて入出力バッファでの大きな遅延時間をなくすることができるため、システムの高速化に大きな効果がある。もう一つはバイポーラでしか実現できない入出力のECL/TTL(ECL/Transistor Transistor Logic)混在インタフェースを実現したことである。この場合、例えば

* 日立製作所高崎工場 ** 日立製作所日立研究所

ECLで構成した高速演算処理装置とTTLインタフェースのメモリとのインタフェースを、ECL↔TTL変換用SSI(Small Scale Integration)なしで構成できるという効果がある。

HG29M100及びHG21T30は1.3 μmプロセスを用いてゲート遅延時間0.45 nsを実現し、更に高機能化に対応するためHG29M100は、アクセス時間10 nsの3-ポート、4.6 kビットのRAMを内蔵し、HG21T30はECL/TTL混在インタフェースを搭載したゲートアレーである。本論文では、このHG29M100及びHG21T30のプロセス技術、回路及び製品の概要について述べる。

2 プロセス技術

HG29M100及びHG21T30は、1.3 μm CMOSプロセスと1.2 μmバイポーラプロセスを用いて作られている。HG29M100及びHG21T30のデバイス断面構造を図2に、デバイス特性を表1に示す。

- その特徴は、以下のとおりである。
- (1) 薄いエピタキシャル層をN⁺埋込層とP⁺埋込層を用いて達成することにより $f_T = 6\text{ GHz}$ という高性能バイポーラトランジスタを実現した。
 - (2) 最小 $1.2 \times 2\text{ }\mu\text{m}^2$ という小さなエミッタサイズのバイポーラトランジスタを使用した。
 - (3) チャネル長1.2 μmのMOSトランジスタをP、N両ウェルを用いて構成することにより、ピュアなCMOSと同じトランジスタ特性を持つCMOSを実現した。

3 基本回路

3.1 内部回路

HG29M100及びHG21T30の基本回路である2入力NAND回路を図3に示す。この回路は、バイポーラ素子とCMOSとで構成される。出力レベルはCMOSと同様電源電圧 V_{cc} に、低レベルは接地レベルGNDに等しく、CMOSと同様スタティックな直流電流が流れないため低消費電力である。回路性能に関しては電流増幅率 h_{FE} の大きなバイポーラトランジスタにより負荷容量 C_L を充放電するため、図4に示すようにファンアウト=2、Al配線長=2 mmの標準負荷状態で0.45 nsと高速であり、負荷駆動能力も0.22 ns/pFとCMOSに比べて約5倍高い。つまり、基本回路はCMOSの低消費電力、バイポーラ

表1 デバイス特性 バイポーラ、CMOSプロセスを用いて $f_T = 6\text{ GHz}$ の高性能バイポーラトランジスタと、 $\beta_{0\text{Max}} = 80\text{ }\mu\text{s/V}$ 、 $27\text{ }\mu\text{s/V}$ の高性能MOSトランジスタを実現している。

項 目		特 性
最小エミッタサイズ		$1.2 \times 2\text{ }\mu\text{m}^2$
電 流 増 幅 率 h_{FE}		100
カットオフ周波数 f_T		6 GHz
コレクタ飽和抵抗 r_{cs}		100 Ω
V_{TH}	NMOS	0.55 V
	PMOS	-0.55 V
最大コンダクタンス $\beta_{0\text{Max}}$	NMOS	80 $\mu\text{s/V}$
	PMOS	27 $\mu\text{s/V}$

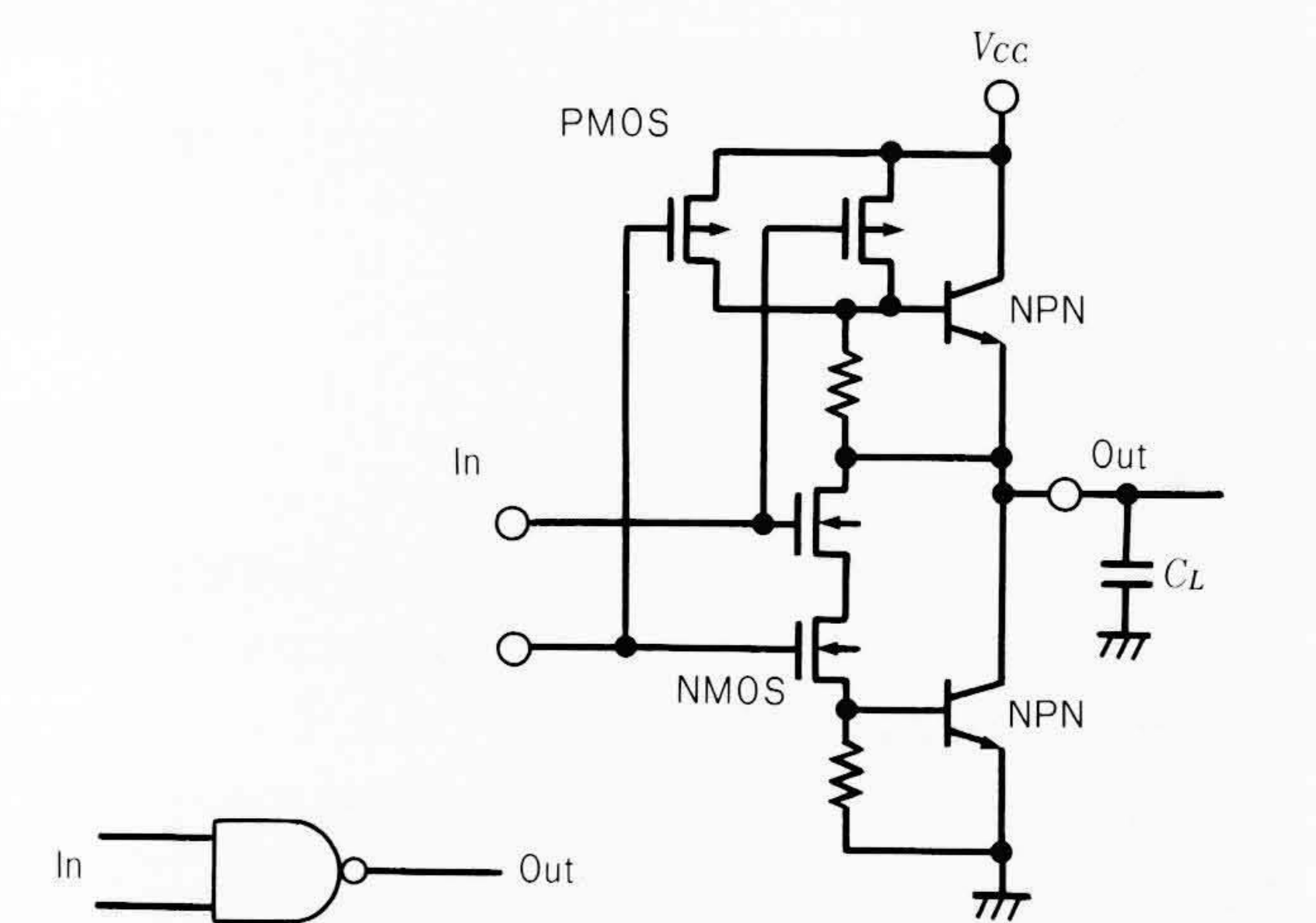


図3 内部基本回路(2入力NAND回路) バイポーラ素子とCMOS回路を組み合わせることによって、低消費電力、高性能の回路を実現している。

の高速・高駆動力という両者の特長を生かした回路と言える。

4 HG29M100

HG29M100の概略仕様をHG21T30及び開発中のHG29A32の仕様と併せて表2に示す。

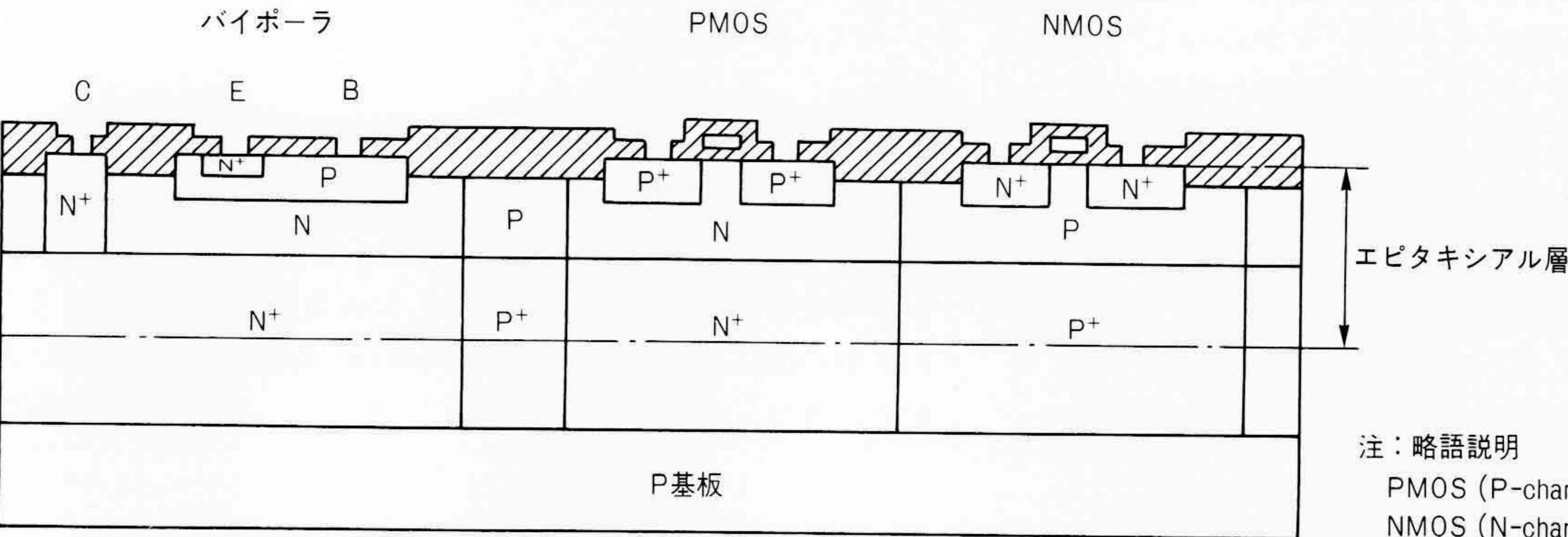


図2 デバイス断面構造 薄いエピタキシャル層を、N⁺埋込層とP⁺により実現している。

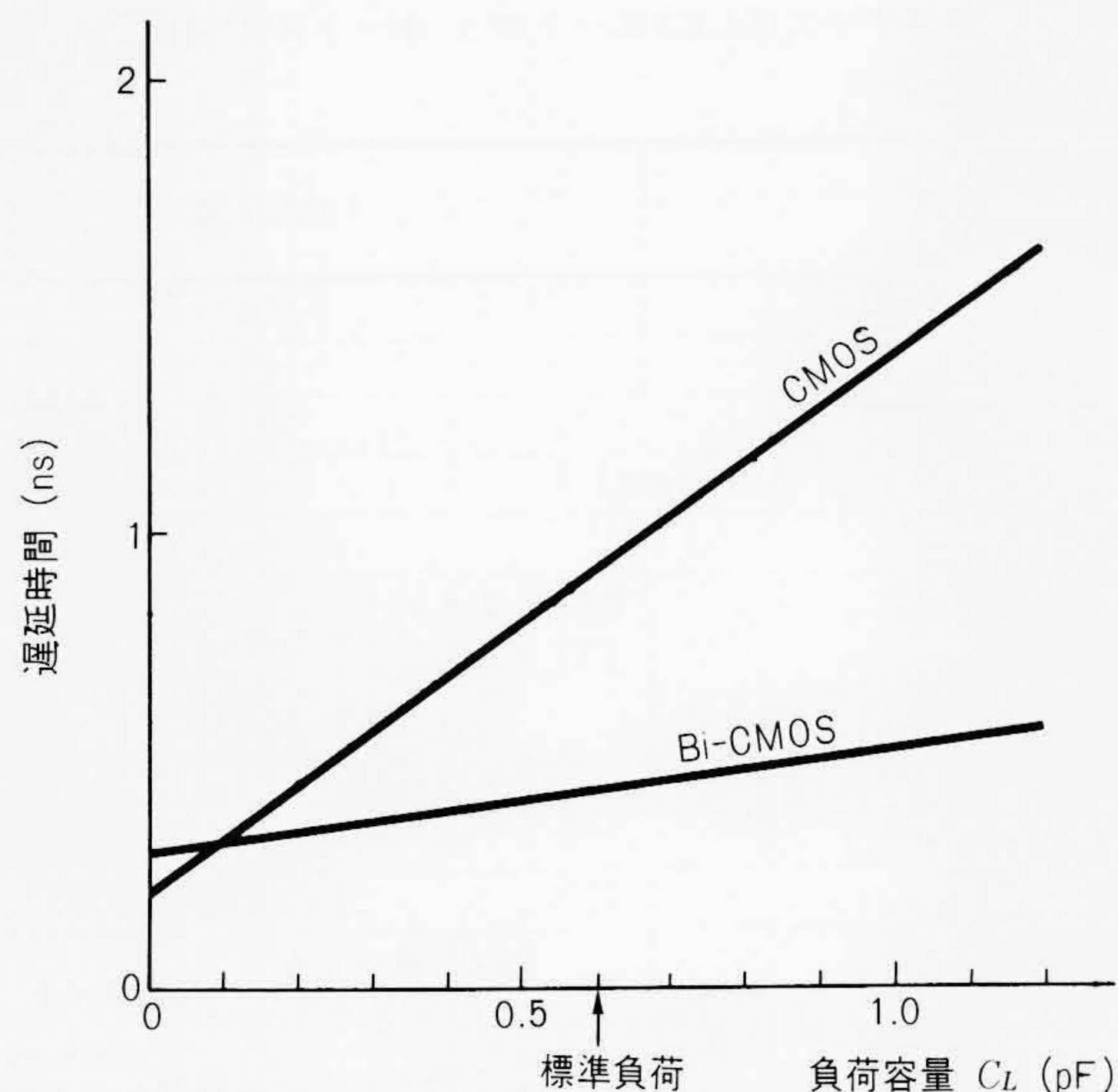


図4 基本回路の遅延時間 ファンアウト=2, 配線長=2 mmの標準負荷状態で0.45 ns/ゲートと高速動作を達成している。

本製品の特長は以下のとおりである。

- (1) 1万ゲートという高集積に加えて、アクセス時間10 nsの4.6 kビットの3-ポートのRAMを内蔵している。
- (2) 入力バッファとしてシュミット入力, 出力バッファとして24 mAバッファ及び48 mAバッファを構成可能である。
- (3) 自動診断機能を持ち、ソフトウェアにより必要なテスト回路の自動付加とテストパターンの自動生成が行えるため、短期間で効率のよい論理設計が可能である。

ここで特長の一つである内蔵RAMの構成について述べる。

- (1) システムの演算回路部の処理速度を向上できるように、RAMは2リードと1ライトが同時にできる3-ポート構造とした。この場合、通常のRAMのように肯定、否定の両データ

線を持たせる構造にするとデータ線が多くなり、メモリセルの面積が大きくなる。また、通常のRAMのセルより高速性能を実現できるという二つの理由によって、図5に示すレジスタファイル形式のメモリセルを採用した。

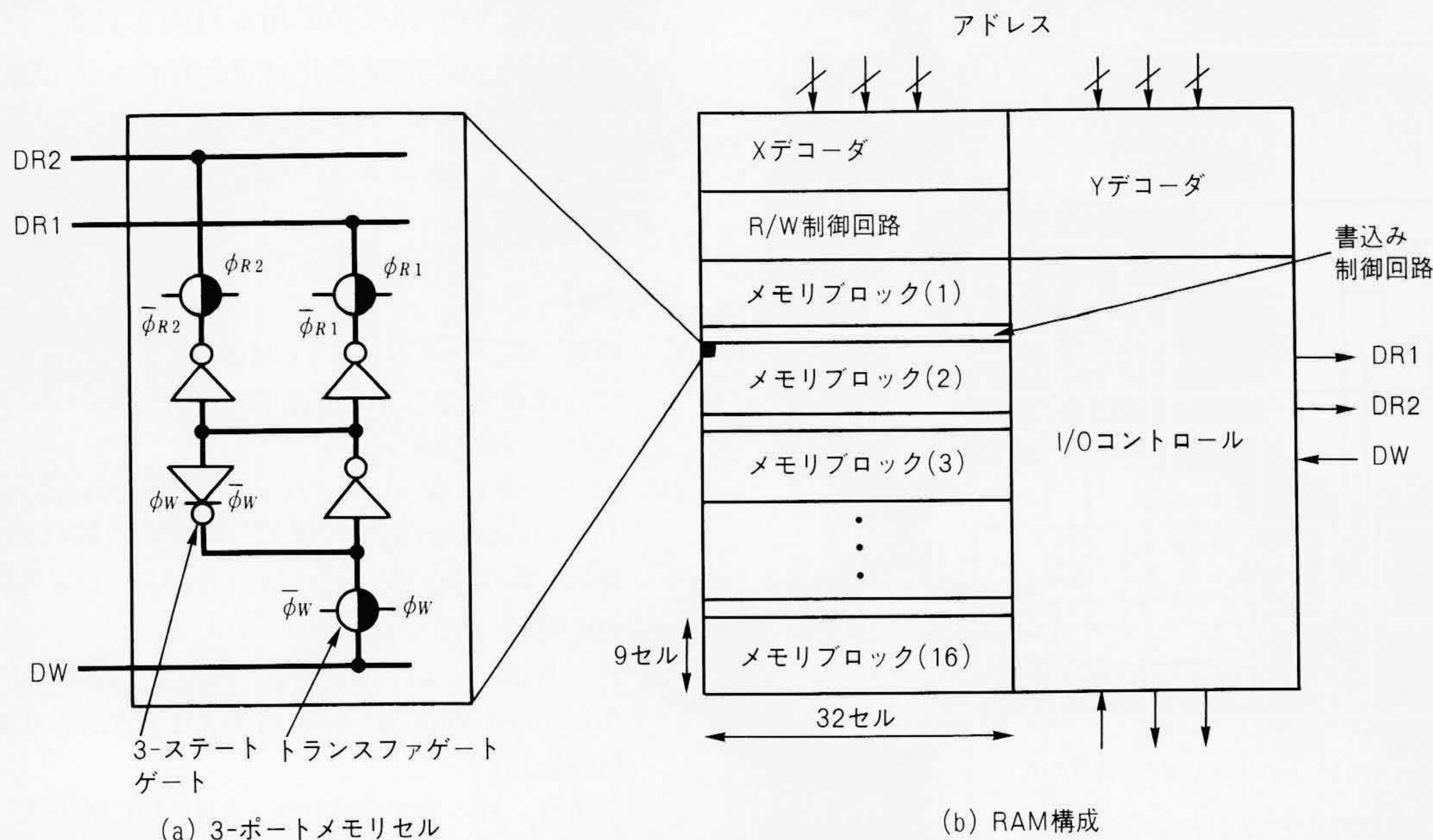
- (2) 各種システムに適用できるはん(汎)用性を持たせるために、RAMの構成は9ビットを基本とし、AI配線だけを変えることによって、9ビット×512語, 18ビット×256語及び36ビット×128語の3種類が構成できるようにした。このメモリセルは図5に示すように32セル×9セルを1ブロックとし、書き込み制御回路を挟んで16ブロック配置して構成し、アドレス線, データ線の負荷容量を小さくすることによって高速化を図った。また、書き込み制御回路をブロックごとに持たせることによって、36ビット(4バイト)構成のときにも1ブロックごと、つまり9ビット(1バイト)単位に書き込むいわゆるパーシャルライトも可能にした。

5 HG21T30

HG21T30の特長は表2に示すように、入出力レベルとしてECL/TTL混在が可能なことである。また、ECLとしては10 KHあるいは100 Kのどちらかの選択が可能である。この混在を可能にするため、図6に示すように基本回路はすべて-4.5 V(100 K), あるいは-5.2 V(10 KH)のECL電圧で動作するようにし、TTL入出力バッファはECL↔TTLレベル変換回路を持たせて V_{CC} 電圧で動作するようにした。更に、このHG21T30はGNDラインを4系統, V_{EE} ラインを2系統にし、入力バッファ用, 内部ゲート用, 出力バッファ用と分離することによってノイズマージンの向上を図った。その結果、標準の電源ピン数で最大18本の出力バッファの同時切替えが可能になった。

6 結 言

1.3 μm プロセスと、バイポーラとCMOSを基本回路内で一体化したHi-BiCMOS技術を用いてゲート当たり遅延時間



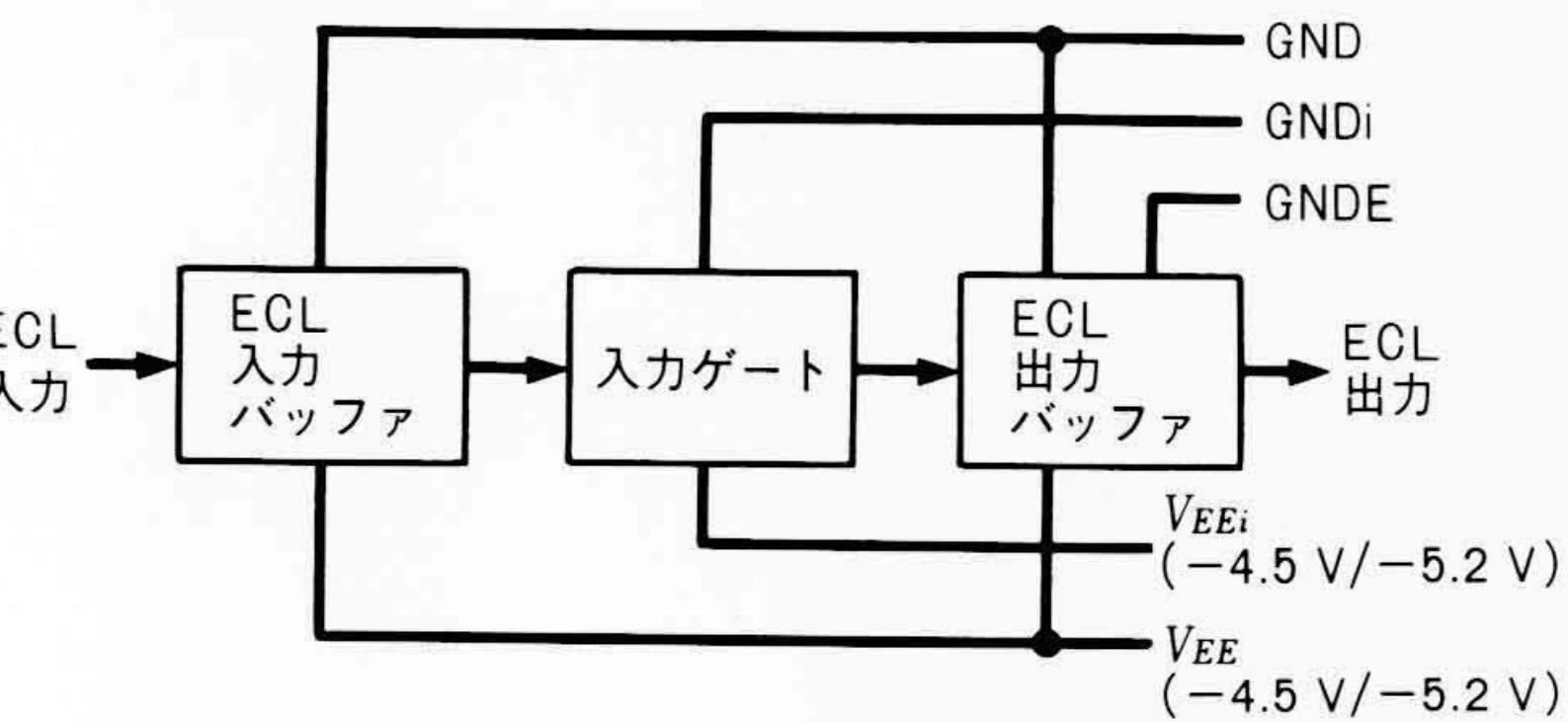
注：略語説明 RAM (Random Access Memory)

図5 3-ポートRAM構成 レジスタファイル形式のメモリセルを用いることによって高速化を図り、各ブロックごとに書き込み制御回路を設けることによってブロック単位での書き込みを可能にした。

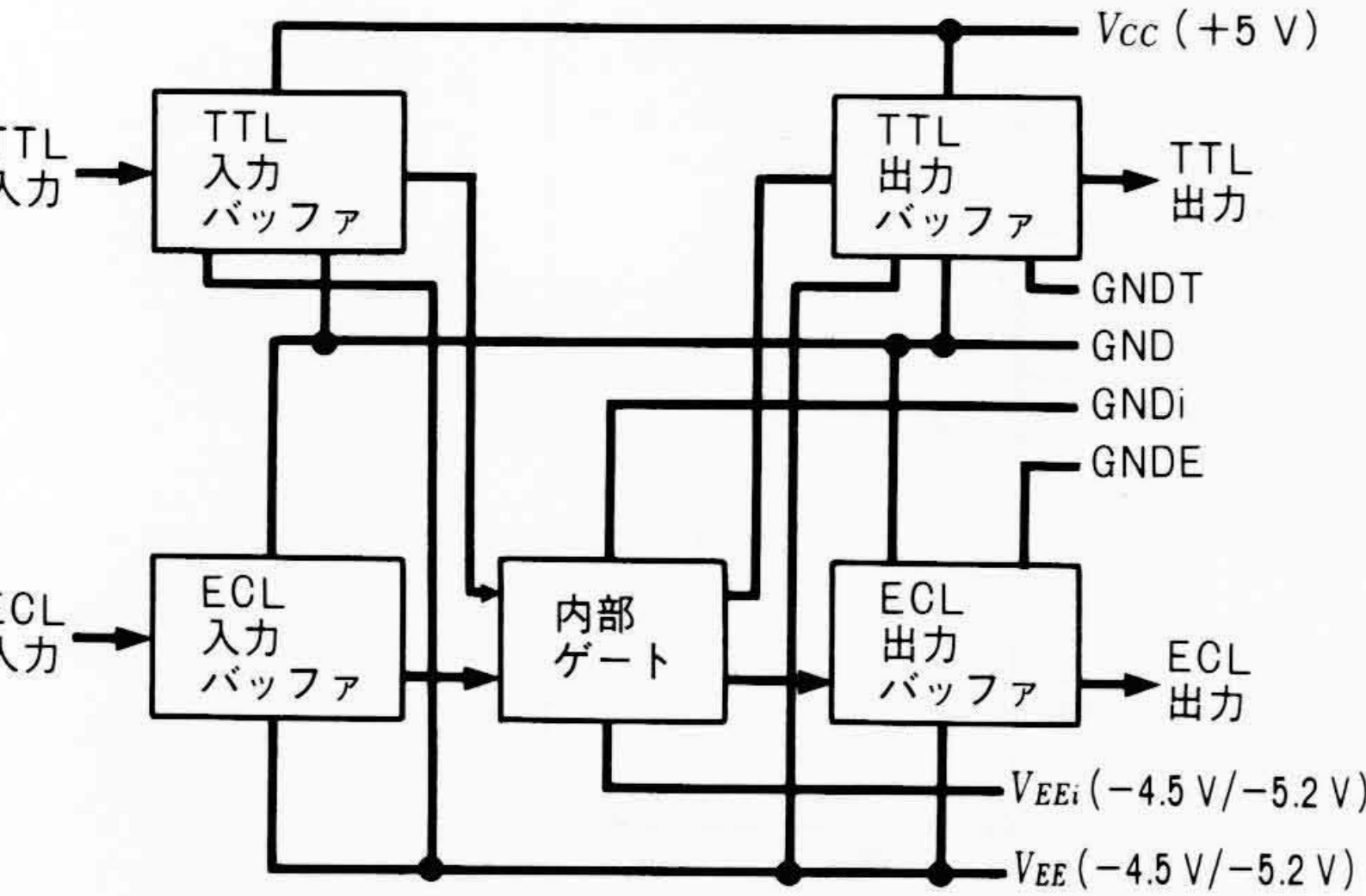
表2 HG29/21シリーズの概略仕様 内部ゲート0.45 nsと高速である。また、HG29Mシリーズは4.6 kビットの3-ポートRAMを搭載しており、HG21Tシリーズは入出力レベルとしてECL/TTLの選択が可能である。

項 目		HG29A32*	HG29M100	HG21T30
ゲ ー ト 数		3,210	10,125	3,072
R A M		—	4,608ビット(3-ポート)	—
信 号 ピ ン 数		102	220	90
遅延時間 (typ.)	内部ゲート	0.45 ns/ 2 入力NAND (@ FO = 2, AI = 2 mm)		
	RAM	—	$T_{AA} = 10\text{ ns}$	—
	入力バッファ	0.7 ns (@ FO = 2, AI = 2 mm)		ECL: 2.8 ns (@ FO = 2, AI = 2 mm) TTL: 4.1 ns
	出力バッファ	2.0 ns (@ 15 pF)		ECL: 1.0 ns (50 Ω 終端) TTL: 4.2 ns (@ 15 pF)
消費電力 (typ.)	内部ゲート	240 μW (@ 10 MHz)		
	RAM	—	200 mW	—
	入力バッファ	1.2 mW (@ 10 MHz)		ECL: 8.2 mW (@ 10 MHz) TTL: 12.9 mW (@ 10 MHz)
	出力バッファ	5.0 mW (@ 15 pF, 10 MHz)		ECL: 38 mW (50 Ω 終端) TTL: 23 mW (@ 15 pF, 10 MHz)
入出力レベル		LS-TTL		ECL/LS-TTL**選択可能
マクロセル数		入出力バッファ51, 内部回路38	入出力バッファ51, 内部回路50	入出力バッファ20, 内部回路38
パ ャ ケ ー ジ		FPG132	PGA256	PGA120
特 殊 機 能		シュミット入力 $I_{DL} = 12, 24, 48\text{ mA}$ ***選択可能	シュミット入力 $I_{DL} = 12, 24, 48\text{ mA}$ ***選択可能 自動診断機能内蔵	$I_{DL} = 12, 24, 48\text{ mA}$ ***選択可能 ECL 10 KH/100 Kインタフェース選択可

注：* 開発中
** ECL 100 Kインタフェースのとき、内部回路の遅延時間約20%大
*** ダブルバッファで構成



(a) ECL I/Oだけのとき



(b) TTL/ECL混在I/Oのとき

注：略語説明 ECL (Emitter Coupled Logic)
TTL (Transistor Transistor Logic)

図6 HG21T30のチップ構成 入力バッファ用、内部ゲート用、出力バッファ用とそれぞれ電源、GNDラインを分離することによって、ノイズマージンの向上を図っている。

0.45 nsという超高速ゲートアレー 2 品種を開発した。このうち 1 品種にはアクセス時間10 nsの 3-ポート高速RAMを内蔵することにより、別の 1 品種にはECL/TTL混在インタフェースを構成可能にすることにより、バイポーラ素子内蔵という特長を生かして高機能化に対応している。本ゲートアレーは、超高速で高機能が要求されるコンピュータ分野、OA分野をはじめとした広い分野への応用が可能である。

ゲートアレーの高機能化はまだ始まったばかりであり、今後もユーザーのニーズを的確に反映して、より使いやすいゲートアレーを開発していく考えである。

参考文献

1) 西尾, 外: バイポーラとCMOSを基本回路内で複合し, 高速かつ低消費電力なLSIを実現する, 日経エレクトロニクス, p.187~208(1985-8-12)
2) Y. Suzuki, et al.: "A Plastic Packaged 1600 Gate TTL Type Gate Array", CICC, p.472~475(1984-5)
3) 鳥居, 外: 複合形ゲートアレイの開発, 日立評論, 66, 7, 535~539(昭59-7)
4) Y. Nishio, et al.: "A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array, ICCD p.428~433 (1984-10)
5) 上遠野, 外: サブナノセカンドHi-BiCMOSゲートアレイ「HG 28シリーズ」, 日立評論, 67, 8, p.69~72(昭60-8)
6) Y. Nishio, et al.: "0.45 ns 7 k Hi-BiCMOS Gate Array with Configurable 3-port 4.6 k SRAM", CICC, p.203~204 (1987-5)