

# 通信用LSI

## LSIs for Communications Networks

近年、音声、画像およびデータの各種情報を対象にした高度情報ネットワークの構築が急速に進み始めており、これを実現するための通信用LSI開発の重要性がますます増大している。日立製作所では、音声通信を中心とした現在の主流網であるアナログ通信網およびISDN(Integrated Services Digital Network)として今後の一大発展が期待されるデジタル通信網の両者を対象に、日立製作所の最新の半導体技術である高集積CMOS(Complementary Metal Oxide Semiconductor)技術、超高速バイポーラおよびGaAs技術を用いて、OSI(Open Systems Interconnection)レイヤの物理層をはじめとする各層に対応した通信用LSIを実現した。また、広帯域ISDNなどの将来に向けた次世代LSI技術の開発も進めている。

原 躬千夫*	<i>Michio Hara</i>
鈴木俊郎**	<i>Toshirô Suzuki</i>
山下喜市***	<i>Kiichi Yamashita</i>
大町一彦****	<i>Kazuhiko Ômachi</i>
増田郁朗*****	<i>Ikurô Masuda</i>
島田舜二*****	<i>Shunji Shimada</i>
木原利昌*****	<i>Toshiaki Kihara</i>

### 1 緒 言

近年、通信ネットワークの発展は目覚ましいものがある。これは、従来からのパーソナルコンピュータ(以下、パソコンと略す。)、ファクシミリ、ワークステーションなどOA機器の普及に伴い、これら機器間のネットワーク化に対して強いニーズを生じている背景と、一方では、昭和63年4月からサービスが開始されている日本電信電話株式会社(以下、NTTと言う。)のINSネット64に代表されるISDN(Integrated Services Digital Network)構築の動きが相乗的に働いている面が大きい。この通信ネットワークの発展は、情報通信機器の小形・軽量化、低価格化、インテリジェント化とあいまって、ネットワークの拡大、広帯域化、サービスの多様化へと進展しつつある。これらの動向に対してキーデバイスである通信用LSIは、高集積、高速化の方向だけでなく、高耐圧、低電圧、アナログ・デジタル混載など多様な展開を示している。本稿で紹介する日立製作所の代表的な通信用LSIの開発マップを図1に示す。すなわち、従来のアナログネットワーク対応では、ファクシミリでの画像読み取り処理、圧縮伸張処理をおのおの1チップで対応する高集積CMOS(Complementary Metal Oxide Semiconductor)LSI(DIPP/DICEP: Document Image Pre-Processor/Document Image Compression and Expansion Processor)、デジタルCODEC(Coder and Decoder)、シングルチップモデムに代表されるA-D、D-A変換回路とデジタル信号処理プロセッサを1チップに搭載し

たアナログ・デジタル混載LSI、誘電体素子分離、高耐圧バイポーラ技術を用いたSLIC(Subscriber Line Interface Circuit)などがある。デジタルネットワーク対応では、高集積CMOS LSIとしてデータリンク層プロトコルを処理する専用コントローラ(LAPD/LAPB: Link Access Procedure on the D-Channel/Link Access Procedure Balanced)、汎(はん)用プロセッサコアを用いたASIC(Application Specific IC)技術による通信制御プロセッサ(NPU: Network Processing Unit)、IインタフェースLSIなどが製品化されている。

さらに超高速伝送の分野では、高速バイポーラ技術による600 Mビット/秒送受信IC、GaAs技術による2.4 Gビット/秒送受信ICなど多様な展開を見せている。

本稿では、これらのなかから代表的な通信用LSIについて機能・性能を述べるとともに、今後の開発展望について述べる。

### 2 アナログネットワーク用LSI

#### 2.1 シングルチップモデム<sup>1),2)</sup>

ファクシミリ、パソコン通信などのアナログネットワーク利用のデータ通信が急速に普及し、アナログ回線でのデータ伝送に必須(す)となる変・復調装置としてモデムに対する小形化、低価格化の要求が強まっている。

シングルチップモデム(HD81900)はこの強い要求にこたえるため開発されたLSIで、従来3~6チップで構成されてい

\* 日立製作所デバイス開発センタ \*\* 日立製作所中央研究所 \*\*\* 日立製作所中央研究所 工学博士 \*\*\*\* 日立製作所システム開発研究所 \*\*\*\*\* 日立製作所日立研究所 工学博士 \*\*\*\*\* 日立製作所半導体設計開発センタ

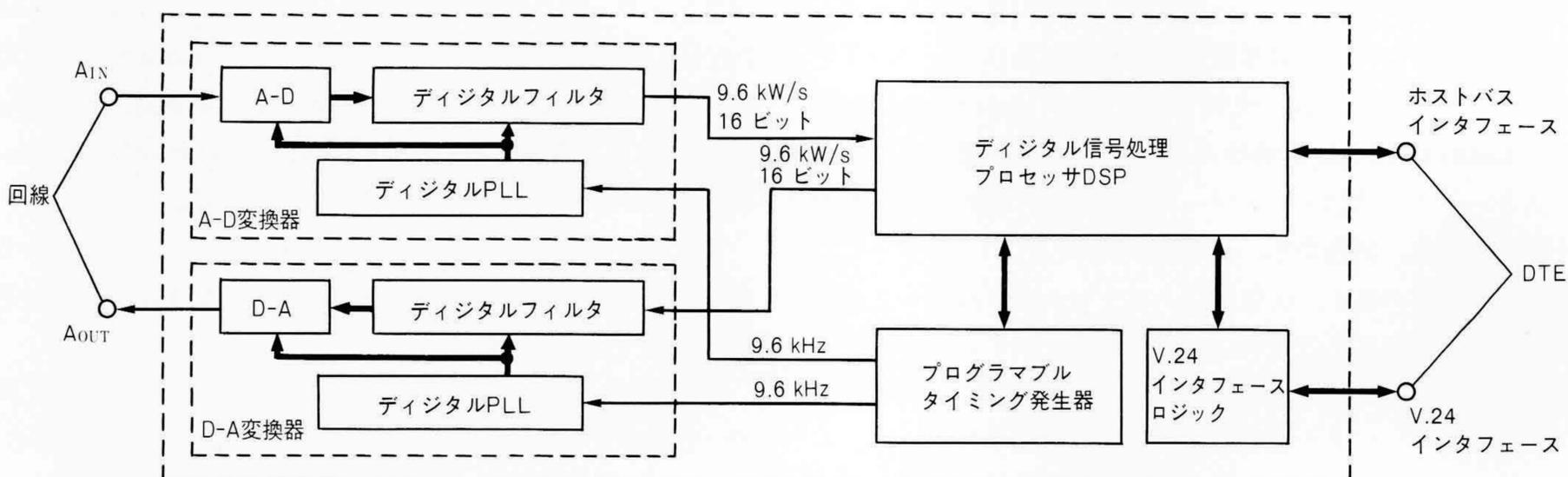
上位レイヤ	HD63084 DIPP HD63085 DICEP		
データリンク		HD64180S NPU	HD64530 LAPD LAPB
物理	デジタル CODEC SLIC HD81900 シングルチップ モデム	HD81501 インタフェース Uインタフェース	600 Mbps 送受信 2.4 Gbps 送受信
OSI レイヤ 分野	アナログネットワーク	デジタルネットワーク	超高速伝送

注： 高耐圧バイポーラ 高速バイポーラ GaAs CMOS

注：略語説明

DIPP (Document Image Pre Processor), DICEP (Document Image Compression and Expansion Processor), CODEC (Coder and Decoder)  
SLIC (Subscriber Line Interface Circuit), LAPD (Link Access Procedure on the D channel), LAPB (Link Access Procedure Balanced)  
NPU (Network Processing Unit), OSI (Open Systems Interconnection)

図1 通信用LSIマップ アナログネットワーク、デジタルネットワークおよび超高速伝送対応に、物理レイヤ、データリンクレイヤおよび上位レイヤ用の通信用LSIの品ぞろえを図っている。



注：略語説明 A-D (Analog to Digital Converter), D-A (Digital to Analog Converter), PLL (Phase Locked Loop)  
DTE (Data Terminal Equipment), DSP (Digital Signal Processor)

図2 シングルチップモデム(HD81900)の機能ブロック構成 高性能DSP, 高精度A-D変換器, D-A変換器, プログラマブルタイミング発生器および端末インタフェース回路で構成している。

た中・高速モデムを1チップで実現したものである。ブロック構成を図2に示す。

このLSIは日立製作所の高性能汎用DSP(Digital Signal Processor) HD81820をコアとし、これに高精度A-D, D-A変換器と周辺論理を結合した構造を持つ。A-D変換器には16ビット オーバー サンプル形を採用し、高精度な変換データを

得ることを可能にした。これにより、従来アナログ回路で行っていた自動利得制御, フィルタ処理を含むすべてのモデム信号処理をDSPのプログラミングによるデジタル信号処理で実現した。

シングルチップモデムの持つモデム機能一覧を表1に示す。DTE(Data Terminal Equipment)とのインタフェース機

表1 シングルチップモデム(HD81900)の変・復調機能  
 のほか手順制御機能, NCUインタフェース機能を持つ。 ファクシミリ用に設計されたシングルチップモデムの持つ変・復調機能である。こ

用途 項目	GIII		GII	低速ファクシミリ用		手順用
	V.29	V.27ter	T.3	AM	FM	FSK
変調方式	QAM (直交振幅変調)	PSK (位置変調)	AM・PM・VSB	AM	FM	FSK
通信速度 (bps)	9,600・7,200・4,800	4,800 2,400	10,368	5,184相当	5,184相当	300
変調速度 (ボー)	2,400	1,600 1,200	—	—	—	300
キャリア周波数 (Hz)	1,700±1	1,800±1	2,100±10	1,900±50	白 1,500±50 黒 2,450±30	0 : 1,850 1 : 1,650

注：略語説明 QAM(Quadrature Amplitude Modulation), PSK(Phase Shift Keying), AM(Amplitude Modulation), PM(Phase Modulation), VSB(Vestigial Side Band), FM(Frequency Modulation), FSK(Frequency Shift Keying)

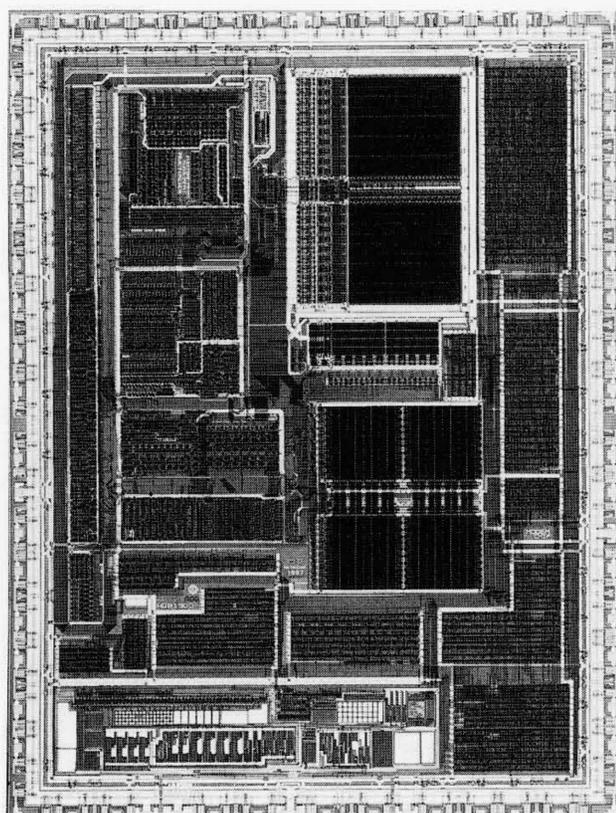


図3 シングルチップモデム(HD81900)のチップ 1.3μm CMOS プロセス技術により8.0 mm×10.5 mmのチップ上に約24万素子を集積している。

能としてはV.24シリアルインタフェースとともにMPU(Micro Processor Unit)とのパラレルバスインタフェースを持ち、8ビットのマイクロコンピュータ(以下、マイコンと略す。)バスと直接結合したパラレルデータ転送も可能となっている。

本モデムチップのチップを図3に示す。1.3μm CMOS技術によって8.0 mm×10.5 mmのチップ上に約24万トランジスタを集積し、5 V単一電源で350 mWの低消費電力動作を実現している。

2.2 文書画像データ処理用LSI(DIPP/DICEP)

HD63084DIPPとHD63085DICEPは、ファクシミリ用に開発した文書画像データ処理用LSIである。これらのLSIはファクシミリ以外にも適用可能であり、DIPPはOCR(光学式文字読み取り装置)、ハンドスキャナなどのようにラインセンサを用

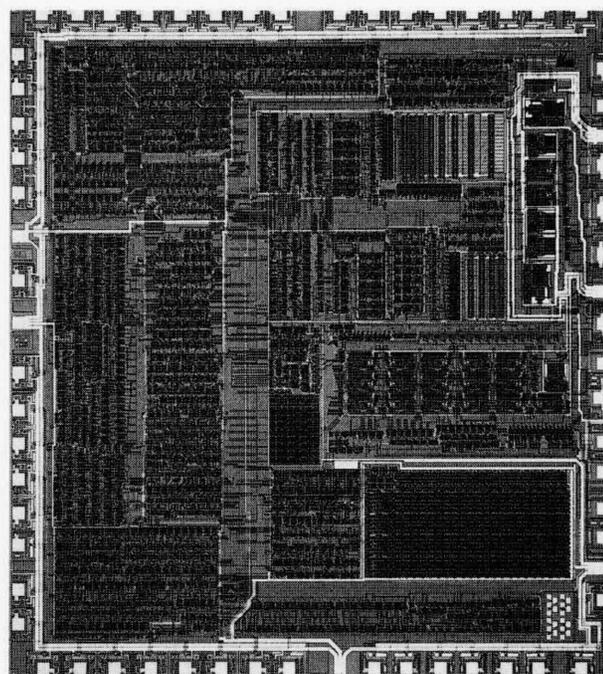


図4 DIPP(HD63084)のチップ CMOS2.5μmプロセスを使い、6.8 mm×7.5 mmのチップ上にデジタル素子2万3,000個、アナログ素子2,000個を集積したアナログ・デジタル混在のLSIである。

いた読み取り系に、またDICEPは事務用ワークステーションなどの中で文書画像データの圧縮、伸張を行うために用いられる。

(1) DIPP<sup>3)</sup>

DIPPは、ラインセンサで電気信号に変換されたアナログ信号を500 k画素/秒の低速から5 M画素/秒の高速まで取り込み可能であり、読み取り部のシェーディングひずみ補正を行いながらA-D変換を行う。また、外部マイコンからの制御によって、16階調の中間調表示、縮小・拡大に必要な走査線密度変換係数などを設定できる。ラインセンサからの信号レベルは、200 mV~2 V程度のダイナミックレンジで変化するため、低オフセットの演算増幅器、デジタル部のノイズ低減にくふうが図られている。DIPPのチップを図4に示す。今後の動向としては、カラー文書などに対応できる64階調化、256階調

化および読み取り速度の高速化が挙げられる。

## (2) DICEP<sup>4)</sup>

DICEPは、上記のDIPPを用いてデジタル化したファクシミリ、文書ファイル情報を高速に伝送したり効率よくファイルしたりするために、情報の冗長性を削除して符号化しデータ圧縮を行う。また、圧縮されたデータから元の情報に復元・伸張を行う。圧縮・伸張の符号化方式としては、CCITT(国際電信電話諮問委員会)で規定されている1次元符号化方式(MH: Modified Huffman)および2次元符号化方式(MR: Modified Relative Element Address DesignateおよびMMR: Modified MR)に準拠しており、A4サイズの標準原稿を1秒以下(符号伝送速度換算200kビット/秒以上)の高速で符号化可能である。この符号化処理の高速化は、変換画素間の相対距離を表現する論理アドレスと全画素データをワード単位で表現した物理アドレスを二つの演算器で並列動作させることによって達成している。DICEPのチップを図5に示す。今後の動向としては、ワークステーションなどの高速化に伴い、いっそうの高速化が必要となる。

## 2.3 デジタルCODEC

従来の4チップ構成によるアナログ加入者回路<sup>5)</sup>の実現は、通信網の核となるデジタル交換機の経済化と高信頼化に多大のインパクトを与えたが、依然としてそのハード規模とコスト比率の交換機全体に占める割合が大きく、なおいっそうの小形化、低コスト化が強く望まれていた。この要求にこたえるため、日立製作所は2 $\mu$ m CMOSプロセスとデジタル信号処理を導入して、分散されていた各種機能回路や調整用外付け部品を吸収する新しいCODECを2品種開発した。

NTTの指導によって開発したD70形交換機用デジタルCODECのチップを図6に示す。一般加入者仕様と公衆仕様が、これらは配線マスクの小変更で実現している。本LSIは、フィルタ処理専用のDSPを内蔵し、音声帯域制限フィルタの

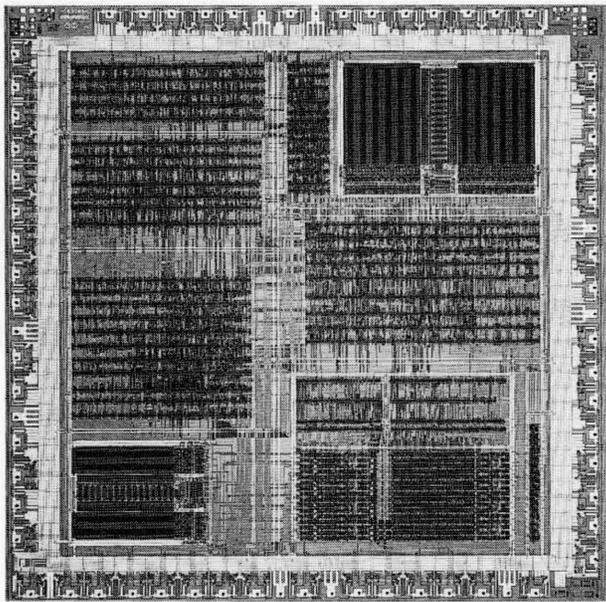


図5 DICEP(HD63085)のチップ CMOS 2 $\mu$ mプロセスを用い、8.0mm $\times$ 8.0mmのチップ上にデジタル素子約6万4,000個を集積したLSIである。

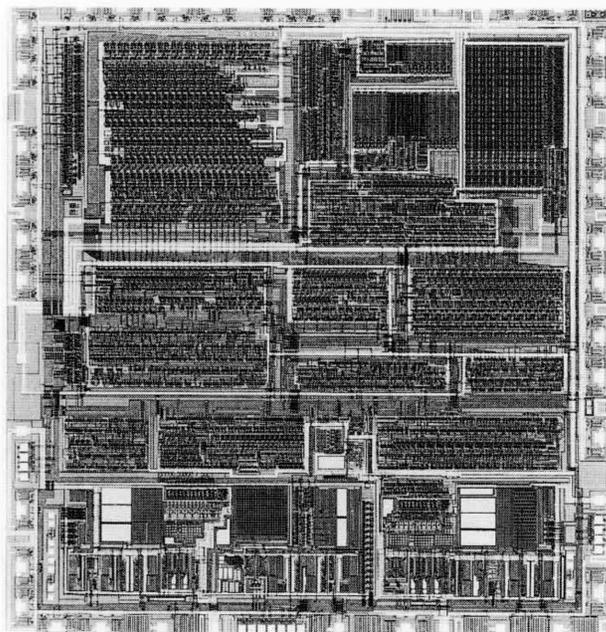


図6 D70交換機仕様デジタルCODECのチップ 2 $\mu$ m CMOSプロセスを用い、チップサイズは6.94mm $\times$ 7.40mmで、44ピンPLCCパッケージに封止し、消費電力は+5V電源使用で100mWである。

ほか、従来のアナログ信号処理技術を用いて実現されたCODECにはない2線終端回路、平衡回路などの多機能化を安定した特性で実現している。また、今後の品種展開に対して、特性変更などを比較的容易に行うことが可能である。

もう一つのデジタルCODEC(HD6223X)の機能ブロック構成を図7に、そのチップを図8に示す<sup>6)</sup>。本LSIは、(1)アナログ、デジタル両積分回路の組み合わせにより、2%のアナログ素子誤差と約1MHzの低速動作を許容しながら、15ビット変換精度を得る線形補間形オーバーサンプリングA-D変換器、(2)最適なエコー抑圧平衡フィルタを自動選択しながら送受信同時通話時の安定動作を可能とした自動平衡回路、(3)マイコンインタフェースによる送受信ゲイン制御、タイムスロット制御、三者通話、課金信号発生などの多機能化をそれぞれ専用回路化して内蔵している。

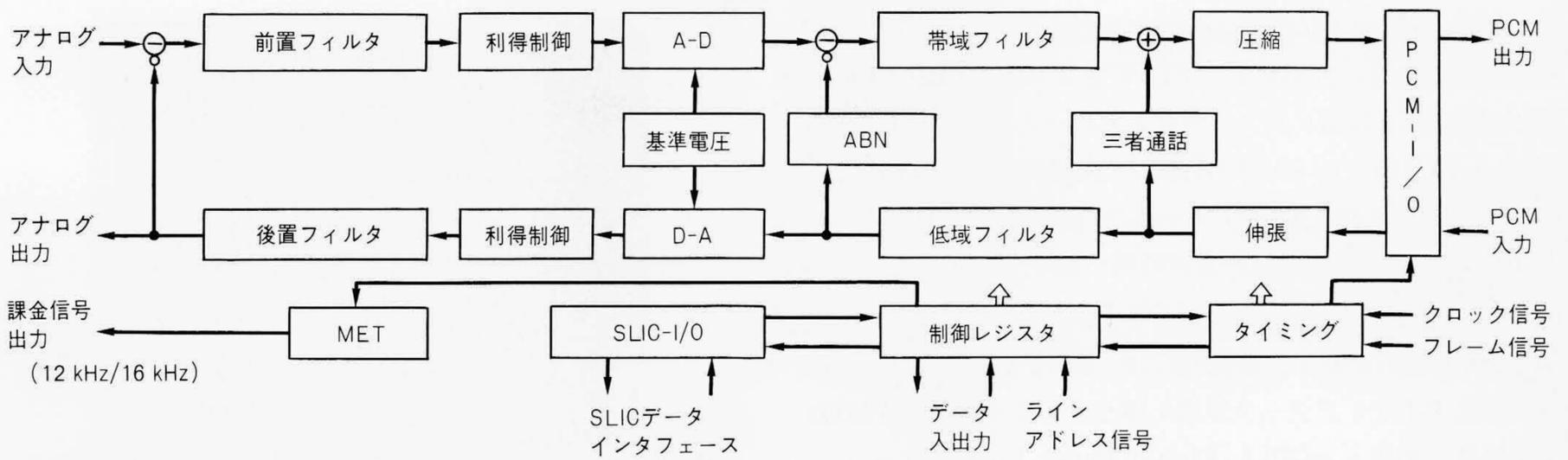
## 3 デジタルネットワーク用LSI

デジタルネットワークでは、まずISDNに関して重点的LSI開発を進めている。すなわち、ISDN交換機と宅内回線終端とのインタフェースであるUインタフェース(U点)、宅内回線終端とユーザー側端末とのインタフェースであるSインタフェース(S点)、さらにLAPDなどISDNのレイヤ2プロトコルを処理するLSI群がある。

### 3.1 デジタル加入者線伝送用LSI(UインタフェースLSI)<sup>7)</sup>

ISDNでのUインタフェース方式には、時分割制御方式(ピンポン方式)とエコーキャンセラ方式がある。

ピンポン方式のUインタフェースLSIでは、高精度のスイッチドキャパシタ形自動等化器や波形差分形タイミング抽出回路を搭載し、線路の周波数特性や分岐による波形劣化を高精度に補償し、また外付けの同調素子を不要化した。



注：略語説明 ABN (Auto-Balancing Network), PCM-I/O (Pulse Code Modulation Input/Output interface)  
MET (Metering Signal generator)

図7 デジタルCODEC(HD6223X)の機能ブロック構成 オーバサンプリングA-D, D-A, デジタルフィルタなどの従来機能に加え, ABN, 送受信利得制御, 課金信号発生などの多機能化が図られている。

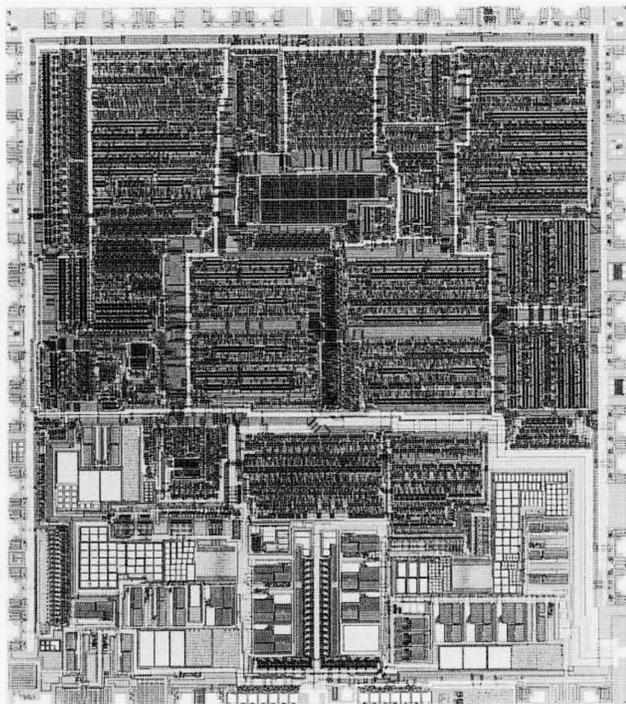


図8 デジタルCODEC(HD6223X)のチップ D70交換機仕様のものが専用DSP方式であるのに対し, 本LSIはそれぞれの機能を専用回路で実現している。プロセス, チップサイズ, パッケージおよび消費電力はすべて同一である。

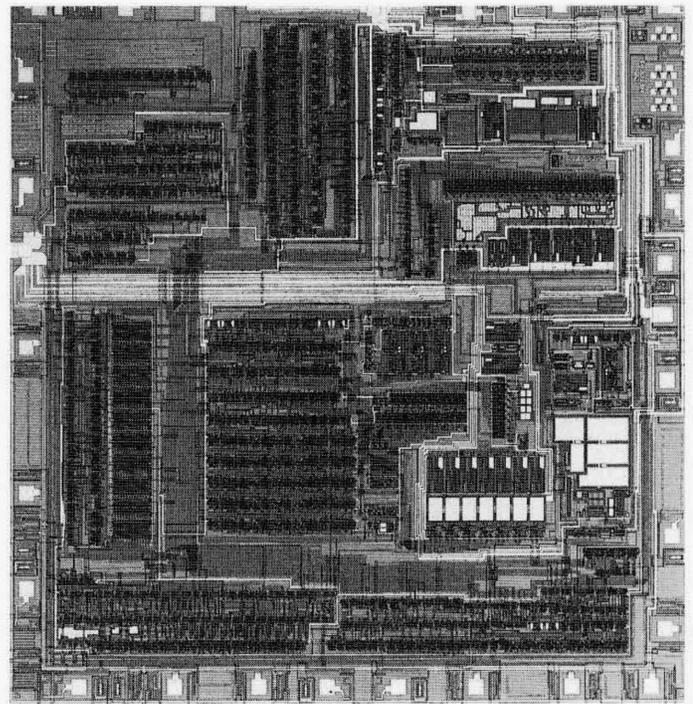
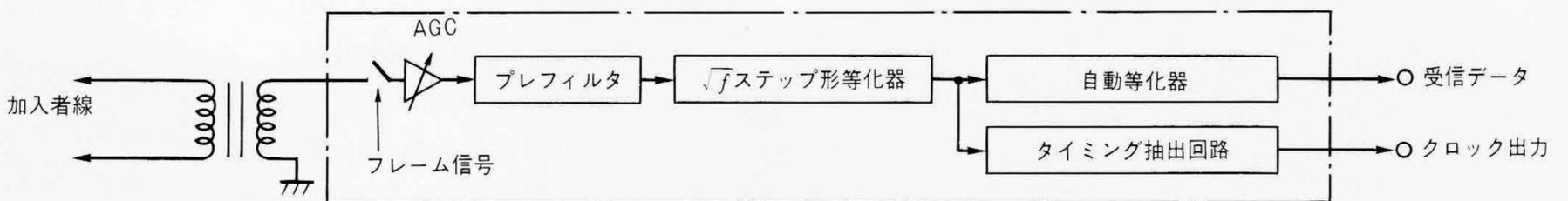


図10 ピンポン方式Uインタフェースのチップ 2B+D(144 kbps)伝送用, 6.3 mm×6.3 mm, 70 mW, 2.5 μm CMOSプロセスを使用している。



注：略語説明 AGC (Automatic Gain Control)

図9 ピンポン方式Uインタフェースの機能ブロック構成 線路の高周波特性を補償する等化器, タイミング抽出回路などから構成している。

LSIのブロック構成を図9に, またLSIのチップを図10に示す。本LSIは2.5 μm CMOSプロセス技術を用い, 5 V単一電源で70 mWの低消費電力動作を実現している。

また, エコーキャンセラ方式に対しても, 現在2B1Q符号伝送を実現するUインタフェースLSIを開発中である。

### 3.2 IインタフェースLSI<sup>(8)</sup>

HD81501 IインタフェースLSIは, ISDNベーシックレートS点でのレイヤ1, レイヤ2のすべての機能を1チップでサポートしたLSIである。また, レイヤ3処理のための上位汎用マイコンと直接接続可能なバスインタフェースを内蔵してお

り、各種ISDN端末に容易に適用することができる。アーキテクチャ構成上は、汎用8ビットCPUをコアとしSBP(Silicon Back Plane)と呼ぶシリコンチップ上のバスにレイヤ1のSIO(Serial I/O)部、レイヤ2のHDLC(High Level Data Link Control)部およびLAPDファームウェア搭載のROM部をASIC技術を用いて接続した点が特徴であり、機能の拡張、削減をブロック単位で行うことができる。IインタフェースLSIのチップを図11に示す。性能的には、CCITT勧告で規定されている耐タイミングジッタ仕様を満足するよう、6.144 MHzの周波数で動作するDPLL(Digital Phase Locked Loop)を採用し、またパワーダウン動作モード時には、内部動作周波数を $\frac{1}{2}$ 化することによって低消費電力化に対応することができる。

これによって、緊急時での局給電対応を可能としている。

### 3.3 レイヤ2プロトコル制御用LSI(LAPD/LAPB LSI)<sup>9),10)</sup>

HD64530 LAPD LSIは、ISDNでのベーシックレート、プライマリレート両サービスのレイヤ2プロトコル(LAPD)を1チップで完全サポートした通信用プロトコル処理LSIである。また、LAPB LSIは、LAPD LSIのROM上に搭載したファームウェアだけを変更して、CCITTで勧告されているパケット交換のレイヤ2プロトコル(LAPB)を1チップで完全サポートしたLSIである。LAPD/LAPB LSIのチップを図12に示す。

プロトコル処理性能を向上させるため、次のようなアーキテクチャ上の工夫を行っている。

#### (1) 状態遷移テーブル検索の専用ROM化

レイヤ2プロトコル処理の中心的なタスクを規定している状態遷移テーブルの検索は、従来マイクロROM上のファームウェアが行ってきた。これに対し本LSIでは検索にかかわるファームウェアを分離し、専用ROM化することによって検索の

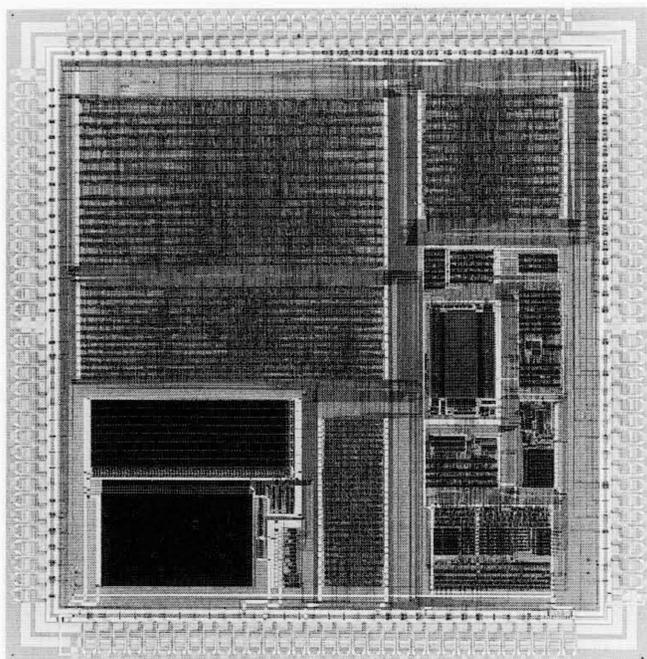


図11 Iインタフェース(HD81501)のチップ CMOS1.3 $\mu$ mプロセスを使い、10.08 mm $\times$ 10.22 mmのチップ上にデジタル素子約25万個を集積したLSIである。

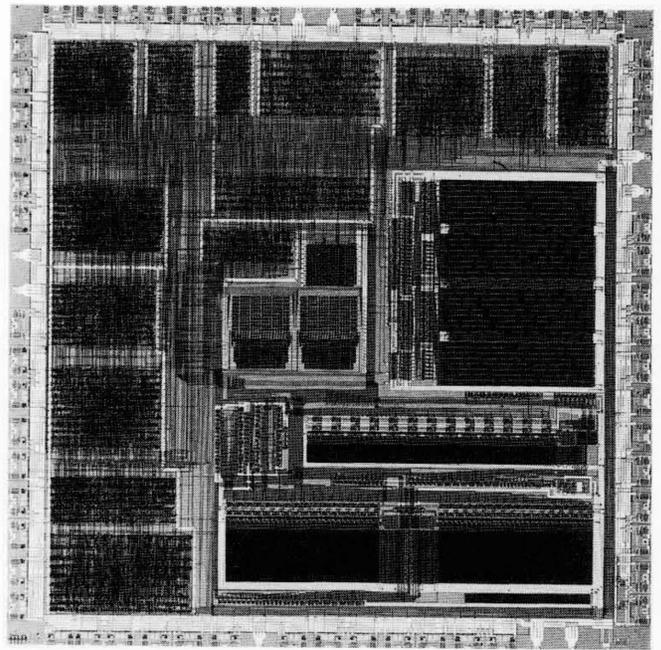


図12 LAPD/LAPB LSIのチップ CMOS1.3 $\mu$ mプロセスを使い、10.5 mm角のチップ上にロジックRAM, ROMを含めて素子約40万個を集積し、高機能・高性能を達成している。

高速化を図っている。

#### (2) CPUバスとデータ転送バスの独立化

リンク制御データは、オンチップCPUが処理するが、レイヤ3以上のパケットデータは、ホストCPUに送り処理する。本LSIでは、スループットを上げるために、おのおののデータ流路の独立化を図っている。

#### (3) 受信フレーム解析の自動化

フレームを受信した場合、フレームに付加されているアドレス、制御フィールドの解析が必要である。この解析を効率よく行うため、ハードウェアでこの機能を構成し、さらにオクテット単位になっていない不正パケットデータなどもCPUの助けを借りることなくハードウェアで処理するなどの効率化を図っている。

今後の動向としては、より高速のレイヤ2の処理という方向と、トータルスループットを上げるためにレイヤ3、レイヤ4プロトコル処理の高速化が必要になってくると思われる。

### 3.4 通信制御プロセッサ(NPU)<sup>11)</sup>

NPUはパソコン、ワークステーションおよび小形計算機の通信機能強化に対応する通信用LSIである。本LSIは、調歩、バイト、ビット同期が可能な通信用シリアルチャネルと調歩用シリアルチャネルとを各1チャンネル持ち、さらにプロトコル処理用の8ビットCPU1チャンネル、チェインブロック転送機能付きDMAC(Direct Memory Access Controller)を2チャンネル、タイマ2チャンネルなどを内蔵している。パッケージは84ピンPLCC(Plastic Leaded Chip Carrier)である。

従来の通信用LSIは調歩同期、バイト同期およびビット同期の3種の通信モードの一部あるいはすべてをサポートするシリアル・パラレル信号変換器を2チャンネル内蔵しているものが大部分である。これらの通信用LSIは、プロトコル処理を行

うCPUとともに用いられるのが通常である。NPUではこの点に着目し、2チャンネルの信号変換器に加えて、8ビットCPUを内蔵した。この結果、装置に必要なLSI数が減り、装置のコストダウンに役立つとともに、内蔵CPUを用いてユーザーが好みのプロトコル処理をプログラムすることが可能となった。CPUとしては、Z80<sup>※</sup>上位コンパチブルなHD64180を採用しているため、豊富な既存ソフトウェアを有効に活用することができる。

ビット同期モードでは、送受信するデータをメモリ上の複数の領域へ送ったり、取り出したりする。このとき、内蔵DMACのチェインブロック転送機能を用いると、高速に転送が行え、かつプログラムも容易になる。

NPUのシリアル・パラレル信号変換器は最大7.1Mビット/秒の転送速度を持ち、6.312Mビット/秒の高速デジタル回線に対応可能である。NPUのチップを図13に示す。

### 3.5 超高速伝送用IC

画像光伝送、高速PCM光伝送、高速光LANなどに適用される超高速光伝送モジュールのキーデバイスとして、伝送速度600Mビット/秒および2.4Gビット/秒対応の伝送用ICをそれぞれ1.0 $\mu\text{m}$ バイポーラデバイス、および0.8 $\mu\text{m}$  GaAsデバイスを用いて開発した。

600Mビット/秒ICは送信用としてLD(レーザダイオード)駆動回路(HD21D506)、受信用として前置増幅器(HD21D503)、AGC(Automatic Gain Control)増幅器(HD21D501)および識別再生回路(HD21D502)の合計4品種である。電源は-5.2V単一電源であり、パッケージは図14に示すようにHD21D503は20ピ

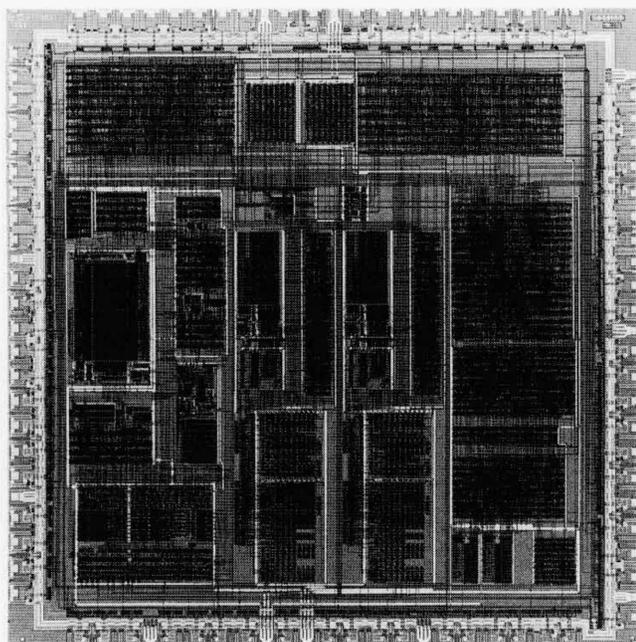


図13 NPU(HD64180S)のチップ シリアルチャンネル、CPU、DMAC、タイマなどで構成している。使用プロセスは、アルミ2層配線を用いた1.3 $\mu\text{m}$ CMOS技術である。

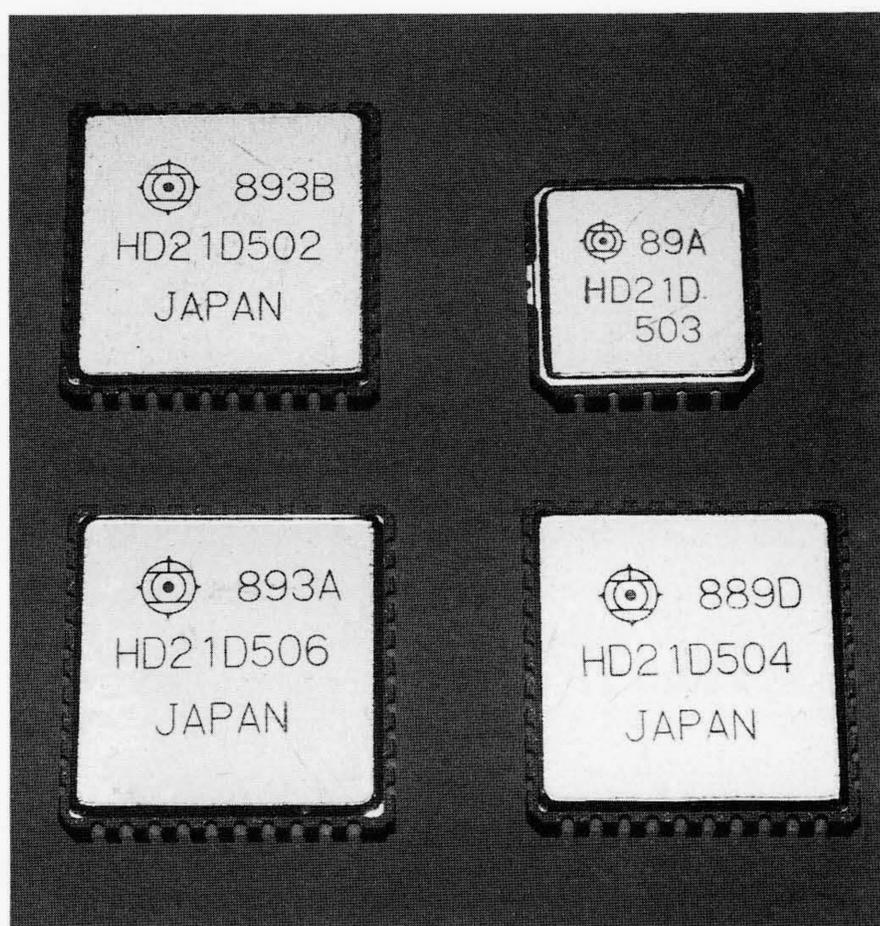


図14 600Mビット/秒伝送用ICのパッケージ外形。メタルキャップを特長とする20ピンおよび40ピンLCCである。

ンLCC(Leadless Chip Carrier)、その他40ピンLCCである。

一方、2.4Gビット/秒GaAs ICは光中継用(本号別掲載論文「光伝送技術」の4章参照)LD駆動回路(PHS6901)、前置増幅器(PHS6905)、AGC増幅器(HS6906)、主増幅器(HS6907)、識別回路(HS6904)と信号多重・分離用4:1マルチプレクサ(HS6902)、1:4デマルチプレクサ(HS6903)の7品種である<sup>12)</sup>。これらICは、短ゲート効果を低減したゲート長0.8 $\mu\text{m}$ のP形層埋込形GaAs MES(金属-半導体接合)FET(電界効果トランジスタ)技術<sup>13)</sup>を採用し、それぞれ100~800素子を集積している。

LD駆動ICおよび前置増幅器はチップ状態で実装し、その他のICは今回併せて開発したGHz対応の32ピンフラットパッケージに搭載した。このパッケージの外観を図15に示すが、50 $\Omega$ 伝送線路を持ち、終端抵抗およびバイパスコンデンサの内蔵を可能としている。

### 3.6 今後の展開

音声、データ、画像などすべての情報をデジタル化して統合するISDNは、現在その基本サービスを提供するための標準化がほぼ終わり、すでに一部のサービスが開始されている。今後は付加サービスなど、より高度なサービスを可能にする高速広帯域ISDNへの進展が期待される。

この広帯域ISDNには、ATM(Asynchronous Transfer Mode)方式の新しい交換機や高速基幹伝送、LANシステムなどの導入が必要とされるが、そのためにはキーデバイスとして高速・大容量のスイッチLSI、超高速識別再生用LSIなどの

※) Z80: 米国ザイログ社の登録商標である。

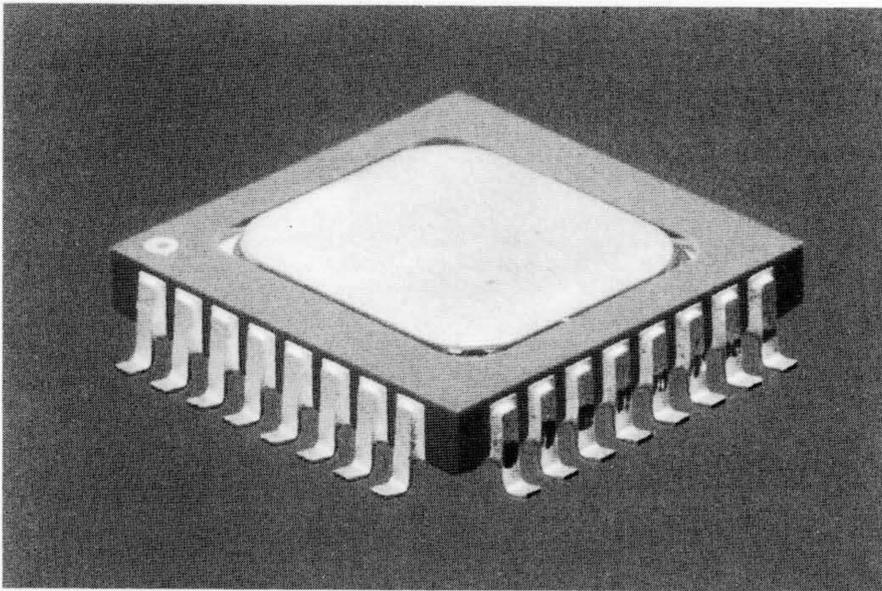


図15 2.4 Gビット/秒伝送用GaAs ICのパッケージ外形 50 Ω線路に整合し終端抵抗およびバイパスコンデンサの内蔵を可能とする32ピンフラットパッケージである。

開発が必要である。一方、これらのISDNに呼応したデジタル方式による移動体通信システム(Mobile-ISDNまたはRadio-ISDNと呼ばれる。)の研究開発が国内外で活発に進められており、「いつでも、どこでも、だれとでも」通信できる究極的な通信システム環境の早期実現が期待されている。日立製作所は、今後もこれら有線と無線を包括した広帯域ISDNシステムの有機的構築に必要な各種の特徴ある通信用LSIを開発・供給していく考えである。

#### 4 結 言

以上、日立製作所での通信用LSIの開発状況、代表的製品の特徴および今後の展望について述べた。

アナログネットワーク用としては、最新の高集積CMOS技術を用い、アナログ、デジタル両回路を1チップに集積化することによって、中・高速シングルチップモデムをはじめ文書画像データ処理用LSI、デジタルCODECなどを実現した。ISDN用としては、同じくCMOS技術を用いデジタル加入者線伝送用LSI、LAPDプロトコル制御用LSIなどを開発した。また、超高速バイポーラ技術およびGaAs技術によって600 Mビット/秒から2.4 Gビット/秒の超高速伝送用ICも実現した。

今後、広帯域ISDNの導入など高度情報ネットワーク時代のいっそうの進展に伴い、これを支える通信用LSIとしてもますます高集積化、多機能化および高速化が要求される趨(すう)勢にある。日立製作所は、このような多様なニーズに対して、各種半導体プロセス、デバイスの超微細化加工技術、設計技術の研究開発をさらに推進し、応用システムにより適合した使いやすい通信用LSIの品ぞろえを図っていく予定である。

#### 参考文献

- 1) K. Nagai, et al. : A Signal Processor for Voiceband Application, ISSCC Dig. Tech. Papers, 60~61 (Feb. 1988)
- 2) 伊藤, 外 : シングルチップモデム, 日立評論, 70, 12, 1281~1286 (昭63-12)
- 3) N. Hamada, et al. : A CMOS Facsimile Video Signal Processor, ISSCC Dig. Tech. Papers, 186~187 (Feb. 1985)
- 4) K. Nakamura, et al. : High Speed Encoding and Decoding Processor for Group 4 Facsimile Apparatus, IEEE ICC '84, CH2028-9/84/0000-0219, 219~222 (May 1984)
- 5) 安成, 外 : D60・70デジタル交換機のLSI, 日立評論, 67, 10, 765~769 (昭60-10)
- 6) K. Yamakido, et al. : A Subscriber Digital Signal Processor LSI for PCM Applications, IEEE J. of Solid-State Circuits, SC-23, 836~842 (June 1988)
- 7) 山野, 外 : ISDN基本アクセス用320 kb/s時分割方向制御伝送方式, 電子情報通信学会技術研究報告, CS86-56 (昭61-9)
- 8) 山本, 外 : ISDN用インタフェースLSI "HD81501", 日立評論, 70, 12, 1291~1296 (昭63-12)
- 9) S. Miki, et al. : A 10 Mbps Link Level CMOS Processor with ON CHIP EPROM ISSCC Dig. Tech. Papers, 26~27 (Feb. 1988)
- 10) 三木, 外 : ISDN用LAPDプロトコルコントローラ, 日立評論, 70, 12, 1287~1290 (昭63-12)
- 11) 堀田, 外 : 通信制御プロセッサ, 日立評論, 70, 12, 1275~1280 (昭63-12)
- 12) Y. Hatta, et al. : A GaAs IC Set for Full Integration of 2.4 Gb/s Optical Transmission Systems, GaAs IC Symposium, 1988
- 13) N. Kotera, et al. : Laser Driver and Receiver Amplifiers for 2.4Gb/s Optical Transmission Using WSi GateGaAs MESFET's GaAs IC Symposium, 1987