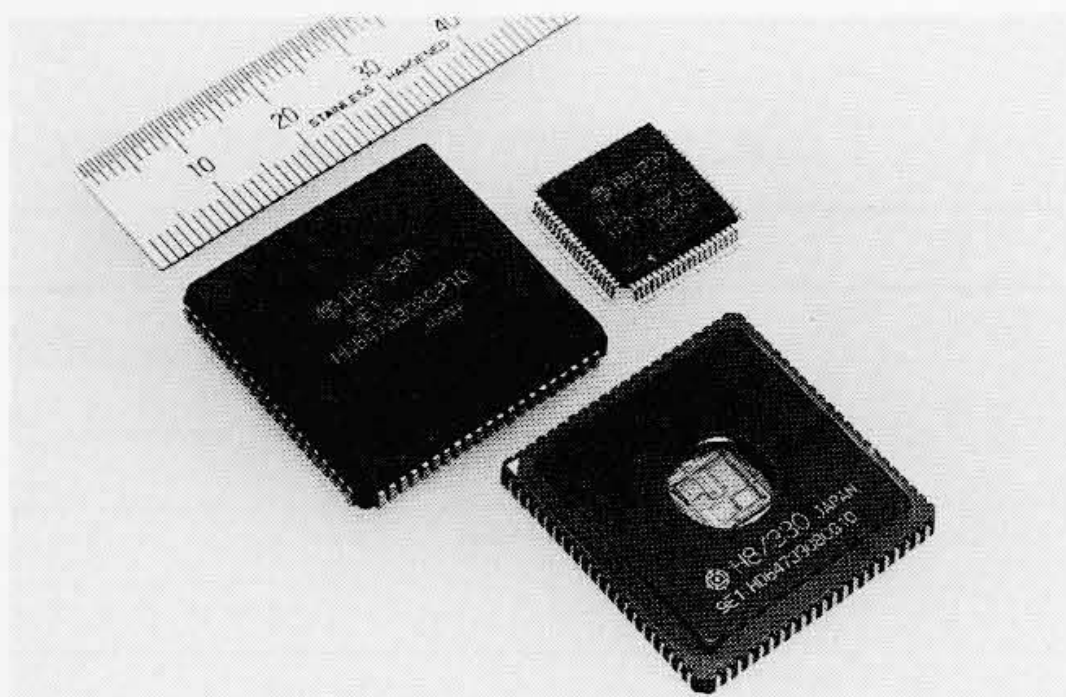


高性能8ビットマイクロコンピュータ “H8/330(HD6473308)”

H8/330(HD6473308)は、日立製作所のオリジナルアーキテクチャを採用した次世代高性能8ビットシングルチップマイクロコンピュータ(以下、マイコンと略す。)である。H8/330は、H8/300シリーズ最初の製品で、多機能化、高性能化などの市場ニーズにこたえるため、高速CPUコアに大容量メモリ、A-D変換器、タイマなど豊富な周辺機能を内蔵し、OA、民生、産業機器などの機器組み込み用マイコンとして高



注：84ピンPLCC(左上)，80ピンプラスチックQFP(右上)，84ピン窓付きLCC(下)

図1 H8/330のパッケージ外観

いコストパフォーマンスを実現している。パッケージの外観を図1に示す。

1. 主な特長

(1) 高性能・高速CPU内蔵

CPUは8ビット×16本の汎(はん)用レジスタを備えた高速CPUで、レジスタ間の高速演算を実現している。また、簡潔で強力な命令セットにより、データ転送、ビット処理も容易である。

(2) 使い勝手の良いZTAT[®]マイコン
512バイトのRAMと16kバイトのPROMを内蔵しており、ユーザーが汎用のPROMライターで自由にプログラムを書き、機器へ組み込むことができる。

(3) 豊富な周辺機能を搭載

強力なタイマ、8ビットA-D変換器など、機器制御に威力を発揮する豊富な周辺機能を内蔵しており、システム構築が容易である。また、チップ内のバスで結合されるモジュール設計方式を採用しており、必要な機能を組み合

表1 H8/330仕様概要

項目	内容
CPU レジスタ 性能	H8/300CPU 汎(はん)用レジスタ： 8ビット×16本 最小命令実行時間： 0.2μs(10MHz)
メモリ	16kバイトPROM， 512バイトRAM
周辺機能	16ビットタイマ， 8ビットタイマ×2， PWMタイマ×2， シリアル，8ビットA-D変換， デュアルポートRAM， I/Oポート：66本
割込	外部：9本，内部：19本
パッケージ	80ピンプラスチックQFP 84ピンPLCC 84ピン窓付きLCC
プロセス	CMOS 1.3μm

わせた用途別の製品展開が可能である。

2. 主な仕様

H8/330の仕様概要を表1に示す。

(日立製作所 半導体事業部)

多色表示用カラーパレットLSI

カラーパレットLSIは、ワークステーションやパーソナルコンピュータなどのグラフィックスで、従来の8色・16色表示からさらに多色化し、微妙な色合いの表現を可能とする。また、色情報格納用メモリ、ディジタル色情報からアナログビデオ信号を生成するD-A変換器およびその制御ロジックを1チップに内蔵し、個別部品使用時の複雑なタイミング設計を不要としている。このカラーパレットLSIを、各種アプリケーションに対応したシリーズ開発を行った。

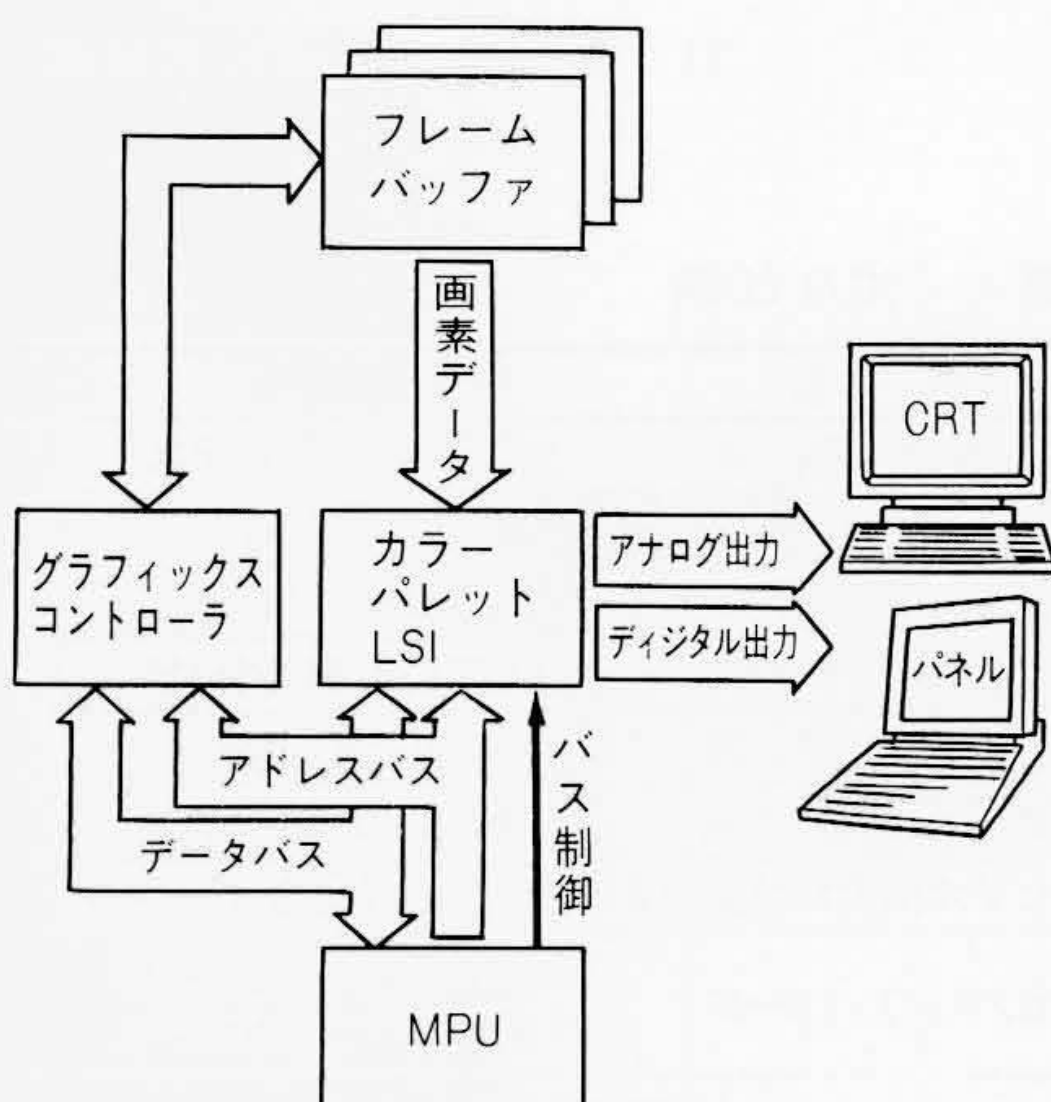


図1 システム構成例

1. 主な特長

(1) Hi-BiCMOSプロセスの採用により、高速・低消費電力で、プラスチックパッケージを実現した。

(2) 高精度基準電圧源内蔵により、DAC出力レベルが抵抗1本で設定可能である。

(3) 4ビットから8ビットまで、品ぞろえが豊富で、用途に合わせて使用可能である。

(4) フラットパネル用ディジタル出力

機能内蔵(HD153109, HD153119, HD153110)

(5) フルカラー表示用DAC直接入力モード機能内蔵(HD153119, HD153110)

2. 概要

システム構成例を図1に、カラーパレットLSIシリーズの概要を表1に示す。従来のCRTからフルカラーLCDまでサポートでき、パッケージも小形面実装タイプを中心に豊富である。

(日立製作所 半導体事業部)

表1 カラーパレットLSIシリーズの概要

形 名	最大動作 周波数	D A C	C L T	ア プ リ ケ ー シ ョ ン*			表示色 表現色	適 用 C R T 例 (解 像 度)					P K G
				CRT	フ ラ ッ ト パ ネ ル*			640× 400	640× 480	720× 500	800× 600	1,024× 768	
					モノクローム	カラー							
HD153108	50 MHz	4ビット× 3チャンネル	256ワード ×12ビット { + 4ワード ×12ビット (OLT) }	○	—	—	$\frac{256}{4,096}$	○	○	○	○	—	●DILP-42S ●PLCC-44
HD153109**	65 MHz	6ビット× 3チャンネル	256ワード ×18ビット	○	○	—	$\frac{256}{262\text{ k}}$	○	○	○	○	○	●FP-64 ●MP-44S ●PLCC-44
HD153119**	65 MHz	6ビット× 3チャンネル	256ワード ×18ビット	○	○	○	$\frac{262\text{ k}^*}{262\text{ k}}$	○	○	○	○	○	●FP-80 ●PLCC-68
HD153110**	65 MHz	8ビット× 3チャンネル	256ワード ×24ビット	○	○	○	$\frac{16,777\text{ k}^*}{16,777\text{ k}}$	○	○	○	○	○	●FP-80

注：* [DAC直接入力モード(1ドット単位で制御可能)使用時、それ以外は256色]

** [VGATMグラフィックシステムに準拠(VGAは、米国IBM社の登録商標である。)]

製品紹介

4 MビットDRAM

MOS DRAMは、大形コンピュータからパーソナルコンピュータ、OA機器に至るまで幅広く応用されている。現在、これらの応用機器には、主として1 MビットDRAMが使用されているが、応用機器の高速・高性能化に伴って、さらに高速・大容量のDRAMが求められている。

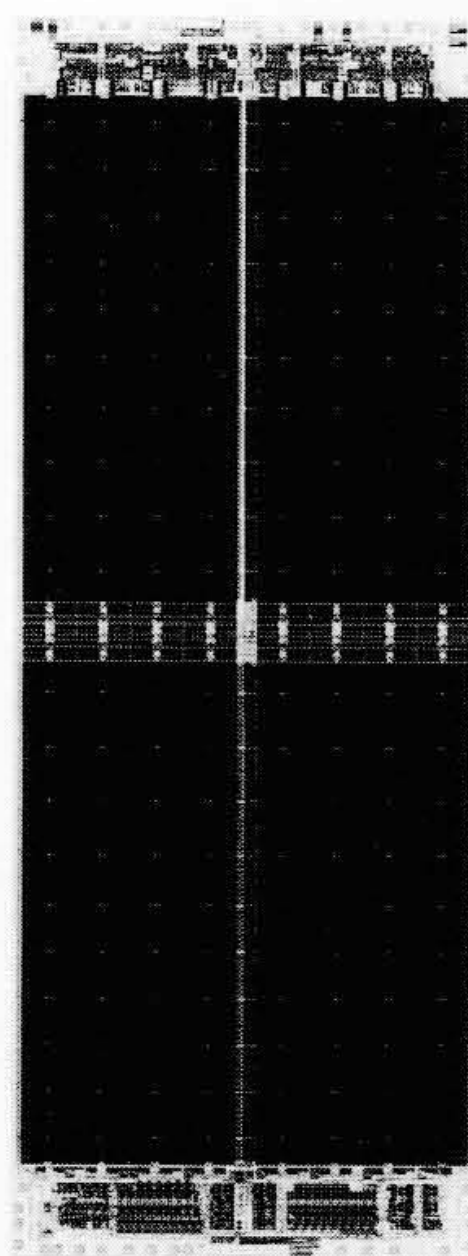
このような市場のニーズにこたえて、0.8 μ m CMOSプロセス技術の採用により、高速・高集積・低消費電力の4 MビットDRAM「HM 514100 / HM 514400シリーズ」を製品化した。

1. 主な特長

- (1) ソフトエラー耐性に優れ、かつ高集積化に適したSTCメモリセル構造の採用により、高信頼度、小チップ面積(5.91 mm $\times$ 15.22 mm)を実現することができた(図1参照)。
- (2) 高速CMOS回路技術、Al 2層配線技術の採用により、高速アクセス時間80 ns/100 nsを実現することができた。

また、用途により高速ページモード、ニブルモード、スタティックカラムモードの3種のモードが選択できる。
(3) データ線充放電電流を低減できるシェアドセンスアンプ方式、および $\frac{1}{2}V_{CC}$ プリチャージ方式の採用により、平均動作電流を最大90 mAに抑えること

注：チップサイズ(5.91 mm $\times$ 15.22 mm)
図1 チップ写真



- ができた。
(4) 国際標準ピン配置の2種のパッケージを用意している。
(a) 350 mil SOJ
(b) 400 mil ZiP

2. 主な仕様

4 MビットDRAMの主な仕様を表1に示す。

表1 主な電気的特性(使用温度0~70℃)

項目	記号	HM514100/400
電源電圧	V_{CC}	5.0 V $\pm$ 10%
アクセス時間	t_{RAC}	80 ns/100 ns
	t_{CAC}	25 ns/25 ns
サイクル時間	t_{RC}	150 ns/180 ns
リフレッシュ周期	t_{REF}	16 ms/1,024サイクル
消費電流	動作時 I_{CC1}	90 mA/80 mA
	待機時 T T L I_{CC2}	2 mA
	待機時 C M O S I_{CC2}	1 mA
入力レベル	ViH	2.4 Vmin/6.5 Vmax.
	ViL	-2.0 Vmin/0.8 Vmax.

VTR用信号処理ワンチップ“HA118105”

近年、VTRセットは高画質化、低価格化および小形化の競争が進み、使用されるLSIも実装面積が小さく、外付け部品などを含めたシステムコストの安価な製品が必要となっている。これらのニーズに対応するため、従来、輝度信号処理部と色信号処理部を別々にLSI化していた部分を、同一チップ上に集積した信号処理ワンチップHA118105を開発した(図1)。

1. 主な特長

- (1) 外付け部品が少ない。
記録時と再生時に使用する外付け部

品の兼用、およびフィルタ内蔵により、外付け部品を約100点と従来比30%の低減を実現した。

(2) 高画質

色信号処理部では、新規ダイレクトVCO(電圧制御形発振器)の採用によって色再現性の向上、輝度信号処理部では、エッジ処理にノンリニア技術を採用することによって、画面の鮮明さを向上した。

(3) 小形

56ピンに集積し、パッケージを使いやすいデュアルインラインパッケージと、モジュール化に適したミニスクワ

ェアパッケージの二つを準備した。

(4) 低消費電力

微細プロセスの使用および三段積層IILによる論理回路の使用により、消費電力を450 mWと低減した。この消費電力は従来比30%の低減であり、現在世界で最少のものとなっている。

2. 主な仕様

本LSIは記録、再生プリアンプと組み合わせることによって、映像の記録、再生信号処理がすべて可能である。主な仕様を表1に示す。

(日立製作所 半導体事業部)

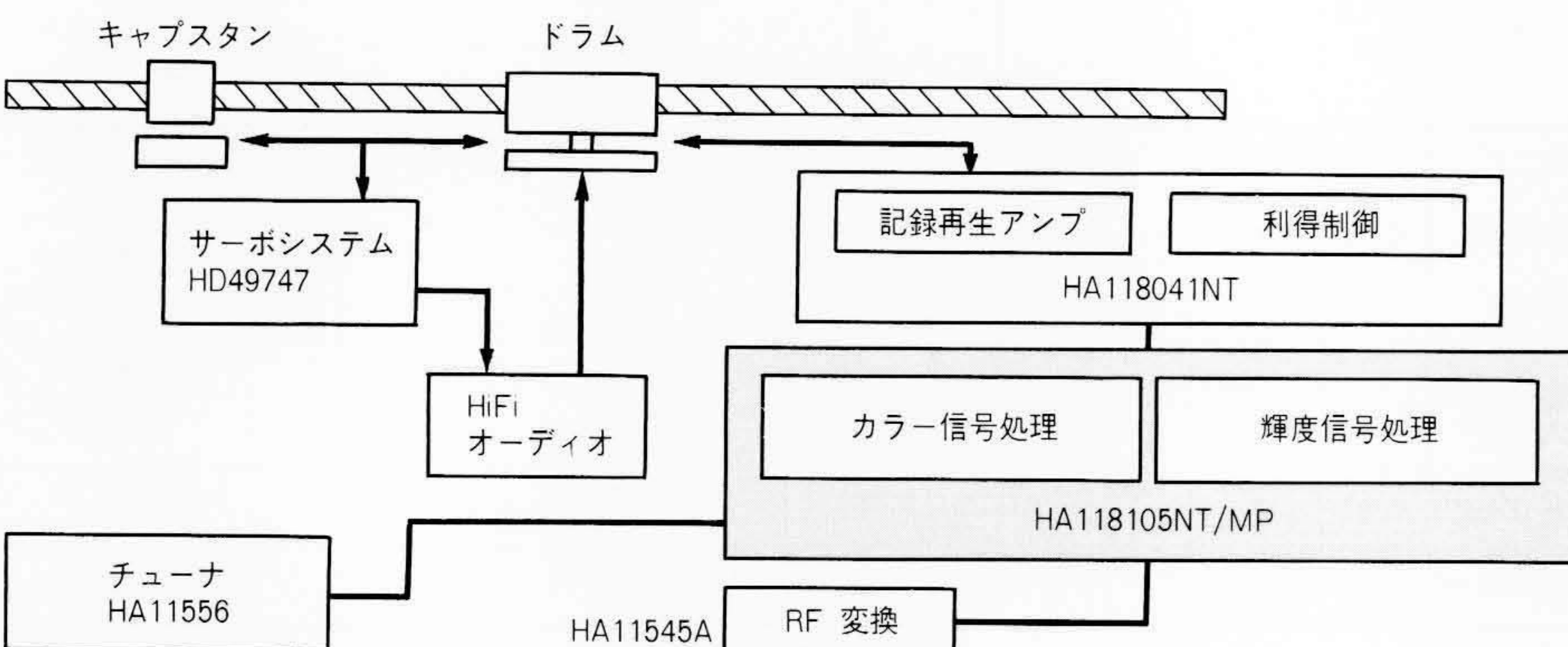


図1 信号処理ワンチップHA118105によるVTRシステム構成図

表1 主な仕様

項目	仕様
プロセス	Si-BiP-PIQ 2層配線
電源電圧	5 V $\pm$ 5%
動作温度	-10~+70℃
パッケージ	DiLP56S, MSP56MA
消費電力	450 mW typ
ビデオ入力レベル	0.5~1.0~2.0 V _{pp}
ビデオ出力レベル	2.0 $\pm$ 0.2 V _{pp} (出力オープン)
ピクチャコントロール	ソフト側 一次微分形 ハード側 二次微分形
スケルチ設定電圧	同期先頭 $\pm$ 0.1 V } の2モード ペDESTAL $\pm$ 0.2 V }

任意形状抵抗体の端子間抵抗計算方式

1. 本発明の背景

LSIのレイアウトパターンを検証には、一般にレイアウトパターンから回路素子を抽出してその定数値を計算し、回路シミュレーションによって動作特性を求める方法がとられている。これらの回路素子のうち、微細化によって特性への影響が増大している抵抗の抵抗値を計算する場合は、有限要素法などの数値解析的な手法で二次元ポテンシャル分布を求め、計算を行う方法が知られている。この方法は、計算機のメモリ使用量と計算時間が大きくなるという難点があった。

本発明は、複雑な形状の抵抗の抵抗値を効率よく求める計算方式である。

2. 端子間抵抗の計算方式

本発明の計算方式の処理フローを図1に示す。(1)メモリに読み込んだ抵抗体のマスクパターン図形を、台形と三角形で構成する基本形状に分割する。(2)基本形状間の接続関係を考慮して、各基本形状を等価抵抗回路網に変換する。(3)この回路網全体を、外部素子の

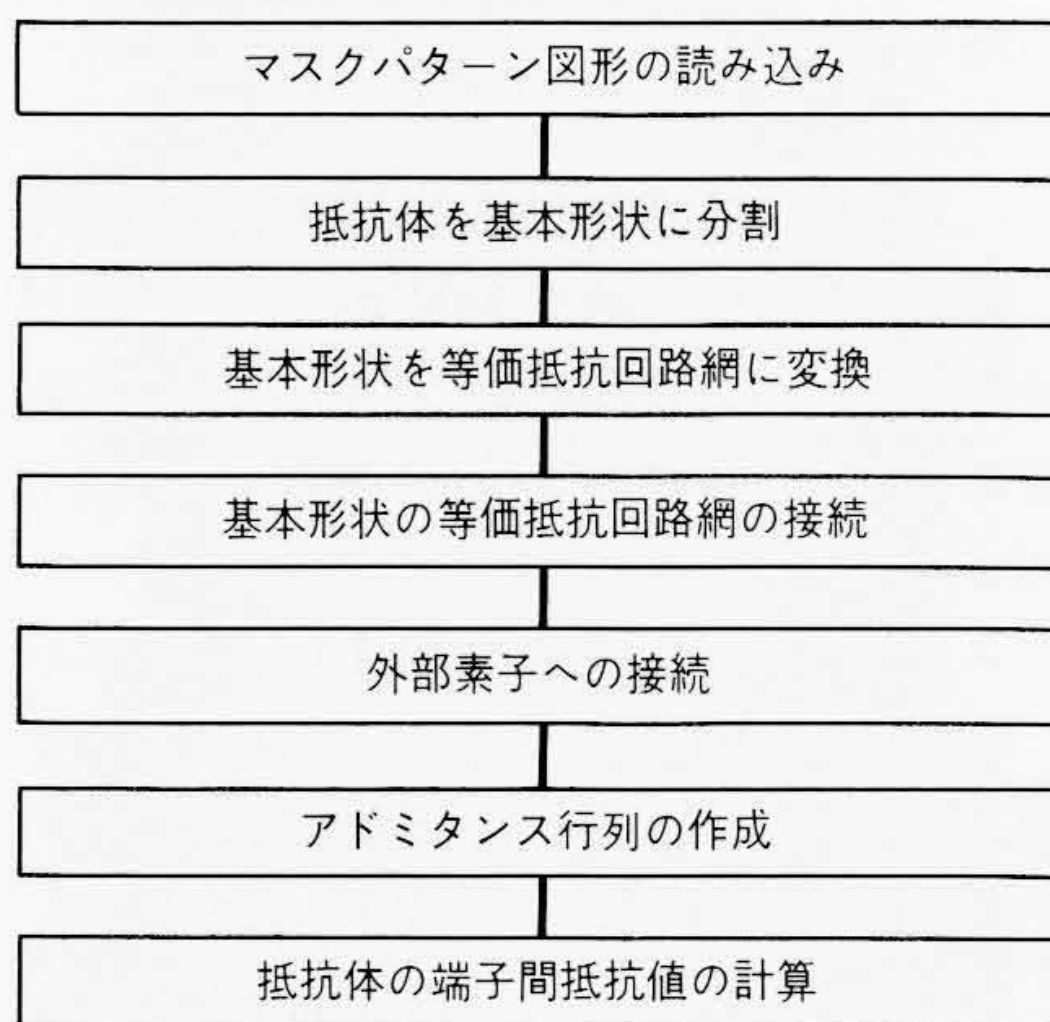


図1 抵抗値の計算処理フロー

節点に接続する。(4)節点解析法で、等価抵抗回路網全体に対応するアドミタンス行列を作成する。(5)回路方程式を解いて、図2の各端子間の抵抗値を計算する。

3. 特長・効果

- (1) 2個以上の端子を持つ任意形状の抵抗体の任意の二つの端子間の抵抗値を、従来の $\frac{1}{10}$ 以下の時間で計算できる。
- (2) MOS FETのソース拡散層の抵抗

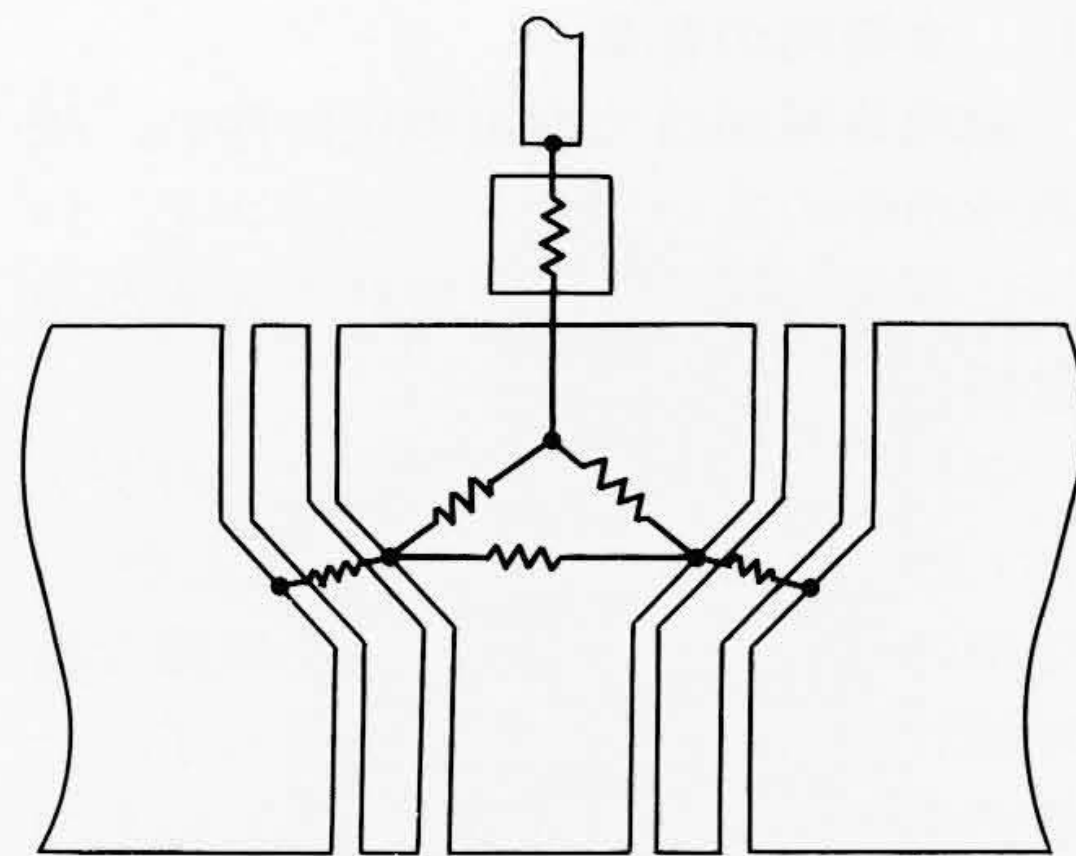


図2 抵抗体の分割と等価抵抗回路網

のように、抵抗体に接続する端子が抵抗体と比較して無視できない大きさを持つ場合、抵抗体が広く他の抵抗体と接している場合でも抵抗値を効率よく計算できる。

4. 提供技術

- 関連特許の実施許諾
- (特開昭63-271577号)
「任意形状抵抗体の端子間抵抗計算方式」

多機能入出力回路ASIC

1. 本発明の背景

ASIC(特定用途向けIC)の代表的製品の一つであるゲートアレーでは、内部に多数の基本セルを配列・形成した内部回路部、周辺に多数の入力・出力バッファ回路部が形成される。内部の基本セルはユーザーの注文に応じた論理回路あるいはシステムの構成に使われ、周辺のバッファ回路は、基本セルの論理レベルとIC外部の論理レベルを合わせるためのインタフェース部となる。ここでは、入力バッファ回路用の素子と出力バッファ回路用の素子とが対になって形成されており、任意の端子を入力端子あるいは出力端子として使用できるようにしている。そのため、バッファ部内に入力バッファ回路あるいは出力バッファ回路を構成したとき、他方の回路素子がむだになる。

本発明は、バッファ部内のこの遊休回路素子を有効に活用し、実際に利用

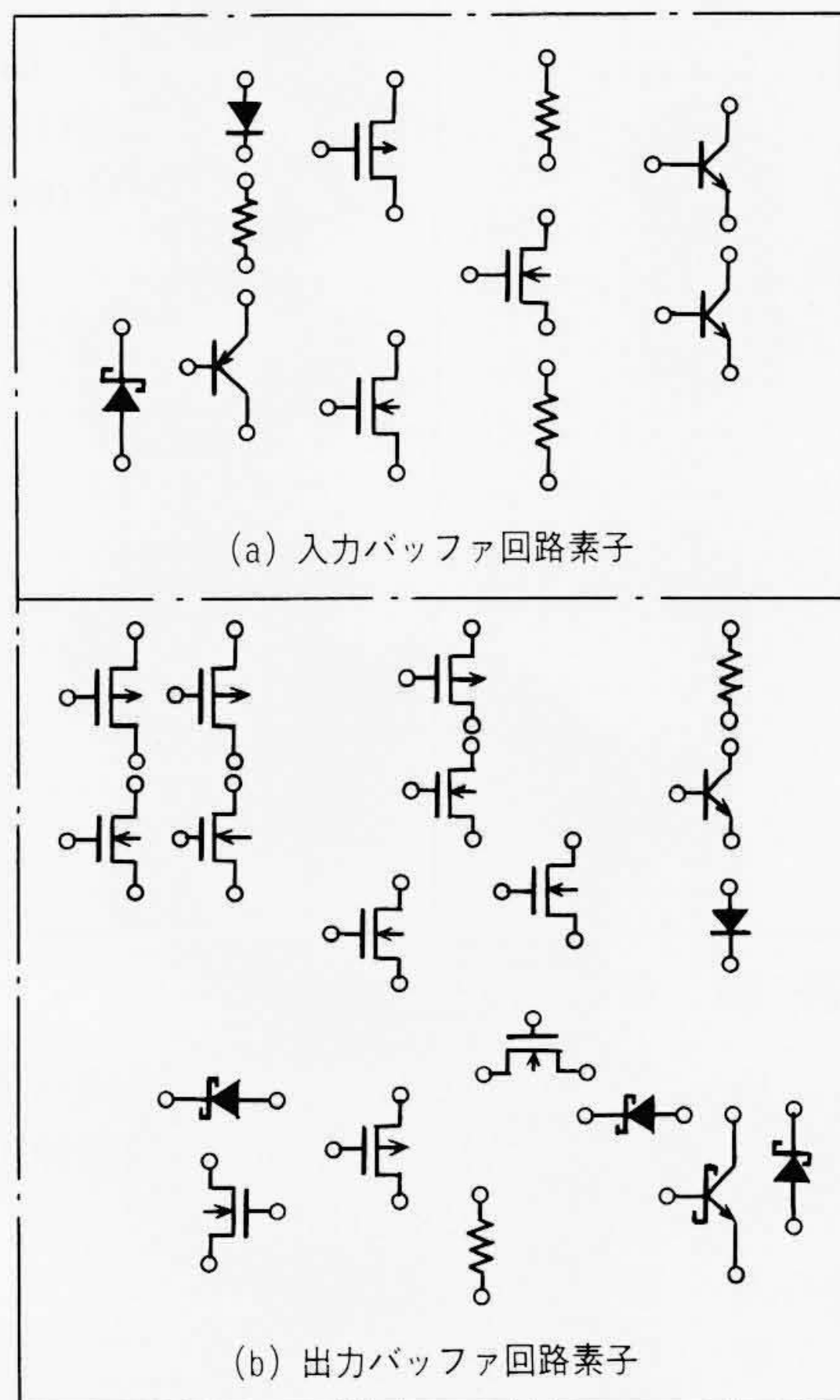


図1 バッファ部構成回路素子例

可能な基本セルの数を多くしたり、特殊な機能を実現することを可能にした。

2. 本発明の概要

バッファ部内に含まれる回路素子の例を図1に示す。出力バッファ回路を使用しない場合、出力バッファ回路の素子を用いて、シュミットトリガ入力や、入力制御端子付き入力バッファ、高負荷駆動入力バッファなどが構成できる。

3. 特長・効果

- (1) 基本セルの機能を代用し、セル数を実際の数より多くすることができる。
- (2) インタフェース回路の種類が豊富となる。

4. 提供技術

- 関連特許の実施許諾
- 米国特許第4,683,384号
(特開昭62-35716号)
「半導体集積回路装置」

自動診断機能付き論理回路

1. 本発明の背景

論理集積回路の大規模化に伴い、故障検出率の高いテストパターンを、いかに短時間で効率よく設計できるかが重要な課題となってきた。

その対策として考え出されたのがテスト容易化回路の付加である。しかし、従来のスキャン設計方式は、煩雑な論理設計規則を守らなければならず、一般の設計者にはきわめて煩わしいものとなっていた。

本発明は、テスト回路と高品質テストパターンを自動生成できる論理集積

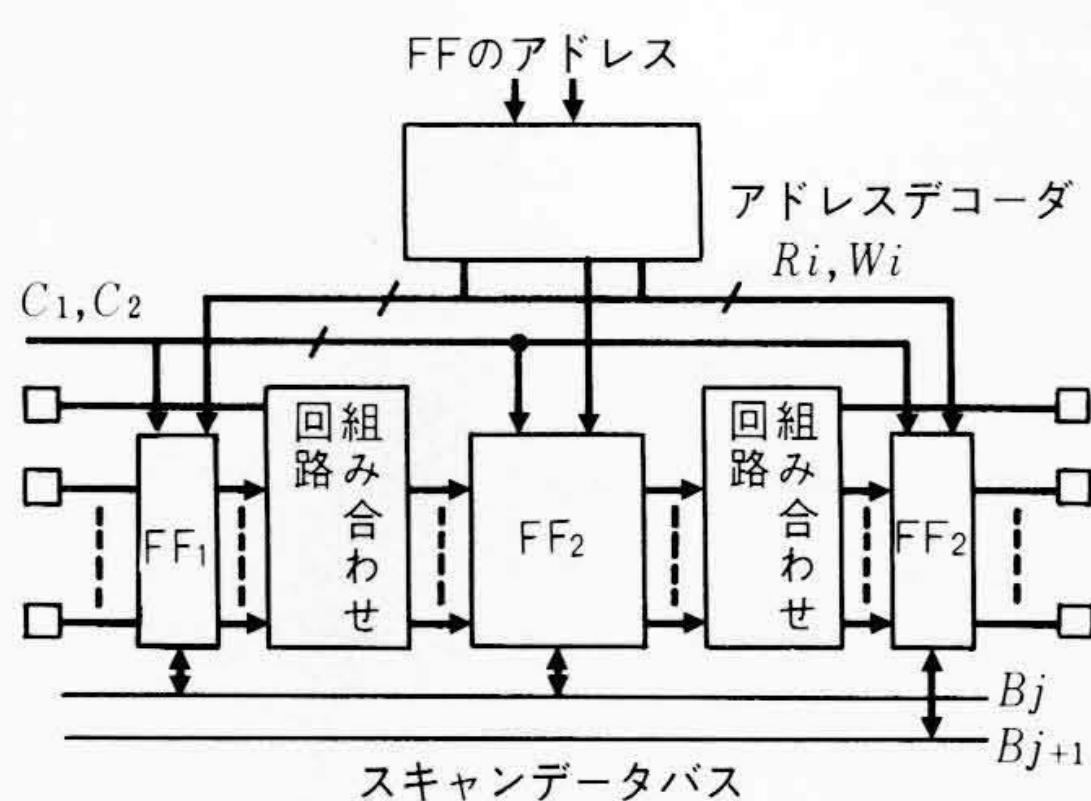


図1 スキャンバス構造

回路を提供し、この問題の解決を図ったものである。

2. 自動診断機能付き論理回路の動作

論理全体を，順序回路群と組み合わせ回路群とに分割し，スキャンバス構造により部分組み合わせ回路ごとのテストを行う。

スキャンバス構造を図 1 に、スキャン機能付き FF (フリップフロップ) を図 2 に示す。図 3 の従来例では、すべての FF がシフトレジスタを構成する。これに対し、本発明では上記バス構造と FF を採用することにより、FF 群のデータライトとデータリードを容易にし、また論理設計上の制約をきわめて少なくした。

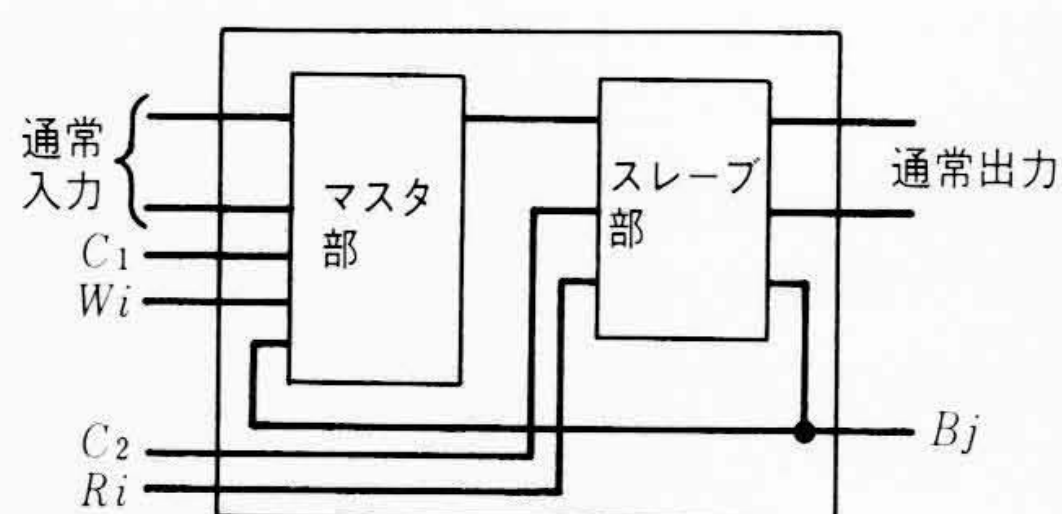


図2 スキャン機能付きフリップフロップ

3. 特長・効果

- (1) 小形のテスト回路で、高品質のテストパターン作成が容易になる。
- (2) テスト設計に要する工数が大幅に低減される(テスト設計の自動化)。

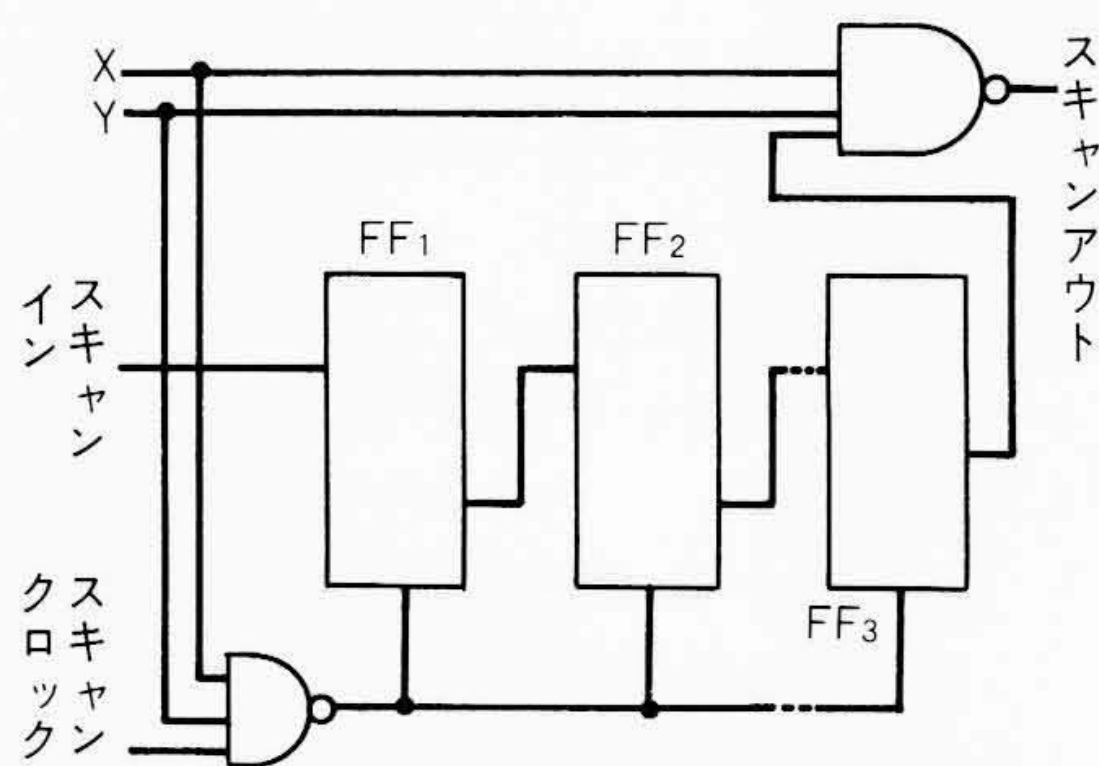


図 3 従来の構成例

4. 提供技術

- 関連特許の実施許諾
- 米国特許第4,701,922号
(特開昭61-62878号)
「半導体集積回路装置」

日立評論 Vol.72 No. 1

平成2年度の日立技術の展望

本年のご愛読を厚く御礼申し上げます。

次号、平成2年新年号(Vol.72, No.1)は、恒例により「平成2年度の日立技術の展望」を特集致します。

なにとぞ、引き続きご愛読を賜りますようお願い申し上げます。

目 立 Vol.51 No.12 目 次

特 集	コンベンションの時代
The Expert's Eye	イカの未来に期待する
技術史の旅<154>	おけき柿と庄内柿
テクノトーク<009>	1年分の新聞から見たい記事が、わずか1.5秒で 検索できるシステムを開発しました
世界歴史ウォッチング	スペクタクル・古代ローマ

企画委員					評論委員				
委員長	堂中	免村	信道	義治	委員長	堂小	免笠	信原	義雄
委 員	"	"	"	"	委 員	"	"	"	"
"	"	"	"	"	"	"	"	"	"
"	"	"	"	"	"	"	"	"	"
"	"	"	"	"	"	"	"	"	"
"	"	"	"	"	"	"	"	"	"
幹事	伊岡	藤田	米久	雄三	幹事	岡田	村紀	久蔵	雄二
"	"	"	"	"	"	"	"	"	"
12月号特集担当 島田舜二									

日立評論 第71巻第12号

発行日 平成元年12月20日印刷 平成元年12月25日発行

発行所 日立評論社 東京都千代田区神田駿河台四丁目6番地 ☎101-10
電話(03)258-1111(大代)

編集兼発行人 伊藤俊彦

印刷所 日立印刷株式会社

定価 1部730円(本体709円)送料別 年間購読料 9,500円(送料含む)

取次店 株式会社オーム社 東京都千代田区神田錦町三丁目1番
☎101 電話(03)233-0641(代) 振替口座 東京6-20018