

ASIC技術動向

ASIC Revolutionizes Electronics System Design

従来のフルカスタム設計に対して、新しく、より包括的な概念として登場したASIC (Application Specific Integrated Circuits：特定用途向け専用IC)は、その自動化された設計ツールに特長がある。高機能・高性能なエンジニアリングワークステーションの普及がASICの世界を広げ、高度に技術を集積したASIC製品がワークステーションのレベルを押し上げる。このように他産業とのポジティブなフィードバックによって成長してきたASICは、今後も顧客のニーズにこたえるべく進化を続けていくものと期待される。

なお、米国VLSIテクノロジー社と日立製作所は、ASIC分野での技術提携を結んでいる。

Douglas G. Fairbairn*
島田舜二** Shunji Shimada

1 緒言

過去8年間、ASIC (Application Specific Integrated Circuits：特定用途向け専用IC)は、半導体業界でもっとも急速に成長した部門であり、**図1**に示すように1989年にはASIC市場は86億ドルを超える規模になると予想されている。1970年代に話題となった「VLSI革命」が実現した一つの原動力は、ASICによるものと言える。電子システムの設計者は、複雑なシステムの全体を、それぞれ特定のアプリケーション用に最適化した数個のチップに収めようという夢を、ついに実現しつつある。世界的な競争が激化し、製品の差別化、迅速な製

品化、性能対価格比の改善がこれまで以上に追求されるため、ASIC市場は今後5年間についても急成長を続けるとみられている。米国市場調査会社のデータクエスト社は、ASIC市場は1994年まで毎年15%ずつ成長していくと予測している。この見通しでは、セルベース製品 (Cell Based IC)の市場がもっとも急速で年25%、ゲートアレーが21%成長し、一方、フルカスタムICは毎年約3.5%の割合で衰退していくとみている。

「ASIC革命」の鍵(かぎ)となったのは、IC用のコンピュータ支援設計ツールIC CAD (IC Computer Aided Design)の急速な進歩、およびその結果としてシステムエンジニアが直接「チップ上のシステム」の設計に参加できるようになったことである。コスト効率の良い高性能エンジニアリングワークステーションの出現を含めたその他の開発の成果も、ASIC産業が急速に受け入れられ、成長していくに当たって重要な役割を果たしてきた。

エンジニアリングワークステーション市場の発展と、ASICとの相乗効果を追ってみると興味深い。どちらも、もう一方がなければ開発され得なかったし、他のどんな電子システムも、小形化と価格や性能の向上に関して、ASICの影響をこれほど強くは受けなかった。**図2**は、過去7年間についてのワークステーションのMIPS (Millions of Instructions Per Second：10⁶回を単位とする毎秒の命令実行数) 当たりコストの減少を示したものである。この減少は、多分にASIC技術による設計と性能の優位性の結果である。ワークステーション

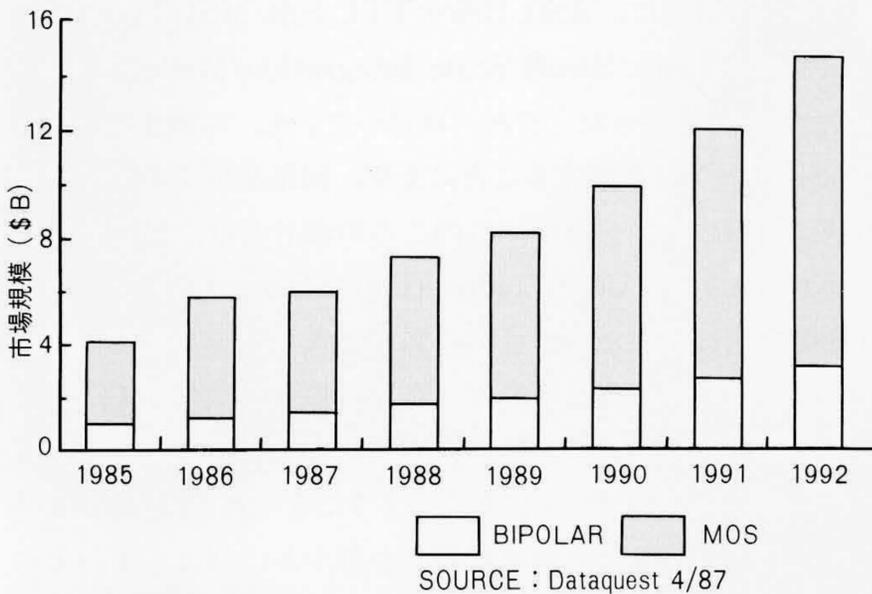


図1 ASIC市場規模 全世界のASIC市場は今後5年間についても急成長を続ける。

* VLSI Technology Inc. ASIC Division ** 日立製作所 半導体設計開発センタ

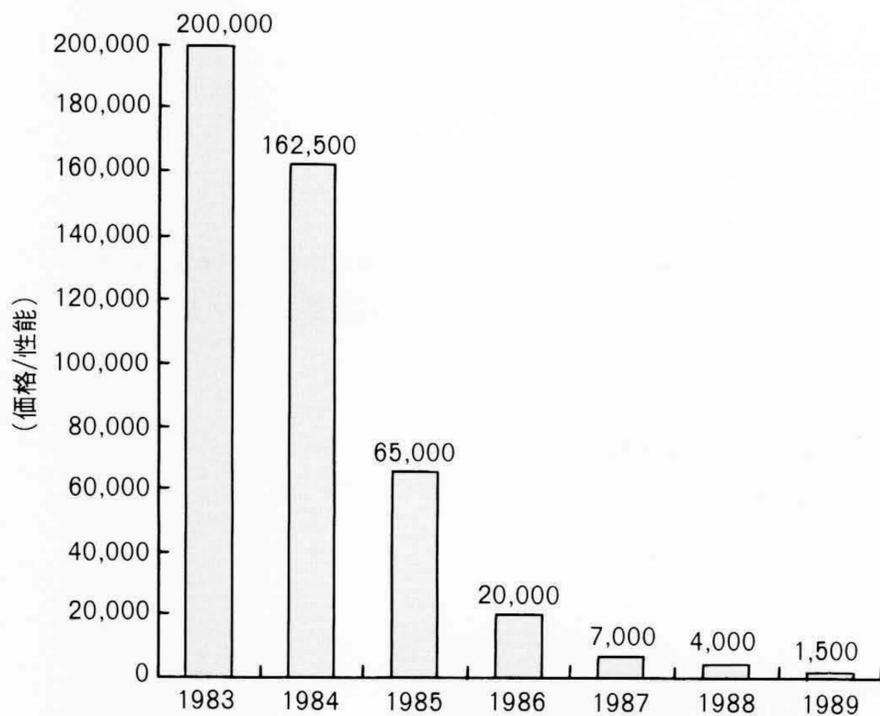


図2 エンジニアリングワークステーションの価格/性能比推移
エンジニアリングワークステーションの性能対価格比の急速な改善は、ASIC革命を推進し、またASIC革命によって推進された。

の性能対価格比の改善に同様に重要な役割を果たしたRISC (Reduced Instruction Set Computer) 技術自体でさえ、システムエンジニアがASIC技術を用いて自分のVLSIチップを設計することによって可能になったのである。

2 ASICの始まり

ASIC産業は1970年代のフルカスタムICにその起源があるが、1980年代初期になるまで真の開花はしなかった。すなわち、フルカスタム設計活動は、実際には1960年代にはすでに始まっていたのであるが、リスクが大きく、設計に時間がかかりすぎ、またよほど大量のアプリケーションでないかぎり、費用が高すぎたからである。数千ゲートの単純な回路でも、多くの場合開発に2年以上かかり、費用は数十万ドルを要し、しかも完成してもまったく動作しない可能性が大きかった。この主な理由は、1960年代と1970年代の設計が人手に頼る性質のものであったからである。例えば、1970年代にフルカスタム設計に10年間を過ごしたある技術者は、「10年のうち8年を図面の色塗りでも過ごした」と言っている。すなわち、技術者は配線チェック、デザインルールチェックなどの検証のたびに、何か月ずつも費やさなければならないということを意味している。

米国では、この手作業によるフルカスタムの世界から高度に自動化したASICの世界への移行に必要であった革新的開発の多くを、VLSIテクノロジー社などの創造的企業が行った。こうした会社の成功の鍵は、あらかじめ検証されたライブラリエレメント、先進的なCAD、設計過程へのシステムエンジニアの直接参加、顧客のサイトへの適切な技術支援体制、およびサービス指向の製造技術の必要性を認識していたことで

ある。従来の半導体製造技術だけの観点からASICに取り組んだ会社は、あまり成功しなかった。

1981年ごろまで、ICの設計はほとんどすべて手作業に頼っていた。利用できたわずかなコンピュータ支援機能も、きわめて高価なコンピュータ化した製図用具と大差がなかった。システム設計者によるIC設計を実現するには、各設計工程をきわめて高度に自動化しなければならない。幸い、時代はコンピュータ科学やコンピュータ工学を学んだ若いシステムエンジニアを多量に生み出しており、こうした技術者やコンピュータ科学者が、カリフォルニア工科大学のカーバー・ミードや、ゼロックス社のリン・コンウェイの先駆的業績に魅(ひ)かれ、IC CADの分野に飛び込んでいった。新しく訓練されたこの革新世代の努力により、IC設計ツールの大きな改変や改良がなされたのである。それまでIC設計は退屈な手作業であったが、論理入力、論理合成、高速シミュレーション、コンパイル、高密度な配置・配線ツールなどにより創造的でエキサイティングな仕事へ変化したのである。

IC CADでの業績を補ったのは、ほぼ並行して開発され、発売されたまったく新しい形のコンピュータ、エンジニアリングワークステーションである。これは、IC設計という複雑な仕事を行うのに必要なメモリ容量と処理能力を備えた十分に強力なコンピュータであり、コスト効率が良いとして、開発に従事する設計者やそのチームに販売された。最初のワークステーションは1982年に出現し、以来、急速に進歩してきた。前述のとおり、特に1980年代初めに一般的であったミニコンピュータ(以下、ミニコンと略す。)やメインフレームに比べ、これらのシステムの性能対価格比が急速に改善されたことが、ASIC革命の重要な点である。

3 現今のASIC

初期の設計者は、ASIC技術をTTL SSI/MSI (Transistor Transistor Logic Small Scale Integration/Medium Scale Integration) といった「グルーロジック」を、単数または複数のASICチップに集積することにより、回路基板上の部品点数削減に利用した。一般に、このころの設計者は、当時新しいCAE (Computer Aided Engineering) 会社か、ASICメーカー自身が発売し始めた第1世代の回路図入力ツールを使っていた。設計者の用いる技術やツールが進歩するにつれて、こうした「グルーロジック」集積チップは、初期の2,000ゲート以下から時には1万ゲートにもなるようになった。ASICが受け入れられていったこの急速な潮流を鮮やかに例証しているのは、1987年までにASIC業界が世界の全TTLメーカーが出荷した数よりも多くのゲートをゲートアレーの形で出荷しているという事実である。

論理入力とシミュレーションに続き、この時期に開発された最重要新技術は、シリコンコンパイラである。VLSIテクノ

ロジック社は、1983年にこの重要な技術の最初の商品を出した。この新しいツールによってASICデバイスの部分レイアウトは完全に自動化され、その一方でシステムエンジニアは希望どおりに仕様を決められる最大限の柔軟性を利用できた。すなわち、製品の實現方法として、同一の論理情報(ネットリスト)から、開発期間の短いゲートアレーのレイアウトを生成することも、コンパイラによって最適化されたセルベースICのレイアウトを生成することもできた。

1987年には、さらに別のツールが市場に出て複雑な回路の設計時間を大幅に短縮し、同時に製品の品質を高めた。このツールは、論理合成(ロジックシンセサイザ)である。このときも、VLSIテクノロジー社が最初にこのツールをASIC市場に導入した。ロジックシンセサイザを使えば、ユーザーは製品の詳細なゲートレベル記述を行うことなく、回路の機能を記述できる。ロジックシンセサイザは、必要な機能の論理回路(ネットリスト)を自動的に生成し、かつそれらを面積とスピードに合わせて最適化する。

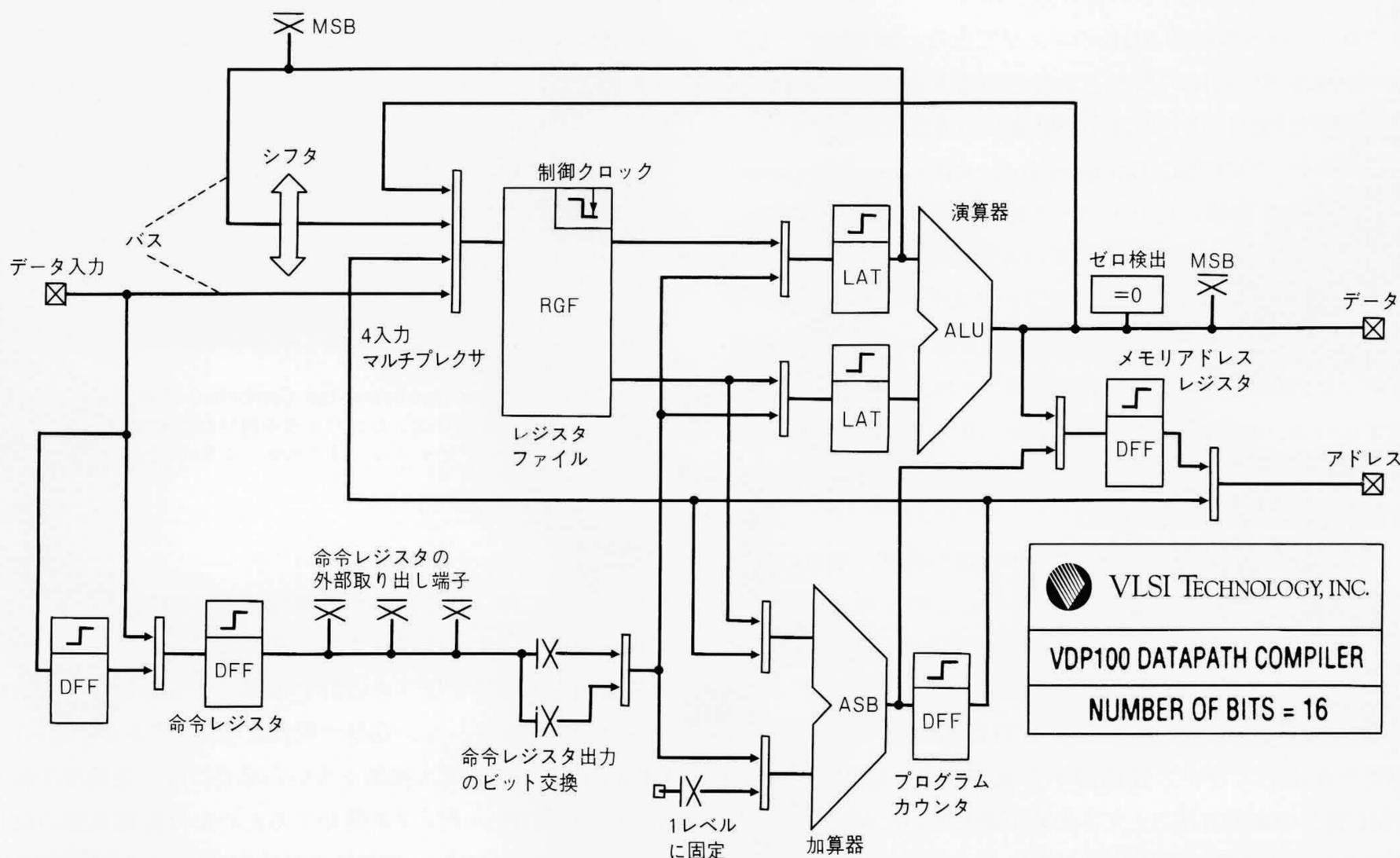
シリコンコンパイラとロジックシンセサイザの威力を示す好例は、VLSIテクノロジー社が開発したRISCプロセッサである。そのデータパス部分を図3に示す。VLSIテクノロジー社

の強力なコンパイラにより、このプロセッサはわずか2日間で實現された。仕様全体でおよそ7,500の論理ゲートを含み、データパス1本、ステートマシン三つ、そしてこれらの部品を接続するための回路を付けて作製された。この設計は、ゲート1個たりとも従来の方法で作図せずに、高レベルで實現した。データパスの幅やその他の仕様の変更はすぐに反映でき、まったく新しい設計が1時間以内にコンパイルされる。

VLSIテクノロジー社のデータパスと論理合成ツールの優位点の一つに、製品の實現方法の柔軟性がある。まったく同じ仕様から、最適化したセルベースレイアウトを生成することもできれば、標準セルやゲートアレーの製品を實現するものになるネットリストを生成することもできる。どちらの場合も、自動配置・配線ツールがあり、自動的にマスクパターンを生成する。

このように設計が柔軟に対応できるだけでなく、プロセス技術の進歩にも迅速に修正できる。論理設計が完成したら、ユーザーは1.5 μmでも1.0 μmでも、あるいは将来的にはサブミクロンでもプロセス技術を選ぶことができ、新しいプロセス技術に対応したレイアウトを迅速に再生成できる。

新しいASIC技術に関する経験と自信が深まるにつれて、



注：略語説明 RISC (Reduced Instruction Set Computer), MSB (Most Significant Bit), RGF (Register File), LAT (Latch), ALU (Arithmetic Logic Unit) DFF (Delayed Flip Flop), ASB (Adder/Subtractor)

図3 RISCプロセッサのデータパス部分 VLSIテクノロジー社のデータパスシリコンコンパイラは、RISCプロセッサのデータパス部分のブロックレベル記述を受け取り、目標機能およびタイミングを考慮し、最適化したレイアウトまたは論理ネットリストを自動的に生成する。

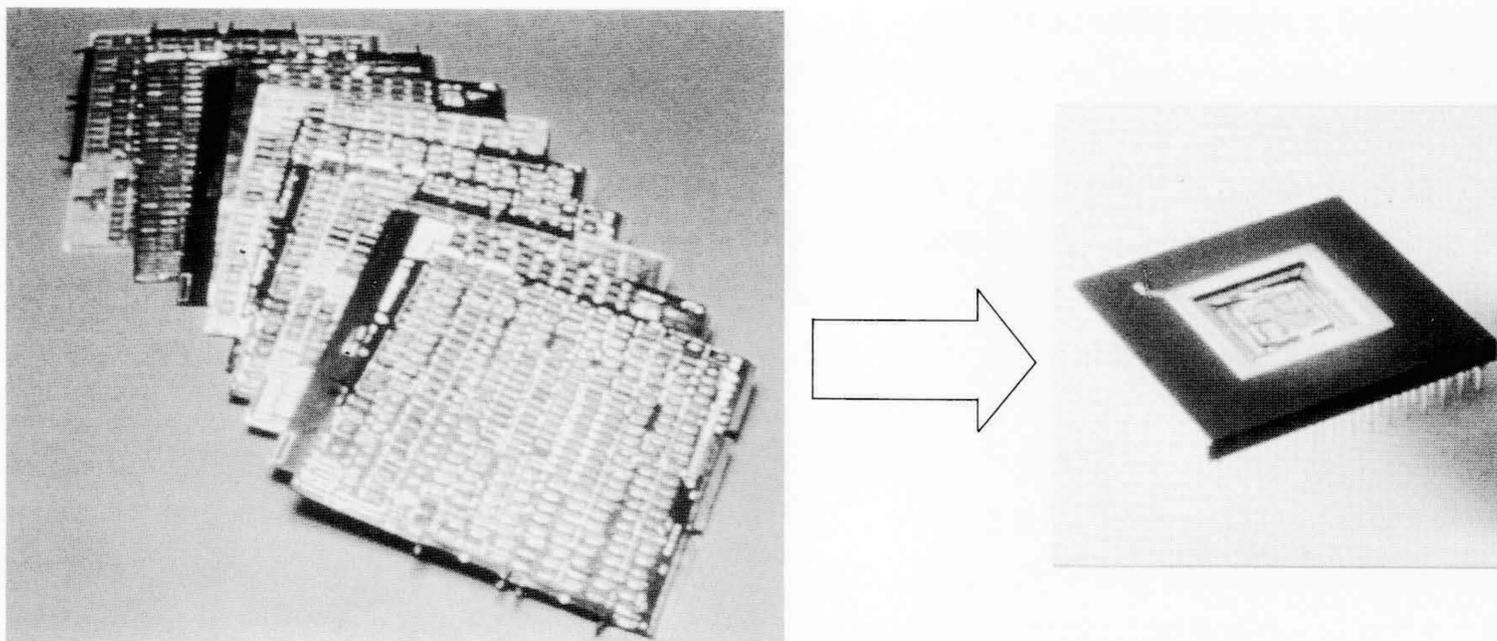


図4 ASICによるシステムの高集積化 高集積度ASICの実現により数枚の回路基板が1個のICに置き替わる。

ユーザーはさらにシステム集積の要求を厳しくしてきた。この2年間、「ASICシステム」は数多く市場に出てきた。こうしたシステムでユーザーは、「グルーロジック」をASICに集積しただけでなく、システムを構成する主要なLSIデバイスも集積したのである。標準論理素子を用いた10枚か20枚の大きな回路基板で構成されていたシステムが、いまや「スーパーASIC」を用いた1枚の基板に集積されている(図4)。こうしたチップで現在最大のものは5万~10万ゲートで、システムのクロック周波数は50 MHzのレンジである。製品はゲートアレーかセルベースICの形をとることができるが、真のシステム集積のためには後者のほうが好ましい方法である。

一つのチップにCISC (Complex Instruction Set Computer) CPUの全体を集積したセルベースICの写真を図5に示す。

ASICの影響は、現在利用している製品のコストや複雑さに現れている。ASICがなければ、ワークステーションやパーソナルコンピュータが現在の高度な機能と低コストに到達できなかったのは明らかである。同様のことは、ミニコン、メインフレーム、自動車電話、ファクシミリなどさまざまな製品でも、またその他の家電製品、通信製品、産業用・軍事用・自動車用製品でも達成された。

一方ASICは、ここ数年にわたる半導体の設計・製造の分野での多くの新しい開発を促進してきた。このもっとも明らかな例はCAD技術である。ASICは明らかに、この10年のこの分野での急速な開発の駆動力であった。

半導体製造技術の分野で、ASICはCMOSと多層配線技術開発を推進してきた。性能面から見た場合、CMOS技術はASIC製品の実現方法としてきわめて適していたが、自動設計が望まれ、より高い密度が要求されることから、CMOS回路での3層メタル配線と、バイポーラASICでの4層メタル配線の開発が進んだ。特に配線技術は、ASIC回路の密度の主要な決定要因となることが多い。これは特に、金属の配線ピッチ

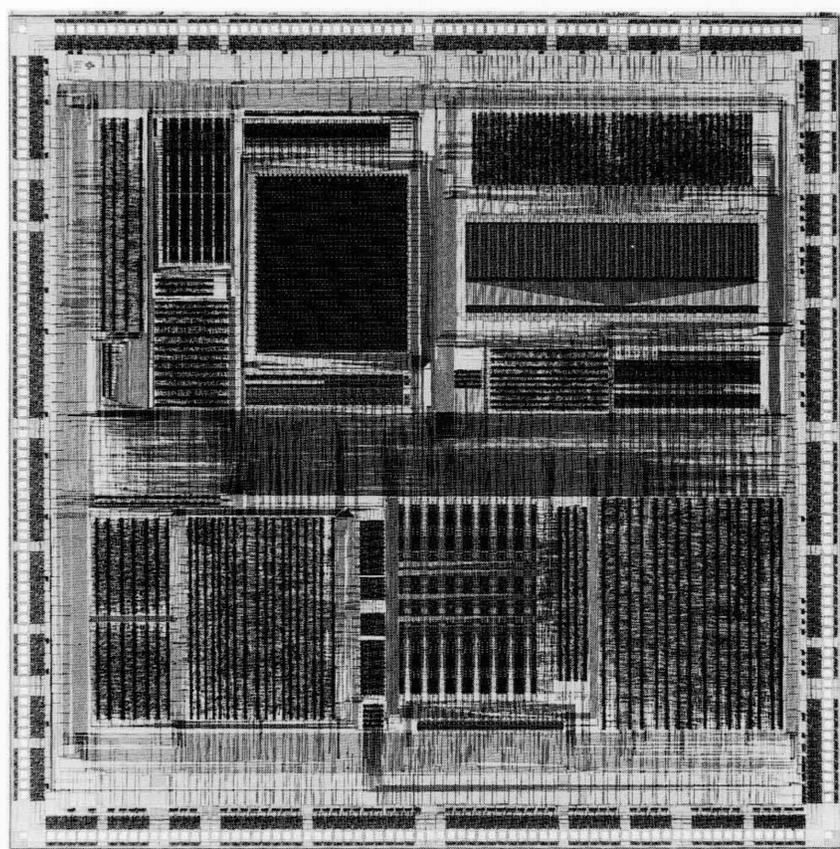


図5 CISC (Complex Instruction Set Computer) プロセッサチップ写真 論理合成とシリコンコンパイラを用いたCISCプロセッサの顕微鏡写真を示す。チップサイズは、14.5 mm×14.5 mmである。

が結果として得られる製品の集積度を基本的に決めるゲートアレーの場合によく当てはまる。さらに、1.5 μm 以下のプロセス技術を用いてチップを設計する際、信号ラインでのエレクトロマイグレーション問題が重大になりつつある。さらに、1.0 μm 以下のプロセス技術を用いる場合には、集積度が高かつ信頼性の高いチップを開発するためには配線技術の改良が必要である。しかし、高度に自動化したツールを用いてASIC回路を巧妙に設計しても、それだけでは十分ではない。ASIC回路を製造し、パッケージに封入し、テストしなければならない。

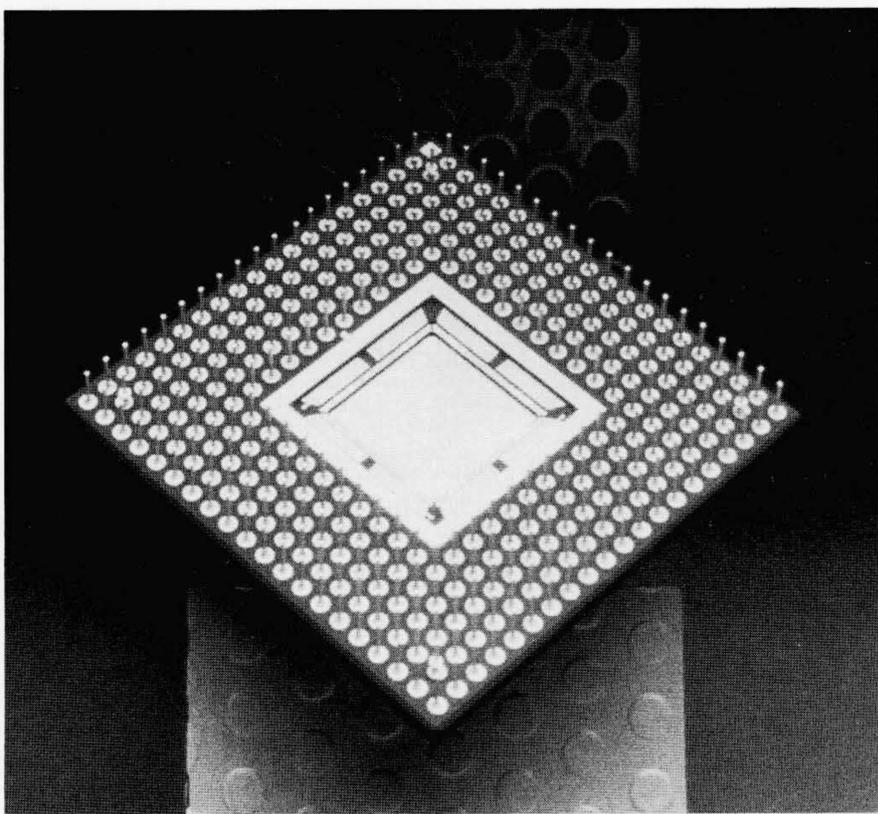


図6 299ピンセラミックPGA 図5のICに使用したセラミックPGA (Pin Grid Array)を示す。

パッケージとテストは、ASICが大きな影響を与えたもうひとつの分野である。複雑なASICデバイスを適切に相互接続するのに必要なピンの数は、年々急速に増加してきた。ASICパッケージへの要求は、40ピンの標準DIP (Dual In line Package) をほとんどすぐに越えてしまい、ピン数100本未満の設計用には、68ピンと84ピンのPLCC (Plastic Leaded Chip Carriers: プラスチックリード線付きチップキャリア) が主流のパッケージタイプになっている。ASICの複雑さが増すにつれて、より多いピン数への要求も高まった。ピン数100~200本では、PGA (Pin Grid Arrays) とPQFP (Plastic Quad Flat Pack) とを組み合わせ対応した。PGAは高度なパワー・性能アプリケーションに用い、一方PQFPは中程度の消費電力を持ち、大量に生産されるデバイスの低コスト、多ピンの必要性にこたえてきた。200ピンを超える領域では、特定の応用向けに種々パッケージが開発されてはいるが、やはりPGAが一般的である。図6は、7レベルの相互接続と、電源供給/接地面のある299ピンのセラミックPGAの写真である。

テストの分野でも、ASICは技術革新の推進役を果たしてきた。これまでテストプログラムは手作業で作っており、時間も費用もかかっていた。ASIC回路が多数設計されると、テストプログラムの作成でも自動化を進めなければならない。この問題も、複雑なシミュレーションベクトルを自動的にテストプログラムに変換するCADソフトウェアの開発で解決された。このソフトウェアは、使用するテストの能力を考慮し適切にテストベクトルを構成するものである。

製造戦略と、そして組立ラインの構築までもASICの要求による影響を受けてきた。大量のASIC製品を生産している会社

では、ホトマスクの扱い、機器の調整時間、多品種の部品の工程管理、日程管理、納期短縮の要求条件など製造上の問題が、ずっと種類の少ない標準製品を生産している会社に比べて、どれも非常に異なってくる。一般にASICの製造のほうが、ずっと要求が厳しい。最近、VLSIテクノロジー社は多品種を最短の時間で製造できるように、最適化した新しい製造ラインの認定を完了した。各機器の調整に要する時間が機器の選定時での主要な関心事であり、工場レイアウトは製品の流れがもっとも良くなるように、また工期が最短となるように最適化した。オペレータのミスを排除するため、各機器についての命令はすべて工程を管理するコンピュータから指令される。コンピュータは、「すべて」のロットの納品スケジュールがきちんと守られるよう、ある時点で処理すべき適切なロットをオペレータが選定する際の手引きもする。こうした自動化や、またその他多くのガイドラインや手順の順守があって初めて、ひとつのASIC製造ラインで多品種の迅速かつ信頼性の高い加工を求める顧客のニーズにこたえることができるのである。

4 ASICの将来

将来を考えると、ASICが活躍する機会はますます増えていくであろう。設計者はさらに利点を見いだすようになり、システム全体をASICを使って設計し始めている。データクエスト社によれば、ASIC市場は1989年の86億ドルから1994年までには178億ドルを超える規模になると予想している。この期間に、チップの複雑さは100万ゲートを超え、パッケージのピン数は500本以上になると思われる。

このような予測を現実にするためには、新技術を開発する必要がある。もちろん、プロセスの微細化をさらに推進し続けなければならない。かつてASICチップは、最先端から数年遅れの技術で製造されたが、現在ではテクノロジードライバであるメモリ回路を搭載するなど、最新の技術を用いている。1990年代半ばまでには、 $0.5\mu\text{m}$ 未満のプロセスが、ASIC回路に使われるようになるであろう。この小形化により、ひとつのチップに載せられる回路は、現在一般的な数の10倍以上にできる。最先端の回路はCMOSの単独使用から、CMOSとバイポーラの組み合わせに移っていくであろう。この複合BiCMOS技術で、設計者はCMOSによる高密度の利点と、バイポーラの高性能な能力とを組み合わせることができる。パッケージも重大な進歩を遂げなければならない。将来のASICのピン数、動作周波数および消費電力の要求条件に対しては、一般に利用されているタイプのパッケージでは対応できない。おそらく他の技術と組み合わせたTAB (テープ自動化ボンディング) に移行して、将来の要求にこたえなければならないことになると思われる(図7)。

テストの分野では、テストをチップ設計の後から考えれば

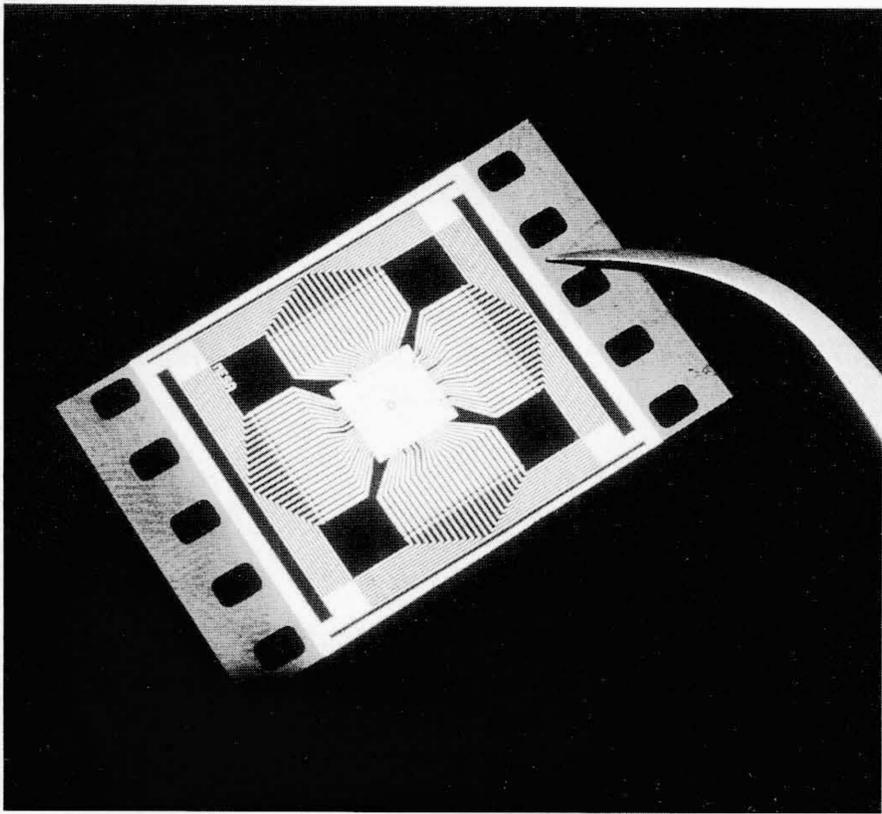


図7 TABパッケージ TAB(Tape Automated Bonding: テープ自動化ボンディング)パッケージは、将来の多ピン化の要求にこたえる有力な手段と考えられる。

よいこととして扱いつづけることはできない。10万ゲート以上の回路ではテスト方法を最初から考慮した設計を行う必要がある。より多くのチップに特別な回路が付加され、テスト自体とテストパターン生成の容易化が図られることはほぼ確実である。例えば、VLSIテクノロジー社は、先ごろ自動的にBIST(ビルトインセルフテスト)機能を含めてコンパイルするRAMコンパイラを発売した。このソフトウェアには、その他主要ビルディングブロック用のテストベクトルを自動的にコンパイルし、また各ブロックを独立にアクセス可能にするための分離回路を自動的に挿入できるようにする機能がある。さらに、このソフトウェアは、テスト生成の問題を緩和するばかりでなく、ユーザーへの出荷前に回路を完全にテストすることを可能にし、検出率の向上に貢献している。

ASIC市場に役だてるために開発された数々の技術は、単にASICの進歩をもたらしたという以上の意味がある。先進的な半導体ベンダーや単にシステムベンダーはASSP(特定用途向け標準製品)を迅速に開発するためにASICからくるCAD技術や製造技術を用いている。例えば、VLSIテクノロジー社ではASIC事業部で開発されたライブラリと設計ツールを用いてASSPを担当するASLP(Application Specific Logic Product)事業部によって、業界標準パーソナルコンピュータを構成するチップセットが5か月間で開発された。製品を市場に導入するタイミングがビジネス上もっとも重要視されているので、新規に開発されたASIC手法は、将来の半導体事業全体に少なからず影響を与えていくものと思われる。

5 結 言

上記の内容から、ASICの最先端の位置を保つには、IC CAD、加工技術、テスト技術、ライブラリ開発、サービス指向製造技術など、多くの技術の限界を並行して押し広げていく必要があるのは明らかである。こうした幅広い投資と技術開発の要求は業界の多くの会社に影響を与え、顧客のニーズによりよく取り組むための提携を形成することになった。これが1988年に、日立製作所とVLSIテクノロジー社とが提携した動機であった。VLSIテクノロジー社はIC CADとセルベースASICに関しては世界一であり、一方、日立製作所は半導体の加工・製造技術でのトップ企業と目されている。1988年1年間、両社は顧客のますます増加しつつあるニーズにこたえるための次世代のプロセスおよび設計ツールの定義と開発のため、緊密に協力してきた。両社が相互の提携先のために、また互いの顧客に対して大きな利益を与えていけば、将来はこのような関係を他社も追求することになると思われる。提携会社どうしは互いの強みを結びつけて、さらに強力になることができ、一方、顧客は複数の会社から、より良い製品を供給されるという利益がある。