

ASIC設計手法の現状と将来

Present Status and Future Prospect of ASIC Design

1980年代になって発展してきたASIC (Application Specific IC)はLSIの集積度増加とともに重要性を増し、ULSIの時代にはシステムインテグレーションの主役になろうとしている。ASICの本質は、短いターンアラウンドタイムでユーザー所望の機能をLSI上に実現することで、設計手法と設計ツールの役割が大きい。また、ASICの顧客と半導体メーカーの間でのインタフェース情報となる論理レベル、回路レベル、レイアウトレベルでの記述仕様も重要になっている。さらに、今後の設計では、取り扱う論理ゲート数が増大することから、各種の設計ツールの高性能化と、高位レベルでの論理設計、マクロセルを活用した設計などが重要性を増すであろう。

増原利明* *Toshiaki Masuhara*

小沢時典** *Tokinori Ozawa*

清水嗣雄*** *Tsuguo Shimizu*

野口孝樹*** *Kooki Noguchi*

1 緒言

1970年代、システム機器メーカーが所望の機能をLSIを用いて実現する場合、大別して次の二つの道をとるのが普通であった。すなわち、第一は、半導体メーカーが量産しているマイクロプロセッサ、メモリ、A-D変換器などの汎(はん)用LSIだけを使ってシステムを実現する道、第二は、半導体メーカーに全面的に設計を委託して作ったフルカスタムLSIを使用する道である。前者では、汎用LSIで実現できる機能がシステム機器メーカーの所望するものと必ずしも一致していない、他のシステム機器メーカーも同一のLSIが使用できるため製品の優越化ができない、などの問題点があった。また後者では、仕様を出してからLSIを受け取るまでの時間、すなわちターンアラウンドタイムが大きい、使用するLSIの個数が少ない場合、LSI当たりのコストが高くなる、という問題点があった。

ASIC (Application Specific IC: 特定用途向けIC)は以上のニーズに対応するために、1980年代になって発生し発達してきた新しい概念の集積回路である。LSI固有のコスト低減要因であるLSIのリピータビリティ、高集積という利点を生かしたままで、システム機器メーカーに迅速に所望の機能を提供できる汎用でないLSIがASICである。一方、ASICを発展させてきたシーズは次の二つである。第一に、1980年代になってLSIの高集積化がVLSI($10^5 \sim 10^7$ 素子の集積規模)という段階になり、大規模な論理回路だけでなく、メモリ、A-D変換器、各種演算器などもワンチップ上に集積化できるようになったことである。このため、VLSIを応用するシステム機器で、VLSIの大集積化の利点を生かすためにはASICに移行せざる

を得なくなってきた。第二に、設計技術、DA/CAD (Design Automation/Computer Aided Design: 以下、DAと略す。) ツール、設計用ワークステーションなどの関連技術がASICの発達と呼応して急速に進歩したことである。これにより、ある段階での設計データのフォーマットを明確化しておけば、システム機器メーカーと半導体メーカーの間で、LSIの設計を分担することができるようになった。また、これに伴い、設計データの通信手段やASICを設計するためのデザインセンターなども整備された。

ASICの全体像を議論するには、ASICの分類とそれぞれのASICの特徴、ASICのプロセス技術とその使い分けなど詳細な議論を行うべきであるが、ここではごく簡単に触れるにとどめる。詳細は、参考文献1)などを参考にされたい。本稿ではASICの設計手法と設計ツールに絞って、現状と将来について述べる。

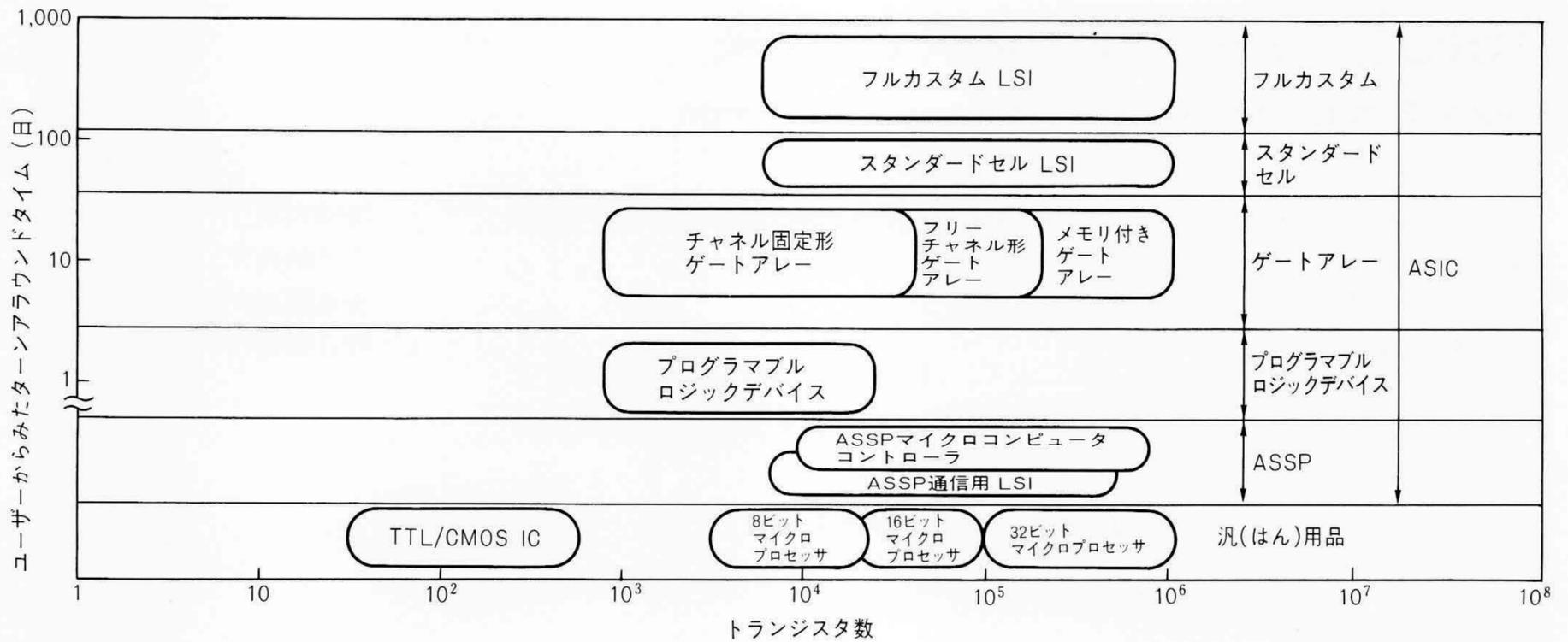
2 ASICの現状と将来方向

ASICには、フルカスタムICから標準的な特定用途向きICという意味のASSP (Application Specific Standard Product) までが含まれる。これらのASICのターンアラウンドタイムと集積度の現状を図1に示す。ASICの分類は時代とともに変わりつつあり、次々と新しい種類のASICが生まれている。現在までの主要なASICは下記のとおりである。

(1) フルカスタムLSI

半導体メーカーが特定顧客向けに専用の設計を行うLSIで

* 日立製作所 中央研究所 工学博士 ** 日立製作所 半導体設計開発センタ *** 日立製作所 中央研究所



注：略語説明 ASIC (Application Specific Integrated Circuit), TTL (Transistor Transistor Logic)
ASSP (Application Specific Standard Product)

図1 1989年段階のASICの分類とターンアラウンド時間、集積規模の関係 ASSPと汎(はん)用品は、ユーザーの在庫にあればユーザーからみたターンアラウンドはゼロとなる。半導体メーカー側での設計は、フルカスタムと同等の時間は必要となる。

ある。

(2) スタンダードセルLSI

半導体メーカーが論理ゲート、演算器、マイクロプロセッサ、メモリなどをセルライブラリとして用意し、これらをLSI上に配置し、配線することで設計を行うLSIで、CBIC(セルベースIC)とも呼ばれる。

(3) ゲートアレー

半導体メーカーが論理を構成できる基本回路を半導体ウェーハ上に用意しておき、システム機器メーカーからの論理仕様に基づいて自動的に配線を行い、特定の論理を実現するLSIである。チャンネルと呼ばれる配線領域と論理回路を構成するためのセル領域とが分離されたチャンネル固定形と、チップ全面に敷き詰めたセル領域上で多層配線によって結線を行うフリーチャンネル形とがある。さらに、チップ上の一部の領域にメモリなどを混在させたゲートアレーもある。

(4) プログラマブルロジックデバイス

プログラム機能をチップ上にあらかじめ組み込んでおき、特定の論理を電気、レーザなどの手段によって書き込むLSIである。PLA(Programmable Logic Array), LCA(Logic Cell Array)などがその代表である。前者はAND面とOR面で構成され、その両方あるいはAND面だけをプログラミングして所望の機能を積和形論理で実現する。一方、後者は、アレー状に配置された論理ブロックの機能や論理ブロック間の結線をプログラミングして所望の機能を実現する。

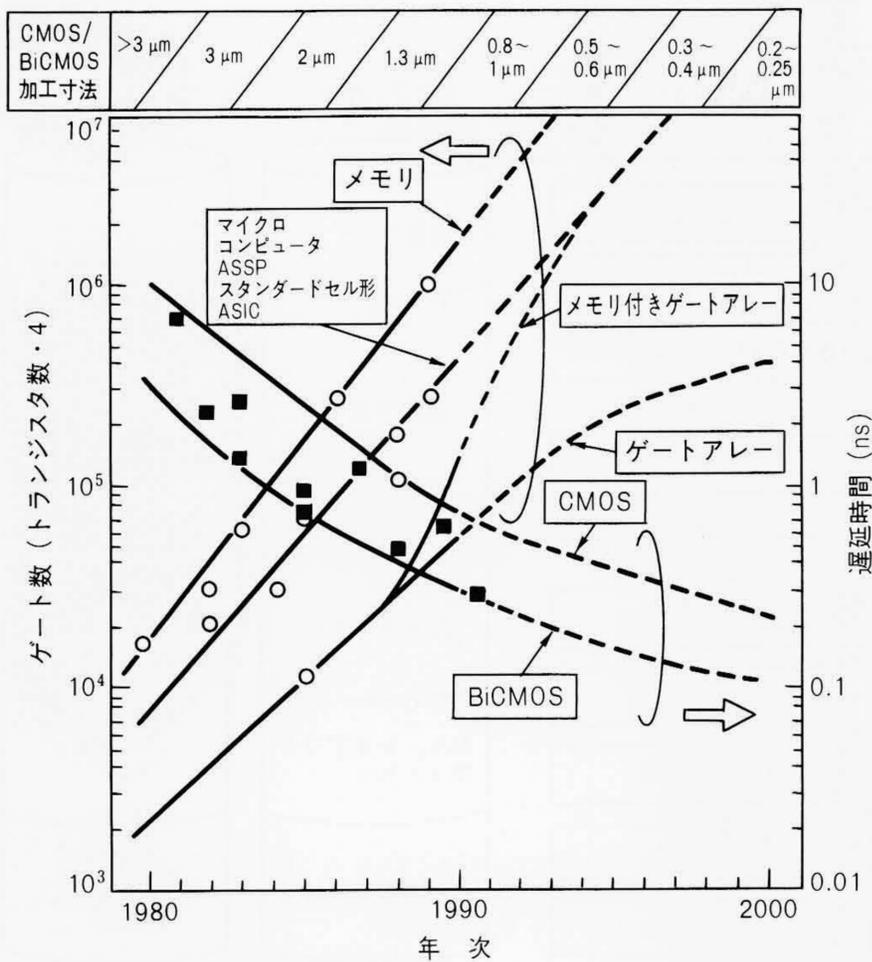
(5) ASSP

多くのシステム機器メーカーの必要とする機能を半導体メ

ーカー側で予測し実現した特定用途向けの標準ICのうち標準的な部分である。

先の図1に示したように、フルカスタムに近いASICほど集積度が大きく、ユーザーが所望する複雑な機能をワンチップ上に実現しやすくなるが、反面、LSI設計に要するターンアラウンド時間が長くなる。ゲートアレー、プログラマブルロジックデバイスなどの存在理由の一つは、ターンアラウンド時間の短さにあると言える。したがって、いかにしてユーザー所望の機能、性能を持つLSIを短いターンアラウンドタイムで実現できるかが、ASICでの重要課題になっている。

ASICの大規模化の状況を、他のLSIと比較して図2に示す。ASSP、スタンダードセル形ASICなどは論理LSIとしては最高の集積度を実現しているが、これらの集積度は2000年にはトランジスタ数で10⁸のオーダーに到達する。このとき、大規模なメモリのオンチップ集積化も可能となり、システムレベルのインテグレーションを実現したASICが出現する。ASICの主流デバイスとしてはCMOSとBiCMOS(Bipolar CMOS)があるが、CMOSは高集積性が要求されるローエンドの応用、BiCMOSは性能と高集積性の両方が要求されるハイエンドの応用という役割分担になると考えられる。現在まで、MOSトランジスタのスケーリングによって、ゲート遅延時間は年次とともに小さくなってきたが、ゲート長0.5μm以下では従来のような定電圧スケーリングが難しくなる。このため、1990年初めから高速化の進展は緩やかになるであろう。それでも2000年にはCMOSで0.2 ns/ゲート、BiCMOSで0.1 ns/ゲートのレベルの高速化が実現する。このような高集積度、高速の



注：○ ゲート数，■ 遅延時間
略語説明 BiCMOS (Bipolar CMOS)
ASSP (Application Specific Standard Products)

図2 ASIC, 汎用LSIの大規模集積化の現状と今後の展望 縦軸はトランジスタ数・4とした。ゲートアレイでは、今後メモリの集積化が進みスタンダードセル形ASICに近接していく。

ULSI ($10^7 \sim 10^9$ 素子の集積規模)では実装技術が大きな問題となり、大形のチップを収容し放熱性能の優れたパッケージの開発が課題である。

以上、今後のASICはプロセス、デバイス、回路、実装技術などの半導体技術と設計技術が調和しながら発展する。本稿では、このうち設計技術と設計ツールに絞って現状と今後の展望を次に議論する。

3 ASIC設計の現状

ASICの設計といっても、通常のLSIの設計と大きく異なるわけではない。しかし、ASICの性質上、システム機器メーカー、すなわちASICのユーザーが設計の一部分を担当するのが特徴的である。一方、ASICの開発では、開発効率向上のためにDA/CADシステムの利用が盛んである。その設計各段階で必要なデータベースは、システム機器メーカーにも半導体メーカーにも存在する。また、半導体メーカーのデザインセンターのものをASICユーザーであるシステム機器メーカーが使用する場合もある。DAシステムの種類としては以下の3種類に大別できる。

(1) 大形コンピュータ利用システム

大形コンピュータをホストとし、ワークステーションによる処理とを併用して入出力の操作性と、大形機の処理能力の両方を最適化したシステムを指す。

(2) 専用DAシステム

専門DAメーカーによって開発された、ハードウェアと特定のDAソフトを一体化したシステムを指す。ユーザーが必要とする機能が、DAメーカーによって組み込まれている。

(3) 標準EWS(Engineering Workstation)利用システム

高精細なグラフィックディスプレイやマウスなどの座標入力装置を備えた標準形ワークステーション上に、専門分野のDAプログラムを搭載したシステムを指す。EWSの処理能力・処理機能の向上は著しいが、設計規模の制限が厳しいのが問題点の一つであり、最近では専用ハードウェアエンジンを付加したものなども出てきている。

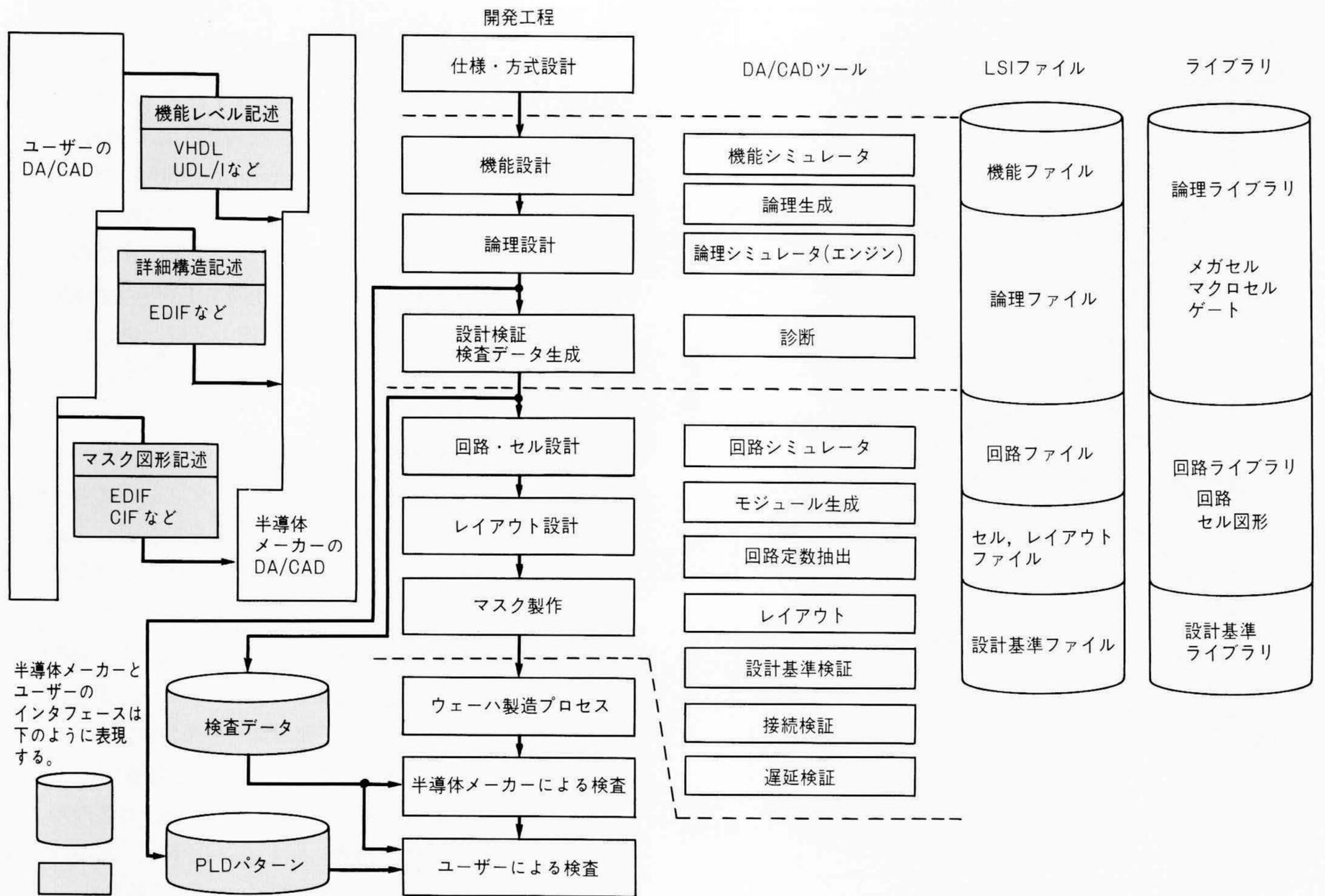
これら3種のDAの併用は当面続いていくとみられ、システム機器メーカーと半導体メーカーのインタフェースを十分に良好に保つことが重要である。しかし、双方でなるべく同一のDAシステムを使用することも利点が多いため、特に多数の顧客にASICの設計を依頼する半導体メーカーは数種類のワークステーションを備えて、顧客ごとに最良の設計環境を提供する必要がある。LSI設計の流れとASICユーザー、半導体メーカーのインタフェース、DA、データベースおよびライブラリとの関係を図3に示す。また、この設計の中でASICユーザーと半導体メーカーの設計情報をやりとりする設計の各段階での設計記述についての例を図4に示した。以下に、各設計工程での設計の内容と使用するDAの関係について述べる。

(1) 仕様・方式設計

仕様・方式設計では、システム機器メーカーがASICとして実現したい機能、性能を記述したASICの仕様を作成し、外部ピンの機能や動作タイミングを明らかにする。この仕様設定を行う過程で、所望の機能をどのようにして実現するかという方式検討を行う。実現したい機能を処理のデータフローとしてまとめると、性能やハードウェア量が見積りやすくなり、見通しの良い方式検討を行うことができる。既存のハードウェアをASIC化する場合でも、論理回路の規模が大きいため複数のASIC構成となる場合には、前述のデータフローをまとめておくと、実現されるシステム全体の性能や、使用するASICのパッケージ、ピン数を考慮した論理分割が行いやすくなる。方式検討結果は、方式仕様としてまとめると同時に、外部仕様書の作成に反映させる。

(2) 機能設計

LSI開発の機能設計では、方式仕様に基づき機能構成要素の決定、機能ブロック図の作成、動作を表す状態遷移図の作成、制御方式の決定、機能動作の確認などを行う。このため、マイクロプログラム部、ランダム論理部の制御方式、論理演算、算術演算などの演算方式などを明らかにして、開発目的とするLSIの機能を実現していく。機能設計段階のDAは研究が急速に進展しており、機能記述言語、機能シミュレータ、マイクロプログラムアセンブラ、マイクロプログラムシミュレー



注：略語説明 VHDL (VHSIC Hardware Description Language), UDL/I (Universal Description Language/I)
 EDIF (Electronic Design Interchange Format), CIF (Caltech Intermediate Form)
 DA (Design Automation), CAD (Computer Aided Design), PLD (Programmable Logic Device)

図3 ASIC開発工程とDA/ADのツール、ファイル、ライブラリの関係 ユーザーと半導体メーカーのインターフェースとなる記述、データファイルについては、□のように表現した。

タ、機能から論理を自動合成する自動論理合成などがある。

機能設計の自動化を目的とする論理合成システムでは、入力論理記述としてハードウェア記述言語を用いることが多い。ハードウェア記述言語では実現したい論理機能をif文やcase文、状態遷移記述文、ブール式、真理値表で表現することになり、制御回路の機能記述が表現しやすくなる。具体例としてVHDL³⁾、UDL/I⁴⁾などがある。これらは将来、ASICの標準インターフェースになる可能性のある言語である。

(3) 論理設計

機能論理のレベルのものを、ゲートレベルにまで展開するのが論理設計である。ここでは、機能設計で決定された論理仕様を満たすように論理構成を具体化し、ゲート間の接続関係を規定する。論理仕様に基づき、ゲートのセルライブラリ(NAND, NOR, フリップフロップなどの基本論理)を用いて必要な機能を組み上げていく。論理設計段階では、設計結果が必要な論理機能を満たしているか、遅延・タイミング設計制約やゲート数制約の範囲に入っているか、テスト容易化の

配慮がなされているかなどがチェックされる。

論理設計段階でのDAには、ブール式レベルから回路レベルへの論理合成や、論理シミュレータなどがある。論理設計段階に対応するゲート回路レベルへの論理合成は実用段階になっている。この段階の論理表現は、論理回路の接続を示すネットリストとなる。この標準としてはEDIF (Electronic Design Interchange Format)⁵⁾などがある。現在のASICでは、システム機器メーカーと半導体メーカーの情報授受を行う場合、この段階で行うことがもっとも多い。

(4) 論理検証

論理設計の結果の検証は論理シミュレータで行う。論理回路情報をコンピュータ上に実現し、入力信号にテストデータをセットし、出力信号で得られる結果が期待値どおりか否かをチェックすることにより、論理設計の正当性を調べる。論理シミュレーションを行うことにより、LSI製造前の論理の正当性の検証が可能となり、またテストデータを適切に設定することによって、詳細な動作解析が行える。最近では論理回

設計結果

設計結果記述

機能表 (機能設計)

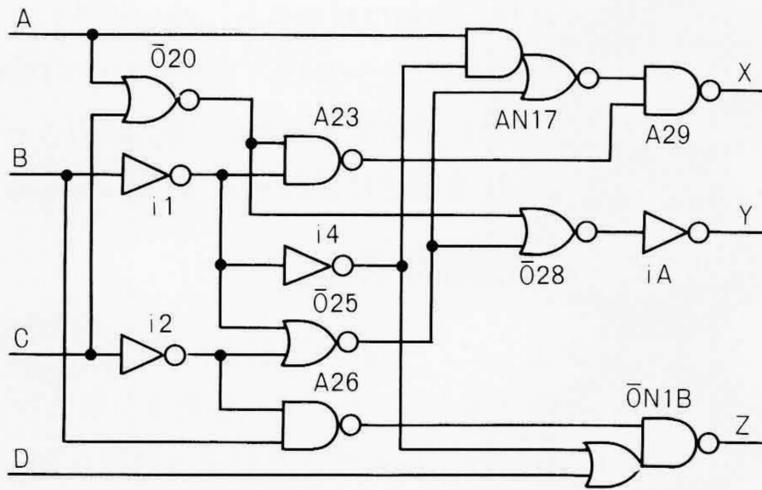
入 力				出 力		
A	B	C	D	X	Y	Z
0	0	0	0	1	1	1
0	0	0	1	1	1	0
*	1	1	*	1	1	0
1	1	0	*	1	0	1
0	1	0	*	0	1	1
*	0	1	0	0	0	1
1	0	0	0	0	0	1
*	0	1	1	0	0	0
1	0	0	1	0	0	0

VHDL の 記 述 例

```

block
begin
  process
  begin
    if A='0' and B='0' and C='0' and D='0' then
      X<='1', Y<='1', Z<='1';
    elsif A='0' and B='0' and.....
      .....
    end if
  end process
end block
    
```

論理図 (論理設計)

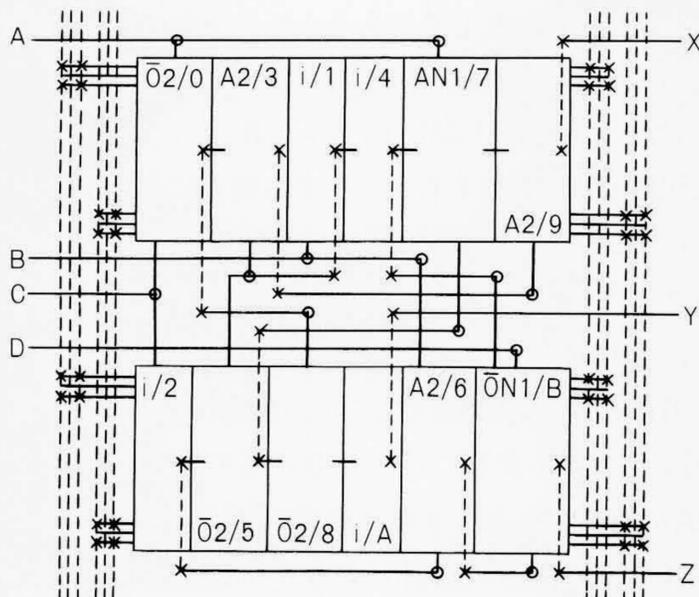


EDIF の 記 述 例

```

(cell 論理ブロック名 (cellType generic)
(view v (viewType netlist)(interface
(port Z (direction output)).....)
(contents
(instance O20 (viewRef v (cellRef O2))
(portInstance I1).....)
.....
(net A (joined (portRef A)(portRef IO
(instanceRef O20)).....)
.....
)))
    
```

レイアウト図(レイアウト設計)



CIF の 記 述 例

```

Definition Start #0 A/B=10/1 ;
Layer ND nmos diffusion ;

Polygon A-16, -32 B-16, -232..... ;
セルO2内パターン..... ; Definition Finish ;
.....

Call Symbol #0 Translated 2200, 9400 ;
.....

Layer NM nmos metal ;
Wire Width 140 A 0, 11800 B 8400, 11800 ;
.....

Layer NP nmos polysilicon ;
Wire Width 120 .....
    
```

図4 機能設計, 詳細論理設計およびレイアウト設計の設計結果例と記述例
 図3に示した三つのレベルがある。これらの結果と記述例を示す。

設計結果と設計結果の記述については図3に示した三つのレベル

路規模の拡大による論理シミュレーション処理時間の増大に対処するため、従来のソフトウェアによる論理シミュレーションに対し、EWSに搭載されたハードウェアアクセラレータを利用した高速な論理シミュレーションシステムが、DAツールメーカーから提供されている。さらに、機能レベルと論理レベルを混在して扱えるシミュレータも開発されており、機能・論理混合シミュレータあるいは単にミックストシミュレータと呼ばれている。

論理検証とは別に、論理設計結果をもとに、診断データの生成、すなわちテストパターンを生成し、そのパターンの故障検出率を故障シミュレータによって検証することもこの段階で行われる。

(5) 回路設計と回路検証

カスタムLSI設計の場合には、トランジスタ回路レベルで最適設計を行う必要もあり、そのため回路設計が重要になる。回路設計では、電源電圧変動、周囲温度変動、製造ばらつきによる変動などを考慮し、必要な直流、交流、過渡特性などの電気特性を満たさなければならない。さらに、ゲートへの電力配分の最適化、素子サイズの決定、許容される電源線の電圧降下、雑音余裕度の確保、寄生素子効果などのきめ細かい設計を行う。したがって、回路設計と素子の配置・配線を行うレイアウト設計とは密接な関係にある。

回路設計では、設計者の望む回路構成の回路特性検証が主要課題である。回路検証DAには回路動作に影響を与えるトランジスタの動作の信号波形まで扱うことができる大規模回路シミュレータ、信号経路の遅延時間を計算によって求めるタイミングアナライザ、あるいは信号の遅延時間を考慮した論理シミュレータなどがある。検査項目としては、フリップフロップのクロックのセット・リセット信号のハザード、入出力間の遅延時間、クリティカルパスの遅延時間、パルス幅チェックなどがある。

回路シミュレータは、主として回路設計での最適設計案または設計パラメータの選択を目的として使用される。回路シミュレーションの利点としては、実際にLSIを作製したり、あるいはTTL(Transistor Transistor Logic)で回路モデルを作る場合と比べ工数、期間およびコストが短縮され、設計パラメータの変更が容易であること、またLSI化に伴う寄生容量の影響や、故障時の動作、試作前のデバイスを使用したときの特性など、実物では不明な点の解析が可能であることが挙げられる。

(6) レイアウト設計

スタンダードセルのASICでは一般にセルライブラリを利用し、ほとんどのセル回路はライブラリのものを用いるが、ライブラリにないものについては専用の回路およびレイアウト設計を行う。このため、回路の接続情報やトランジスタサイズなどの回路情報からセルやマクロセルのレイアウトを発生

する。レイアウトの段階では、マクロセルレベルでのフロアプラン、セルの配置・配線などがDAによって行われる。

レイアウト後にレイアウト検証として、設計基準検証、接続検証、遅延検証など回路特性検証を行うことも重要である。レイアウト設計の結果の情報はCIF(Caltech Intermediate Format)⁶⁾やEDIF(Electronic Design Interchange Format)などのマスク図形情報となる。本設計以降はマスク製作、ウェーハプロセス、テストングとなりASICチップが完成する。

(7) SBPを用いた設計

最近、スタンダードセル形のASICによってきわめて大規模なLSIが設計される例が増えてきた。このようなASICを短期間に開発するためには、すでに設計されたマイクロプロセッサやマイコン周辺LSI、各種のメモリなどをマクロセルとして利用することが有効である。これらのマクロセルのモジュールをシリコンチップ上に配置、共通バスに接続することになる。日立製作所では、これをSBP(Silicon Back Plane)と呼んでいる²⁾。以上のSBPでマイクロプロセッサや周辺機能のモジュールのインタフェースは、**図5**に示すように、論理インタフェースや物理的なレイアウト上でのインタフェース、電気的特性などの仕様が詳細に規定され、統一化されている。そのためSBP仕様のモジュールは、シリコン上の標準バス(Silicon Bus)に容易に接続することができ、よりユーザーのニーズにあったASICを迅速に設計することができる。

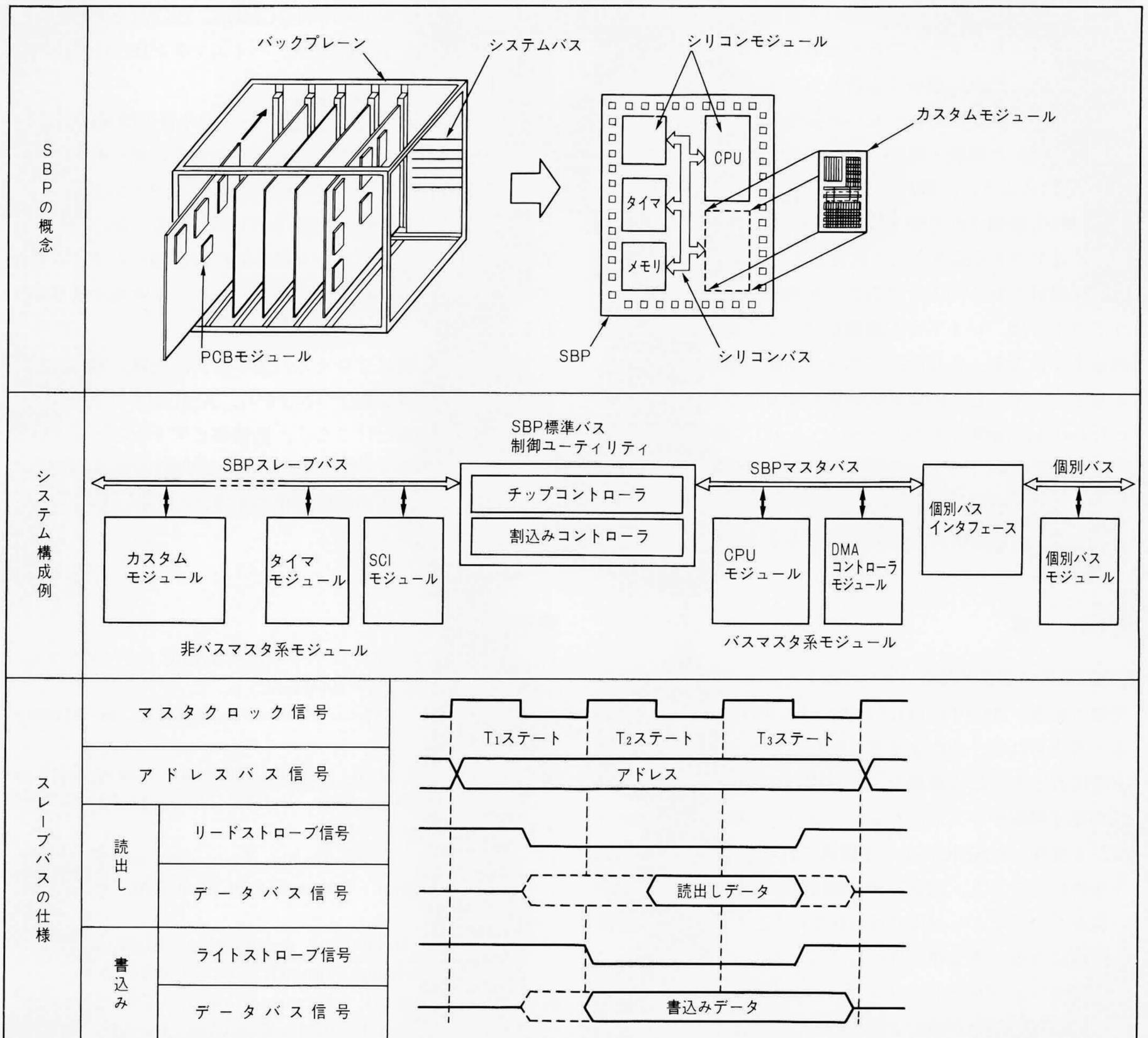
4 ASIC設計の課題と将来

2章で述べたように、今後のVLSIは、1990年代に100万トランジスタから数千万トランジスタへ集積度が増大していく。このため簡単なシステムから始まり将来は複雑なシステムまでワンチップあるいは数チップのVLSI/ULSIで基本的なプロセッシング機能や信号処理機能が実現できるようになる。すなわち、システムインテグレーションが進んだASICが実現する。このように高集積化が進んでいくとき、設計法やDAでどのような問題が生じるであろうか。今後のASIC設計法とDAの将来について議論する。

(1) 設計財産利用と高位レベル設計

大規模なLSI設計を行おうとする場合にとる手法が二つある。第一は過去の設計財産の利用であり、第二は設計をより高位で行うことである。以上の手法は現在でも一部活用されているが、今後研究開発が必要な高度な技術も多い。

前者に関連した技術としては、設計変更、設計結果記述の変更、プロセス変更に伴う設計財産の保守や変更を可能とするDAが挙げられる。また後者では、より設計効率の高い設計レベルを定め、その設計レベルから論理合成を行う手法の確立が重要な課題である。新たな設計レベルでの設計結果をもとに合成した論理回路は、従来手法で設計したものと比較して所要面積、遅延時間の両面で同等以上のものとなっている



注：略語説明 SBP (Silicon Back Plane), SCI (Serial Communication Interface), DMA (Direct Memory Access)

図5 SBPによるシリコンバスの仕様例 SBPでは、各種のモジュールをチップ上に配置し、決められたバス仕様に基づき接続することによりASICを実現する。

ことが強く望まれる。以上のように、今後の設計手法、DAではハードウェア記述レベルから、さらに高位の動作レベルへと移行が起こると同時に、レイアウト、遅延時間などの物理的、電気的な特性についての結合が深まってゆく。

(2) テスタビリティ

論理回路が大規模になるにつれ、機能設計や論理設計の過程でテスタビリティを重視した設計を行うことが重要となってきた。現状ではゲートアレーや標準論理ICの一部にスキャンパス法による内部論理ゲート診断が可能な設計が取り入れられている。今後、さらにLSI全体の診断を効率よく行うため、ビルトインセルフテストなどの導入を検討しなければ

ならない。また、従来は所要面積と遅延時間だけを考慮して行われていた論理合成でも、テスタビリティの保証された論理回路を生成するようになる。論理回路の動作性能までを完全に保証した出荷検査を行うためには、ACテスト用の機構を実現することが課題となる。テスタビリティを考慮して設計されたモジュールも、設計財産として残す場合には、テストパターンもライブラリ化することが必須(す)となる。

(3) DA/CADシステム

論理シミュレータやレイアウトシステムなどの設計支援ツールは、取り扱う論理ゲートやパターン数の増大に対し、従来アルゴリズムの改良と計算機の性能向上によって改善が行

われてきた。このような論理回路の大規模化への対応としては、論理シミュレータなどで行われ始めている専用エンジンなどの導入と、これに適合する新しいアルゴリズムの開発が必要になる。また、設計レベルの高位化に対応して、論理検証の項で説明した機能・論理混合シミュレータ(ミックストシミュレータ)のように、新たに設定したレベルでの設計を支援するツールも整備されてゆく。

自動レイアウトや論理合成に代表されるDAシステムは、従来以上に設計の質を向上させることが要求されている。自動レイアウトでは、レイアウト面積だけでなく遅延時間も考慮されるようになる。さらに、アナログ回路の取り込みなどを考えると、ノイズなどの電気的特性も配慮した自動レイアウトが行われる。論理合成では前述したように、論理回路規模、遅延時間、テストビリティを総合的に考慮することになる。さらに高位レベルからの合成では、テスト回路の合成とテストパターンを統合して扱えるようにする必要がある。

5 結 言

ASIC設計の現状と将来について論じた。半導体技術の進歩は今後も続き、2000年には 10^8 トランジスタの集積化が実現されると考えられる。そのような集積度になると、もはや汎用品と呼ばれるものは大規模なメモリ以外は存在なくなり、多くの電子機器やシステムがシステムレベルのインテグレーションを実現したASICによって構成される時代となる。このような時代になると、設計手法の面でも、設計ツールの面でも、現在、システムレベルで行われていることがASICの世界でも重要になる。本文中で述べたテストビリティ以外にも、冗長技術やフォールトトレランス、オンチッププログラミング機能などの集積化が進むと思われる。また、高集積化の進

展とともに、消費電力の有利なCMOS, BiCMOSが主流技術となり、ローエンドがCMOS, ハイエンドがBiCMOSという役割分担となる。

したがって、設計手法や設計ツールの今後の開発の方向は、上記のASIC発展の方向に沿ったものとなる。第一の方向は高集積、複雑なLSIを短いターンアラウンドタイムで設計するという従来の延長線上の高度化の方向である。第二は各設計工程の自動化を追求しながら最終的には仕様からチップまで文字どおりのシリコンコンパイルーションを実現する方向である。

半導体技術、特にプロセス、デバイス、回路、実装の発展と設計技術の発展が結びつきながら、ASICがオフィス情報産業用途、家庭用途だけでなく、高精細ビデオなどニューメディア、スーパーワークステーション、広帯域ISDNなど将来の電子機器やシステムの高機能化の主役になるのはそう遠い将来のことではないと考える。

参考文献

- 1) 増原：システムをワンチップ化するASIC：スペクトラム，Vol.2, No.7, 64~71(平1-7)
- 2) NEレポート：日経エレクトロニクス，No.425, 90~91(昭62-7-13)
- 3) M. Shahdad, et al. : VHSIC Hardware Description Language : IEEE Computer, Vol.18, No.2, pp.94~103(Feb. 1985)
- 4) O. Karatsu : VLSI Design Language Standardization Effort in Japan : Proceeding of 26th DAC, pp.50~55 (1989)
- 5) Electronic Industries Association : EDIF(Electronic Design Interchange Format), Ver. 2.0.0規格書
- 6) C. Mead, et al. : Introduction to VLSI Systems : Addison-Wesley Publishing Company, Inc. (1980)