

フリーチャネルゲートアレー「HG62Sシリーズ」

Free Channel Gate Array “HG62S Series”

電子機器の高機能化・小形化の強い要求に支えられ、CMOSゲートアレーの高速・高集積化が進んでいる。このような背景から、高集積化およびマクロセル構成に適したフリーチャネル方式を新たに採用した「HG62Sシリーズ」を開発した。Al 3 層配線と0.8 μm プロセスを適用し、搭載ゲート数は2万6,000ゲートから25万ゲートまでの6マスタチップと高集積で、ゲート1段当たりの遅延時間は0.3 nsという高速動作を実現した。適用パッケージについても400ピンまで対応可能とし、多ピン化による実装密度の向上を図った。

小出一夫* Kazuo Koide
堀野 望** Nozomi Horino
原 雄次** Yûji Hara

1 緒 言

近年、電子機器の小形化、多機能・高性能化、および低価格化を図るうえで、ASIC(Application Specific IC)は不可欠となっている。特に、電子機器の製品サイクルが短くなるのに従い、特徴のある論理機能を短い期間でVLSI化する必要性が高まっている。

ゲートアレーは未配線のトランジスタをあらかじめ多量に作っておき、DA(Design Automation)技術を用い個々のユーザー論理を自動配線によって実現するものであり、高速・大規模論理VLSIを短期間で開発できることから、ASICの中でも主流の位置を占めている。

ゲートアレーの適用が進むのに従い、その集積度は年々上昇傾向にあり、1万ゲートを超える品種が増加している。今後、さらにシステムを1チップ化したような高集積VLSIを実現するためには、メモリなどをマクロセルとして構成し、ゲートアレー内に取り込むことが必要となる。従来、ゲートアレーの構造として用いられていた「固定チャネル方式」は、トランジスタ領域と配線チャネル領域の位置をあらかじめ固定しているため、マクロセルの構成に不向きであった。

そこで、トランジスタをLSI内部全面に敷き詰め、配線の複雑度に応じてDAにより自由に配線チャネルを割り当てる「フリーチャネル方式」ゲートアレーを開発した¹⁾。フリーチャネル方式は、構造上メモリなどの構成に適しており大規模ゲートアレーに必須(す)であるマクロセルを効率よく構成できる。

このようなフリーチャネル方式の高集積性を生かすためには、微細多層配線が鍵(かぎ)である。特にゲートアレーはチップ面積の中で配線領域の占める比率が高い。そこで、従来のAl 2 層配線から3層配線に多層化し、さらに配線ピッチを

従来1 μm ルールの約70%に微細化したプロセスを開発した。また、CMOSトランジスタも0.8 μm 化に微細化し、システムの高速化に対応している。

以上の技術を用い、ゲート遅延時間0.3 nsと高速で、2万6,000ゲートから25万ゲートまでの大規模・高集積な0.8 μm CMOSゲートアレーを開発した。本稿では、このCMOSゲートアレー「HG62Sシリーズ」の製品概要と、その特徴であるフリーチャネル設計方式、およびデバイスプロセス技術について述べる。

2 製品概要

2.1 マスタチップ

HG62Sシリーズの主要諸元を表1に示す。本シリーズのゲート数はすべて2入力NAND換算とし、ユーザー使用可能ゲート数の目安は搭載ゲート数に対してランダムロジック自動診断なしで40%と見積もられる。本シリーズのマスタチップは、搭載ゲート数で2万6,000ゲートから25万ゲートの6種類で構成している。これにより、ユーザーは自己のシステム規模に合わせて最適なゲート数のマスタチップを選択することが可能になっている。さらに、最大ゲート数が25万ゲートまでであることと、フリーチャネル方式の採用による効率のよいマクロセルの搭載によって、大規模システムの1チップ化が実現可能となっている。また、従来から日立製作所のゲートアレーの特徴である自動診断機能²⁾、多機能I/Oおよび高駆動出力は継承するとともに、入出力の高速化も実現している。

2.2 主要特性

HG62Sシリーズは、最先端の0.8 μm CMOS Al 3 層配線プ

* 日立製作所 デバイス開発センタ ** 日立製作所 半導体設計開発センタ

表1 HG62Sシリーズの主要諸元 内部ゲート遅延時間0.3 ns, 最大ゲート数25万ゲートと高速・高集積のCMOSフリーチャネルゲートアレーである。

HG62Sシリーズ		HG62S026	HG62S038	HG62S058	HG62S079	HG62S125	HG62S250
項 目							
搭 載 ゲ ー ト 数		26,054	38,169	58,572	79,315	125,132	250,000
パ ッ ク エ ー ジ 数		144	172	208	240	296	400
ゲート遅延時間 (Typ.)	内 部 ゲ ー ト	0.45 ns (標準 2 入力NAND, F. O. = 2, Al配線 = 2 mm) 0.30 ns (パワー 2 入力NAND, F. O. = 2, Al配線 = 2 mm)					
	入 力 バ ッ フ ァ	1.2 ns (F. O. = 2, Al配線 = 2 mm)					
	出 力 バ ッ フ ァ	3.5 ns (C _L = 50 pF)					
	消 費 電 力 (Typ.)	200 μW/ゲート, 10 MHz動作時(内部ゲート)					
特 殊 機 能		水晶発振回路, シュミット回路, プルアップ・プルダウン抵抗 自動診断機能, ROM・RAM					
パッケージ	DIP 64S	○	○	—	—	—	—
	QFP 100	○	○	○	—	—	—
	136	○	○	○	○	—	—
	168	—	△	○	○	—	—
	208	—	—	△	△	—	—
	232	—	—	—	△	—	—
	PLCC 68	△	△	—	—	—	—
	84	△	△	—	—	—	—
	PGA 135	○	○	○	△	—	—
	179	—	△	○	○	—	—
	240	—	—	—	△	○	—
	400	—	—	—	—	—	○

注：略語説明など DIP(Dual In Line Plastic Package), QFP(Quad Flat Package), PLCC(Plastic Leaded Chip Carrier), PGA(Pin Grid Array)
○(開発完了および開発中), △(開発予定)

ロセスの採用により、高速・高集積を実現している。内部ゲート遅延時間はファンアウト2でAlの配線長が2 mmの負荷条件でパワー2入力NANDは0.3 ns, 標準2入力NANDでも0.45 nsを達成している。入力バッファは同一負荷条件で1.2 ns, また出力バッファでも50 pFの負荷容量で3.5 nsと高速を実現している。これにより、余裕を持ったシステムのタイミング設計を可能にした。

2.3 パッケージ

パッケージは表1に示したように、DIP(Dual In Line Package), QFP(Quad Flat Package), PLCC(Plastic Leaded Chip Carrier), PGA(Pin Grid Array)の4種類のパッケージをラインアップ化している。そのピン数は、マスタチップのI/O数と、適用電子機器の実装方法とI/O数によって適切なピン数を選択できるように準備した。特に、近年の電子機器の小形化に対応するため、実装密度の高い面付けQFP多ピンパッケージを準備し、HG62S250には超多ピンPGA400を準備した。

2.4 チップ構成

マスタチップのレイアウトは、6種類のマスタチップについて同様のレイアウトになっている。図1に例として、25万ゲートのHG62S250のチップ写真を示す。チップ周辺部にI/Oバッファを、その内側に論理回路を組むベーシックセルを縦

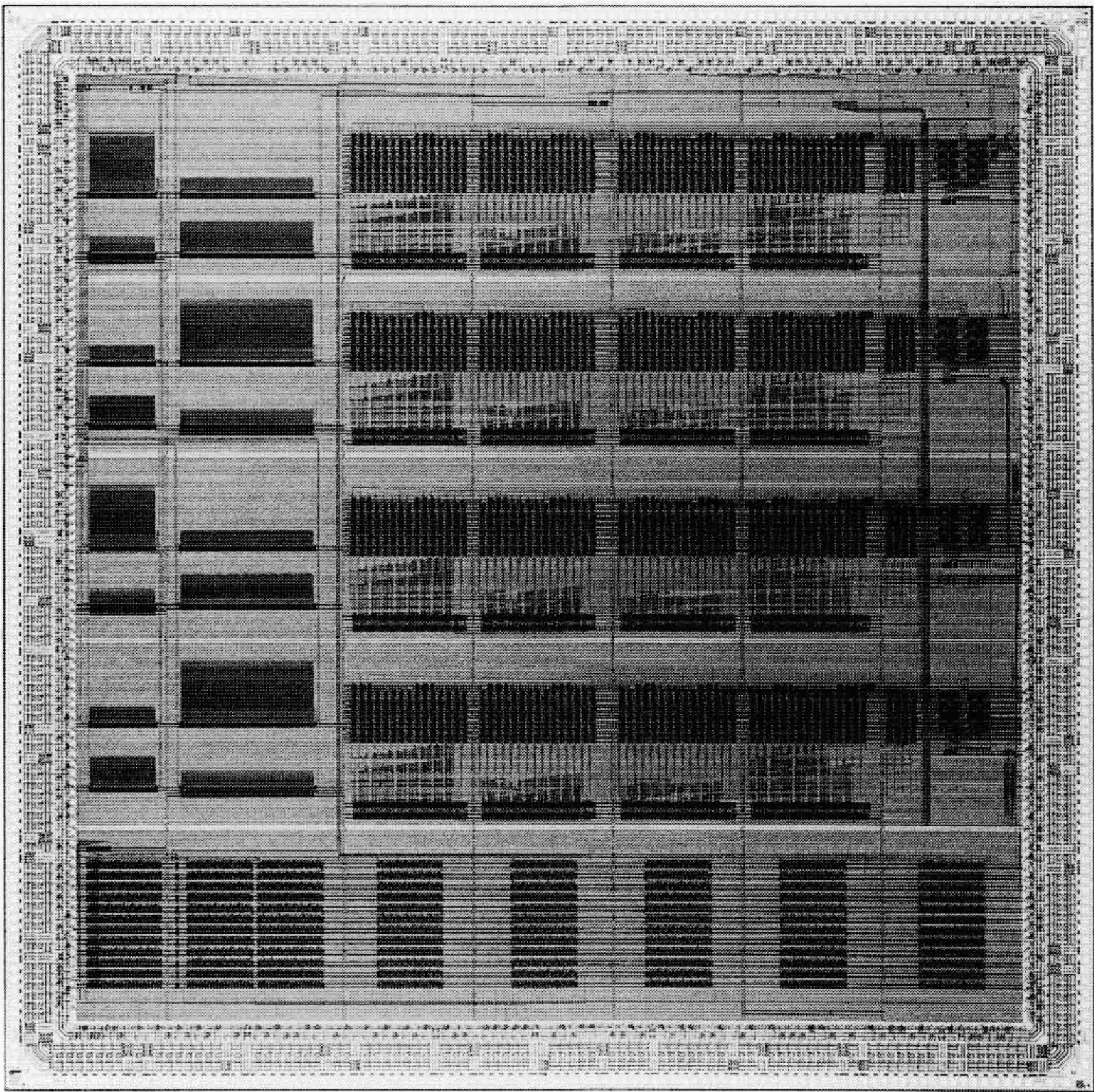


図1 HG62S250チップ写真 チップサイズ14.68 mm×14.68 mmの中に、25万ゲートと400端子を実装している。

横マトリクス状に配置した。また、電源を補強する補助電源ラインは顧客使用周波数に合わせて、DAにより縦横方向に自動で布線する。

I/Oバッファは、出力部と入力部およびプリバッファ部を分離して配置することにより、必要なI/Oバッファ数を確保した。また、出力部供給用の電源を完全分離することにより、出力ノイズの入力側への回り込みを抑えた。I/O機能については、下記の機能を実現した。

- (1) CMOS/TTL(Transistor Transistor Logic)レベル入力
- (2) CMOS/TTLレベルシュミット回路
- (3) プルアップ・プルダウン回路
- (4) 高電流駆動用バッファ・ノイズ低減用バッファ
- (5) 水晶発振回路

3 フリーチャネル設計方式と効果

3.1 ベーシックセルの構成

ベーシックセルの設計に当たっては、フリーチャネル・ゲートアレーに適したセル構造を選択するため、何種かの構造について実際の顧客論理を設計・評価した。その結果、マクロセル構成に適し、総合的に面積効率のもっとも高い4入力形のベーシックセルを採用した。またトランジスタサイズは、遅延時間0.3 nsという高速性と、波形の上昇・降下時間のバランスに配慮し設計している。

3.2 フリーチャネル設計方式と効果

ゲートアレーの内部領域全面には、ベーシックセルの拡散

層パターンが敷き詰められている。ランダム論理のように配線チャネルを比較的多数必要とする場合は、幾つかのベーシックセル拡散層の上空を配線チャネルとして使用する。従来の固定チャネル方式ゲートアレーは統計的データを基に配線チャネル本数をあらかじめ固定している。これに対しフリーチャネル方式は、ユーザー論理の必要性に応じチャネル本数を増減できるため、むだな面積を大幅に減らすことができる(図2)。

レジスタファイルを構成した場合の面積の比較を図3に示す。レジスタファイルのような規則的な論理では、セル列間の配線チャネルがほとんど不要となるため、フリーチャネル化による面積縮小の効果が大きい。実際に設計した結果、フリーチャネル方式では固定チャネル方式の $\frac{1}{3}$ 以下で実現できた。また、このレジスタファイルのゲート利用率はデコーダ部や電源配線を含めても90%と高く、従来ゲートアレーでは集積が不可能とされていた機能もフリーチャネル方式を用いることによってマクロセルとして構成し、1チップ化が可能になることを確認した。

4 デバイス技術

HG62Sシリーズは、最新の0.8 μm ・ツインウェルCMOS Al 3層配線プロセスを採用し、ゲート電極はポリサイド構造とし低抵抗化している。

高速化には、MOSFET(MOS電界効果トランジスタ)の電流駆動能力の向上と、自動レイアウト配線層の寄生容量の低減

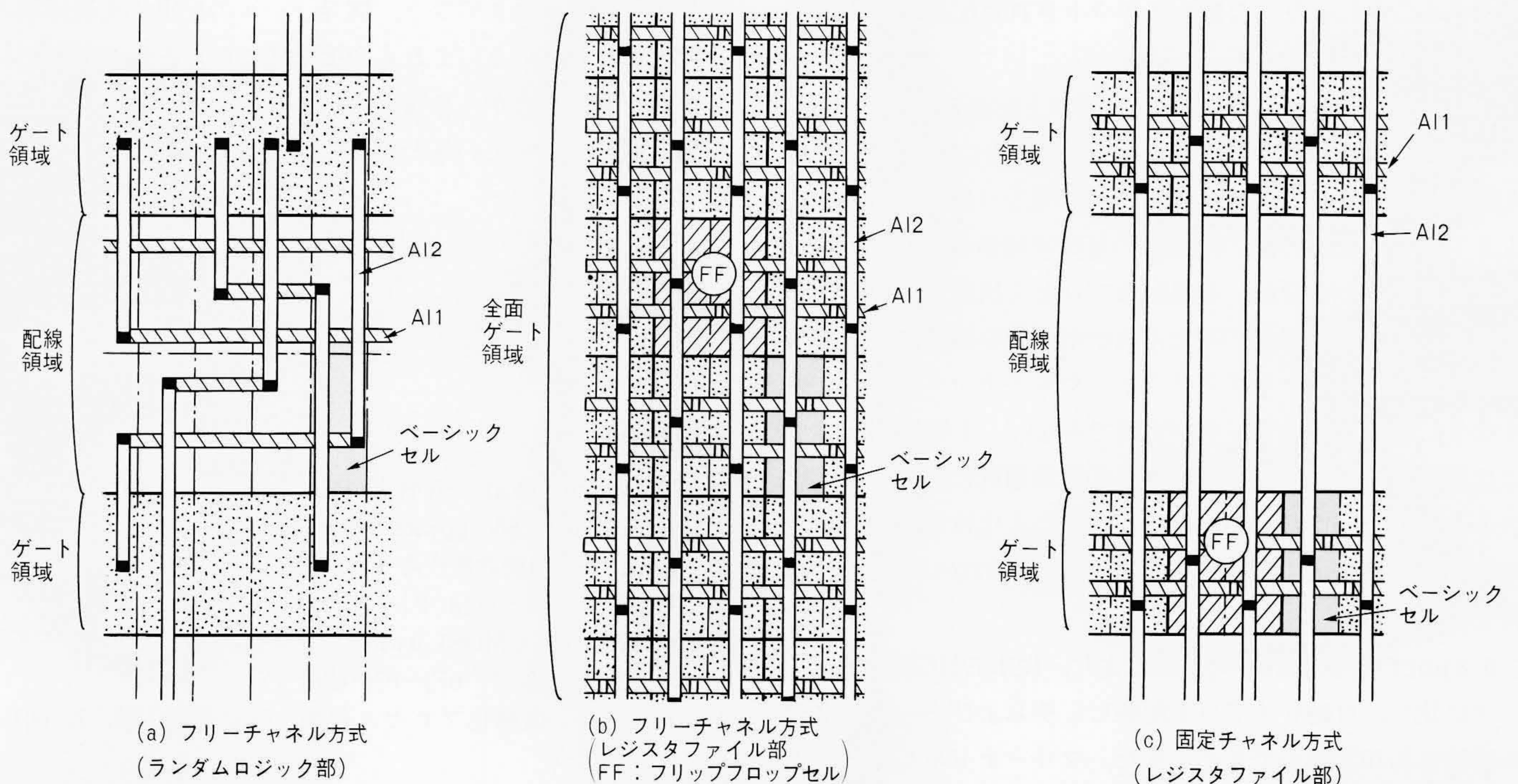


図2 フリーチャネル方式と固定チャネル方式の比較 全面にゲートを敷き詰めており、混雑度に応じ配線領域の広さを変えられる(a図)。このため、レジスタファイルのような規則的な論理(b図)では、固定チャネル方式(c図)に比べきわめて高集積となる。

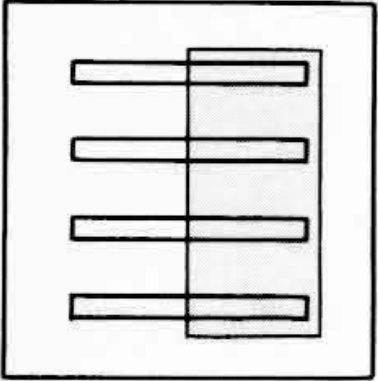
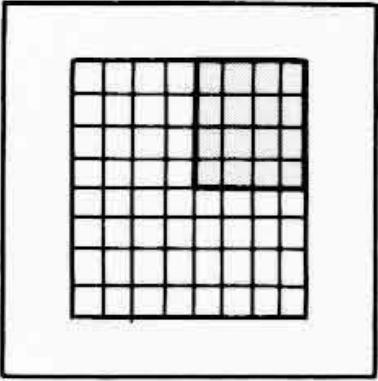
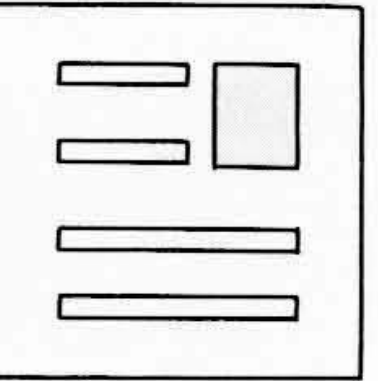
設計手法 項目	固定チャネル方式	フリーチャネル方式	専用RAMの オンチップ方式
回路形式	フリップフロップによるレジスタアレー		最適設計された SRAM
拡散層 パターン	ゲートアレーのベーシックセル使用		RAM 専用パターン
配置・構成	任 意		固 定
形 状			
相 対 面 積 比	3.4	1.0	0.5

図3 64ワード×36ビットレジスタファイル面積の設計方法による比較 レジスタファイルを設計・比較した結果、フリーチャネル方式では固定チャネル方式の1/3以下の面積となった。また、ベーシックセルを利用しているため、RAMの配置や構成を自由に変更することができる。

が有効である。スケーリング則に従って、MOSFETのゲート寸法を0.8μmにシュリンクしており、従来のHG62E/Fシリーズ³⁾に比べ、MOSFETの電流駆動能力は、ドレイン耐圧などを維持したままで25%向上を達成している。また、Al配線およびポリ配線の微細化により、配線自体の寄生容量が低減していること、および配線層間容量の小さい3層目Al配線が使用できることにより、自動レイアウトされた配線の寄生容量の低減を可能とした。

フリーチャネル方式は、自動レイアウト配線領域下にMOSFET形成による段差が不規則に存在することになる。さらに、Al配線層数が多くなれば、Al配線層の重なり部分での段差が大きくなる。このため、Al配線の層間絶縁膜をいかに平たんにできるかという点が、多層配線プロセス技術の重要な課題である。Al層間絶縁膜の平たん性が不十分な場合には、Al配線層の加工時のホトリソグラフィやエッチングの精度が悪くなり、微細な配線ピッチが実現できない。1層目Al配線下には低温リフロー技術を適用し、Al配線層間には、従来実績のあるSOG(Spin On Glass)による平たん化技術を駆使し、Al3層配線構造でも配線微細加工上の問題のない平たん性を得ている(図4)。

0.8μmプロセス技術⁴⁾の適用により、従来のHG62E/Fシリーズに比べ、自動レイアウト配線ピッチおよびベーシックセル面積を約70%縮小できた。また、フリーチャネル方式によ

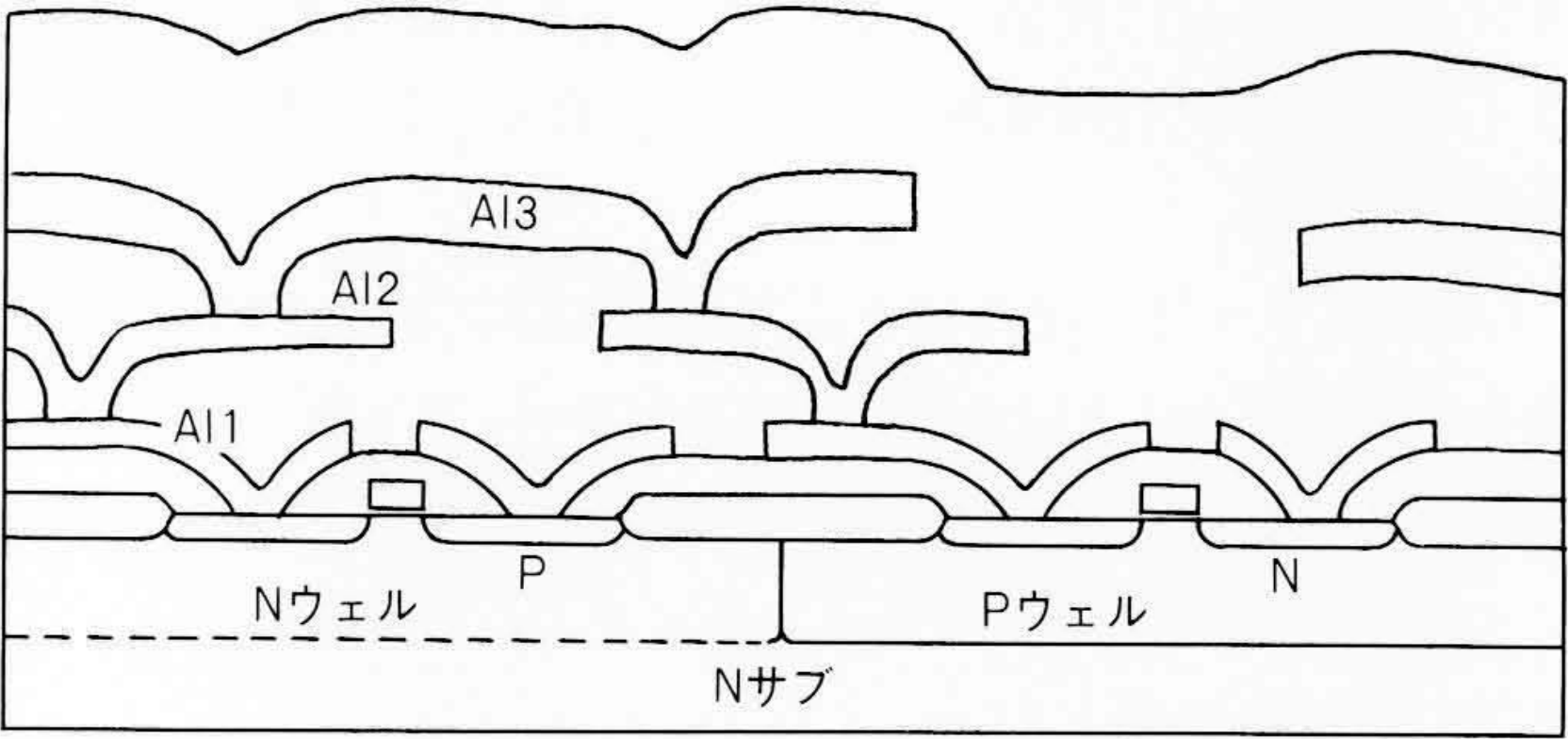


図4 HG62Sの断面構造 平たん化技術を駆使し、0.8μm・ツインウェルCMOS Al3層配線プロセスを実現している。

り、量産チップサイズで25万ゲート搭載の集積度を実現している。

5 結 言

以上、Al3層CMOS 0.8μmプロセス技術を用いたフリーチャネル方式の高速・高集積CMOSゲートアレーHG62Sシリーズの製品概要、フリーチャネル設計方式およびデバイスプロセスについて述べた。

CMOSゲートアレーは、その適用分野が大形コンピュータからミニコンピュータ、ワークステーションのようなデータ処理装置、ファクシミリや交換機のような通信機器、その他端末装置、またワードプロセッサのようなOA機器、ビデオ、電子楽器のような民生機器と幅広く、高速・高集積化の要求もいっそう強くなっている。また、適用が広範囲に広がるに伴い、パッケージまで含めた豊富な製品系列、ユーザーの設計を容易化するセルライブラリ、開発ツールの充実、支援体制の重要性が増している。これらの要求にこたえるためHG62Sシリーズを開発したが、今後さらにユーザーのニーズにこたえた製品開発を行っていきたい。

参考文献

- 1) T. Wong, et al.: A High Performance 129K Gate CMOS Array: CICC86, pp.568~571(MAY 1986)
- 2) 畠山, 外: 自動診断技術—テスト設計の自動化—, 日立評論, 71, 12, 1243~1248(平1-12)
- 3) 戸井田, 外: CMOS1.0μmゲートアレー「HG62Eシリーズ」, 日立評論, 69, 7, 673~676(昭62-7)
- 4) 目黒, 外: 微細化プロセス技術, 日立評論, 69, 7, 601~606(昭62-7)