

ASICを支援する設計自動化システム

Design Automation System for ASIC

ASIC(Application Specific IC)製品では、QTAT(Quick Turn Around Time)を追求して論理設計を中心とするLSI設計工程の上流部分が半導体メーカーからユーザー側に開放されつつある。このためASIC設計を支援するDA(Design Automation)システムには半導体の非専門家も容易に操作できる使い勝手の良さや、市販CAE(Computer Aided Engineering)ツールなど異種DAシステムとの親和性の高さが求められている。

日立製作所では、CLIF(Customer Logic Interface Format)と呼ぶインタフェース言語を用意して、市販のCAEツールとの円滑なインタフェース環境を提供するとともに、長年にわたり社内で培ってきた大形計算機上の論理DA、レイアウトDA、診断DAなどのVLSI向き独自技術を組み合わせ、高い処理能力と使いやすさの両立をねらったASIC設計支援のためのDAシステムを構築した。

江口一彦* *Kazuhiko Eguchi*
小島 智* *Satoshi Kojima*
真島敏幸* *Toshiyuki Majima*
伊藤高明** *Takaaki Itô*
岡 俊明** *Toshiaki Oka*
尾潟誠治*** *Seiji Ogata*

1 緒 言

産業分野、民生分野を問わず、電子機器開発での機能・性能・商品企画の差別化、開発期間の短縮、コスト低減の競争を勝ち抜く手段を提供するASIC(Application Specific IC)^{1)~3)}が注目を集めている。一方、半導体メーカーにとってASICはデバイス・プロセス・パッケージ技術、QTAT(Quick Turn Around Time)ラインを支える生産技術、さらには優れた設計手法とそれに基づくDA(Design Automation)技術などの総合力を問われる製品分野である。

DA技術に関して言えば、マイクロコンピュータ(以下、マイコンと略す。)やメモリなどの標準品では半導体メーカーのDAシステムがエンドユーザーである顧客の目に触れることはほとんどないが、ASICの分野ではQTAT追求のため、論理設計を中心とするLSI設計工程の上流部分が半導体メーカーの中からデザインセンターなどのサポート部門へ、さらにエンドユーザーへと広く開放されていく趨勢(すう)の中で、半導体メーカーのDAシステムを社外の顧客が直接操作することもまれではなくなってきた。また、EWS(Engineering Work Station)をベースにした市販のCAE(Computer Aided Engineering)またはDAツールの急激な普及に伴い、これらのツールとスムーズなインタフェースがとれることも半導体メーカーのDAシステムの重要な具備要件のひとつになっている。

このようにASIC分野では、最終製品であるLSIそのものの魅力は当然であるが、DAを駆使した設計サポート力がメーカ

ー選択の大きな判断基準のひとつになっている。

本論文では、日立製作所でのASIC用DAシステム構築に当たっての基本的な考え方と、システム構成の概略について述べる。

2 システム構築のねらい

ASIC用DAシステム構築に当たっては、次の3点を開発の理念とした。

- (1) デバイステクノロジーから独立した汎(はん)用性の高い要素DAツールを用意する。
- (2) 設計手法から独立したオブジェクトオリエントなユーザーインタフェースを提供する。
- (3) 使い勝手の良さと高い処理能力の両立を図る。

すなわち、半導体のユーザーである電子機器開発者からみれば、ASICは手段のひとつであって、目的はあくまで電子機器のターゲットスペックの実現である。ASICは機器からの要求仕様(機能、性能、電気的特性、価格など)を満足できるならば、必ずしもデバイステクノロジーにこだわる必要はない。むしろ機器開発者にとっては機能を優先して設計し、要求される性能やコストなどを勘案しながら、設計の最後に近い段階でもデバイスの選択が可能であることが望ましい。また、設計工程がユーザーへ開放されるため、DAツールには半導体の非専門家が容易に操作できる使い勝手の良さが必要である

* 日立製作所 半導体設計開発センタ ** 日立製作所 半導体設計開発センタ高崎分室 *** 日立マイクロコンピュータエンジニアリング株式会社

と同時に、多様化するニーズにすばやく対応できるフレキシビリティが求められる。さらに、年々増大する集積規模と設計量に耐えられる高い処理能力(スループット)も合わせて必要である。

もちろんASIC用のDAシステムといっても、求められる本質的な基本機能や技術内容はマイコンなどの標準LSIの設計を支えているDAシステムと変わることはなく、論理シミュレータ、レイアウトDA、アートワークなどの基本的な要素DAは、長年にわたり標準LSIの設計支援に向けて培った大形計算機ベースの高い処理能力を持ったツール群が社内が存在する。

そこで前述の理念の実現に向け、(1)処理能力の面では、大形計算機ベースの要素DAツールを活用して組み合わせ、いっそうの汎用化とASIC向けのチューニングを施すと同時に、(2)使い勝手とユーザーインタフェース向上の面では、市場で急速に普及している高い操作性を持ったEWSベースの市販CAE/DAツールとの接続を重視したASIC設計支援のためのDAシステムを構築した。

3 システム構成

日立製作所のASIC製品をサポートするDAシステムの構成

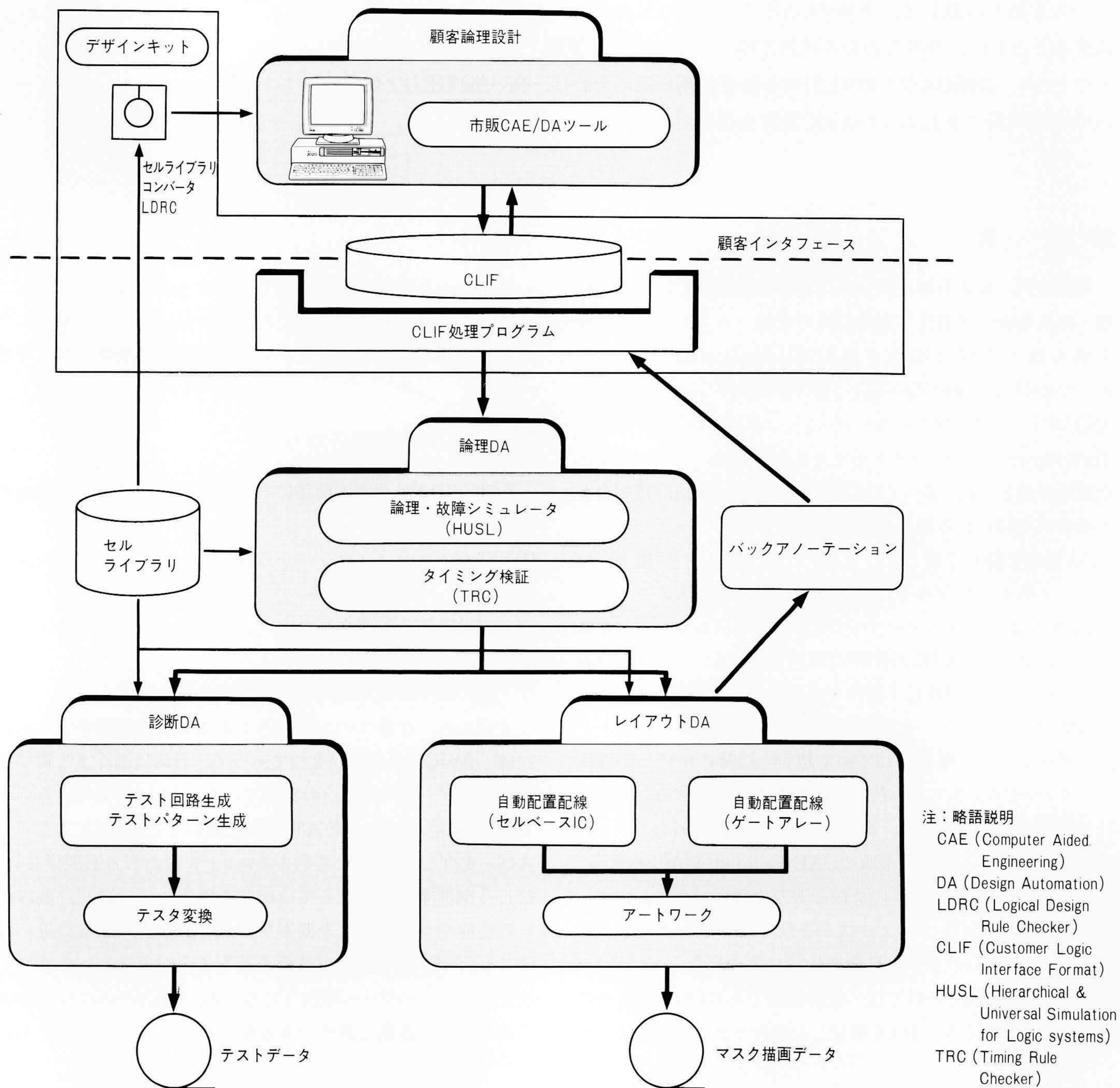


図1 日立ASIC DAシステム CLIFを境界としてワークステーションベースの市販CAE/DAツールと大形計算機ベースの日立製作所独自のDAを効果的に組み合わせ、高い処理能力と使い勝手の良さを両立させたASIC用DAシステムを構築した。

販売するベンダも増加している。しかし、いずれの場合もCAE/DAベンダが提供するの是一般的な機能であって、実際に個別のASIC製品をこれらのツール上で設計できるようにするためには、ASIC製品のデータブックに記載されるセルまたはモジュールのシンボル図、シミュレーションモデルなどをそれぞれのツール上に登録したセルライブラリが必要である。このセルライブラリを含むデザインキットの良否は、ASICユーザーにとって同じCAE/DAツールを使っているとしても設計の精度とやりやすさを大きく左右することがある。

日立製作所のデザインキットの基本的構成を図2に示す。おのおのの市販CAE/DAツールの基本的機能や特徴は、最大限に生かしながら、日立製作所から提供するデザインキットの機能とユーザーインタフェースは、ここに示すように市販CAE/DAツールの種類にかかわらずできるだけ共通化を図っている。もちろん、個々のツールごとにそれぞれの特徴と機能の差異があるため、サポート内容にある程度の跛(は)行性が出るのは避けられないが、特にセルのシミュレーションモデルの精度とデザインルールチェックの内容は、設計の手戻りを防止するために、日立製作所側大形計算機上DAシステムとの互換性に特に意を払っている。

4.2 CLIF

CLIFによる設計データの記述は、英・数字と特殊記号によるHuman Readableな言語形式をとっている。その記述内容は図3に示すように大きく6個のブロックに分かれるが、LSIの設計データを異なるDA環境間で受け渡しするために必要かつ十分な情報を記述できるよう設計した。主体はLSIの機能をネットリスト形式で表現する「論理機能部」とLSI検査のためのテストパターンおよびそれに対応する期待値を記述する「テスト部」である。「設計成果部」は自動配置配線後の実配線長に基づくネットごとの容量値を記述できるようになっており、レイアウト後の遅延データに基づいて再度論理シミュレーションを行ういわゆるバックアノテーションのために使用する。CLIFによるネットリスト記述とテストパターン記述、LSI外形記述の例を図4に示す。市販CAE/DAのユーザーにとっては、デザインキットが自動的に変換するのでCLIFは直接見え

るものではないが、人間が直接コーディングする場合にも対処できるよう、論理図面との対応がとりやすくテストパターンの内容も直感的にとらえやすい形式にしてある。

大形計算機に渡されたCLIFファイルは、CLIF処理プログラムによりシンタクス(構文)・セマンティクス(意味)のチェックおよび各製品系列別に設定されたデザインルールに違反がないかどうかをチェックする。チェックの基準となる基本的ルールは、セルライブラリの中に格納されている。これらのチェックを行った後、CLIF処理プログラムは下流のDAシステムが必要とする情報を、必要な形式に整えて出力する。

5 論理DA

論理DAは、日立製作所で開発したVLSI用論理・故障シミュレータ⁴⁾HUSL(Hierarchical and Universal Simulation for Logic Systems)^{*)}を核とし、タイミングルール違反がないかどうかをHUSLのシミュレーション結果に基づいて解析するTRC(Timing Rule Checker)ほか、論理検証を支援するプログラム群から成る。TRCはフリップフロップのセットアップタイム・ホールドタイム違反、スパイク、出力ピン同時変化本数の上限違反などを検出する。また論理DAは、シミュレーションの期待値比較機能を持ち、CLIF上に記述された出力期待値(通常外部のCAE/DAツールでシミュレーションされた結果)をHUSLのシミュレーション結果と比較する。こうすることにより、顧客の設計意図を反映したデータだけが下流のレイアウトDAや診断DAに渡されるようくふうしている。

6 レイアウトDA

ゲートアレーとセルベースIC〔CBIC(Cell Based IC)：HG52シリーズ⁵⁾〕では異なる自動配置配線システムを使用している。ゲートアレーではベースチップの特性に合わせて配置配線性能をチューニングした専用のシステムを用いている^{6),7)}。ゲー

※) 文献4)ではHASL-GTとして紹介しているが、その後機能拡張を行いHUSLと改名した。



図3 CLIF記述内容 LSIの設計データを異なるDA環境間で受け渡しするために、必要な情報項目を用意した。

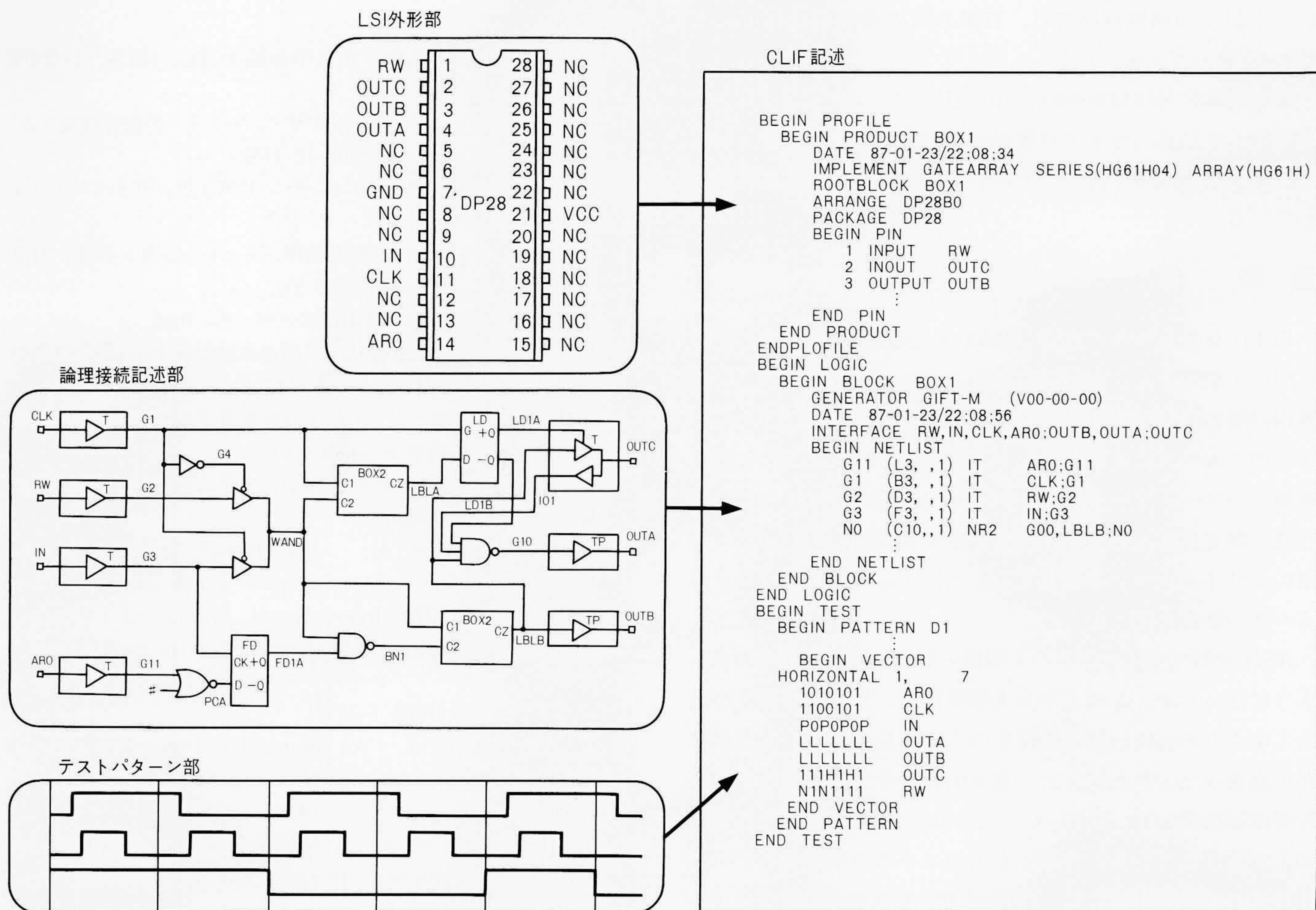


図4 CLIF実例 Human Readableな、直感的にもとらえやすい言語形式にしてある。

トアレーでは実装率の向上が重要な課題であり、ベースチップ系列ごとの調整は不可欠である。

CBIC用の自動配置配線には、汎用の論理VLSIレイアウトシステムMCDA^{8),9)}(Micro Chip Design Automation)を用いている。しかし、運用面ではQTAT追求のため、セルの割り当てはCLIF上の情報を用いて自動化し、フロアプランのレイアウトモデルを標準化するなどのくふうを行った。また、機能面でもボンディングパッドなど周辺部もボンディングルールの許容範囲内で自動配置配線するなど、QTATと信頼性向上を指向した改良を行っている。

ゲートアレー、CBICとも自動配置配線後の実配線長に基づいてネットごとの容量値を取り出すことができる。バックアノテーション機能はこのデータをCLIFの設計成果部に戻し、再びHUSLでシミュレーションを行い、レイアウト前のシミュレーション結果と比較照合できる。CLIFに戻されたこの実負荷データは、主要な市販のCAE/DAツールへさらにバックアノテートできる。

自動レイアウト後のアートワークは、ゲートアレーもCBICも共通のシステムを用いて最終的なデザインルールチェックを行った後、マスクパターンデータの生成を行う。

7 診断DA

複雑な大規模順序回路に対して、高い故障検出率を持った良質なテストパターンを自動作成するには、テストモード時には順序回路を、組み合わせ回路群とシフトレジスタにみなせるフリップフロップ列に分離する、スキャン回路技術の適用が不可欠である。

しかし、スキャン回路の設計には診断技術に対する知識と複雑な設計制約に精通しなければならず、かなりの熟練を要する。したがって、不特定多数のユーザーを対象とするASICではスキャン回路の設計をユーザーにゆだねるのは現実的でない。

そこで日立製作所では、ユーザーはなんらスキャン回路など診断技術を意識しなくても、DAによって自動的にスキャン回路を作成してユーザー回路に付加し、テストパターンの自動発生まで行う診断DAを実用化した^{10)~14)}。

スキャン回路の自動付加により、15~20%の回路オーバーヘッドが生ずるが、人手によるスキャン回路挿入では約10%のオーバーヘッドであることから、DAシステムによる真のオーバーヘッドは約5~10%と考えられる。ゲートアレーの場合10~13k

ゲート以上の回路規模では、自動診断の適用率はほとんど100%となっている。

昭和61年5月に自動診断をHG62Bシリーズゲートアレーで実用化して以来、今までの適用経験ではすべての場合で95%以上の故障検出率を持ったテストパターンの自動生成に成功している。

8 結 言

以上、日立製作所のASIC製品を支えるDAシステムの全容について説明した。ASIC用DAシステムの開発に当たっては社内の既存DAを活用しながら、また社外の市販CAE/DAツールとのスムーズなインタフェースをとることにより、大形計算機のパワーとワークステーションベースのツールの高い操作性の両立を図った。CLIFおよび主要な市販CAE/DAツール用のデザインキットを提供することによって、顧客インタフェースの確立を図った。

ASIC分野でも、10万ゲート規模の回路を容易に集積できるようになったが、このような大規模回路システムの設計を支えてゆくためには、論理回路そのものの自動合成、大規模回路の高速シミュレーション、電気的特性を十分考慮した自動配置配線技術など、DAシステムにはいっそうの機能・性能の向上が望まれている。今後とも市場ニーズの多様化とデバイス技術の進歩に呼応して、DA面のサービス競争は半導体メーカー、市販CAE/DAツールの専業ベンダの両者を巻き込んで、ますます激しさを増すものと思われる。日立製作所では魅力あるASICデバイスの開発と同時にDA面でもよりいっそうのサービス強化を図ってゆく考えである。

参考文献

- 1) 富永：ASICの具体例，電気学会論文誌C，107巻，12号(昭62-12)
- 2) 小島：急増するASIC設計，デザインセンタへの依存度高まる，日経エレクトロニクス(昭62-12-14号)
- 3) 富永，外監修：ASICデザインハンドブック，サイエンスフォーラム(平1-5)
- 4) 江口，外：VLSI向け高精度論理シミュレーション技術，日立評論，67，8，587～590(昭60-5)
- 5) 小林，外：セルベースICHG52シリーズ，ibid
- 6) 関，外：大規模ゲートアレイ用高速自動配線手法，情報処理学会設計自動化研究会資料33-4(昭61-7)
- 7) 小林，外：大規模ゲートアレイ自動配置手法，情報処理学会設計自動化研究会資料39-7(昭62-10)
- 8) 山城，外：VLSIレイアウトCADシステムMCDA，日立評論，68，7，539～544(昭62-7)
- 9) O. Yamashiro, et al. : An Overall Solution to the Productivity/Chip-competitiveness Trade off in a VLSI CAD System, The International Journal of Computer Aided VLSI Design, to be Appeared in the end of 1989
- 10) 久保木，外：ゲートアレイのテスト設計を自動化する，日経エレクトロニクス(昭61-7-28号)
- 11) T. Hayashi, et al. : An Approach to Design Automation for Highly Testable Logic Circuit, Proc. of ICCAD '86 (1986-11)
- 12) K. Hatayama, et al. Automatic Test Generation for Sequential Circuit with Irregular SCAN Structure, Pro. of ICCAD '86(1986-11)
- 13) 石川，外：ASICにおけるテスト回路およびテストパターン自動生成技術，電気学会論文誌C，107，12(昭62-12)
- 14) 畠山，外：自動診断技術ーテスト設計の自動化ー，ibid