

超高速Hi-BiCMOSゲートアレー “HG29M100/HG29A32/HG21T30”

Super High-Speed Hi-BiCMOS Gate Array
“HG29M100/HG29A32/HG21T30”

電子機器の高速化、高機能化を実現するには、使用するカスタムLSIであるゲートアレーの高速化、高機能化が不可欠である。このため、バイポーラとCMOSを基本回路で一体化したHi-BiCMOS(High Performance Bipolar CMOS)技術により、低消費電力でかつゲート当たり遅延時間0.45 ns、遅延時間の負荷依存性0.22 ns/pFとCMOSの約5倍という駆動能力を持つ超高速ゲートアレーHG29M100、HG29A32およびHG21T30を開発した。

このうちHG29M100は、アクセス時間10 nsの高速RAMを内蔵し、HG21T30はECL/TTL(Emitter Coupled Logic/Transistor Transistor Logic)混在インタフェース可能というように、バイポーラ素子を内蔵しているという特長を生かして高機能化を図っている。ここでは、その製品の概要と特長を生かした応用分野について述べる。

上遠野臣司* Shinji Kadono

西尾洋二** Yôji Nishio

1 緒言

最近のゲートアレーを中心とする論理VLSIでは、大規模化の要求に対応するため、高集積、低消費電力という特長を持つCMOSが主流になりつつある。しかし、高速化の要求に対してCMOSは、微細化技術の進歩によって著しく高速化が図られてきてはいるが、ECL(Emitter Coupled Logic)で代表されるバイポーラとは歴然とした差が残されている。

このため、CMOSの低消費電力と、バイポーラの持つ高速、高負荷駆動能力という両者の特長を合わせ持つVLSIの出現が望まれていた。日立製作所ではこの要求にこたえるため、CMOSとバイポーラを基本回路内で複合する技術を開発し、この技術をHi-BiCMOS(High Performance Bipolar CMOS)技術と名づけてゲートアレーに適用した¹⁾。ゲートアレーに適用した製品として昭和60年9月に2 μ mプロセスを用いた遅延時間0.8 nsのHG28シリーズがある^{2),3)}。しかし、より高速化、高機能化を図ったゲートアレーの開発が望まれていた。

そこで今回新たに1.3 μ mプロセスを用いた遅延時間0.45 nsのHG29M100、HG29A32およびHG21T30の3品種を開発した^{4)~6)}。この開発に当たって、バイポーラの持つ特長を生かした高機能化も同時に検討した。その一つは、HG29M100の持つ内蔵RAMである。アドレス線、データ線といった大きな容

量の負荷を、バイポーラで高速で駆動できるため高速のRAMが実現でき、しかも外付けRAMと比べて入出力バッファでの大きな遅延時間をなくすることができるため、システムの高速化に大きな効果がある。もう一つは、HG21T30の持つECL/TTL(ECL/Transistor Transistor Logic)混在のインタフェースである。この場合、ECLで構成した高速演算処理装置とTTLインタフェースのメモリを、ECL-TTL変換用SSI(Small Scale Integration)なしで、インタフェース部の論理のゲートアレー化ができるという効果がある。

本論文では、HG29M100、HG29A32およびHG21T30の製品概要と応用分野について述べる。

2 製品概要

HG29M100、HG29A32およびHG21T30の製品概要を表1に示す。いずれも内部回路は、ファンアウト2、A1配線長2 mmの標準負荷状態で、0.45 nsと高速であり、負荷駆動能力も0.22 ns/pFとCMOSに比べて約5倍高いという特長を持つ。

2.1 HG29M100

HG29M100のチップ写真を図1に示す。本製品の特長を以

* 日立製作所 半導体設計開発センタ ** 日立製作所 日立研究所

表1 HG29M100/HG29A32/HG21T30の概略仕様 内部ゲート0.45 nsと高速である。また、HG29M100は4.6 kビットの3-ポートRAMを搭載しており、HG21T30は入出力レベルとしてECL/TTLの選択が可能である。

項目	HG29M100	HG29A32	HG21T30
ゲート数	10,125	3,210	3,072
R A M	4,608ビット(3-ポート)	—	—
信号ピン数	220	102	90
遅延時間 (typ.)	内部ゲート	0.45 ns/2入力NAND(@FO=2, AI=2mm)	
	R A M	$T_{AA} = 10$ ns	—
	入力バッファ	0.7 ns(@FO=2, AI=2mm)	ECL: 2.8 ns (@FO=2, AI=2mm) TTL: 4.1 ns
	出力バッファ	2.0 ns(@15 pF)	ECL: 1.0 ns(50 Ω終端) TTL: 4.2 ns(@15 pF)
消費電力 (typ.)	内部ゲート	240 μW(@10 MHz)	
	R A M	200 mW	—
	入力バッファ	2.0 mW(@10 MHz)	ECL: 8.2 mW (@10 MHz) TTL: 12.9 mW
	出力バッファ	5.0 mW(@15 pF, 10 MHz)	ECL: 38 mW(50 Ω終端) TTL: 20.7 mW(@15 pF, 10 MHz)
入出力レベル	LS-TTL		ECL/LS-TTL*選択可能
マクロセル数	入出力バッファ51, 内部回路50	入出力バッファ51, 内部回路38	入出力バッファ20, 内部回路38
パッケージ	PGA256	PGA120	PGA120
特殊機能	シュミット入力 $I_{DL} = 12, 24, 48$ mA**選択可能 自動診断機能内蔵	シュミット入力 $I_{DL} = 12, 24, 48$ mA**選択可能	$I_{DL} = 12, 24, 48$ mA**選択可能 ECL10 KH/100 Kインタフェース選択可

注：* ECL100 Kインタフェースのとき、内部回路の遅延時間約20%大
 ** ダブルバッファで構成
 略語説明 ECL(Emitter Coupled Logic), TTL(Transistor Transistor Logic)

下に述べる。

(1) 1万ゲートという高集積に加えて、アクセス時間10 ns, 4.6 kビットの3-ポートの高速RAMを内蔵している。また、この3-ポートのRAMは9ビットを基本とし、9ビット×512語, 18ビット×256語, 36ビット×128語の3種類のセルが用

意されている。このため、レジスタファイルなどにこのRAMを使用する場合、データバスのビット構成に適したRAMを選択可能である。

(2) 自動診断機能を持ち、ソフトウェアによって必要なテスト回路の自動付加とテストパターンの自動生成が行えるため、短時間で効率のよい論理設計を行うのに適したゲートアレーと言える。

2.2 HG21T30

HG21T30の特長は、入出力レベルとしてECL/TTLの選択が可能なことであり、ECLインタフェースだけ、あるいはECL/TTL混在インタフェースの2種類の使い方が可能である。

HG21T30の入力バッファを図2に、出力バッファを図3に示す。入力バッファは内部回路と同じ出力段のHi-BiCMOS回路をECL→CMOS, TTL→CMOSレベル変換回路を通して駆動し、出力バッファはCMOS→ECL, CMOS→TTLレベル変換回路を通して、出力段のECL回路あるいはTTL回路を駆動している。このため、高速・低消費電力化を実現しながら、汎(はん)用のECLおよびTTLインタフェース仕様を満足していることがわかる。

3 応用分野

1.3 μm技術クラスの各種デバイスを用いたゲートアレーの性能と応用分野を図4に示す。超高速のECL機種は、計算機のメインフレーム、通信システム、ミニコンピュータ(以下、ミニコンと略す。)などに使用され、高集積のCMOS機種は、

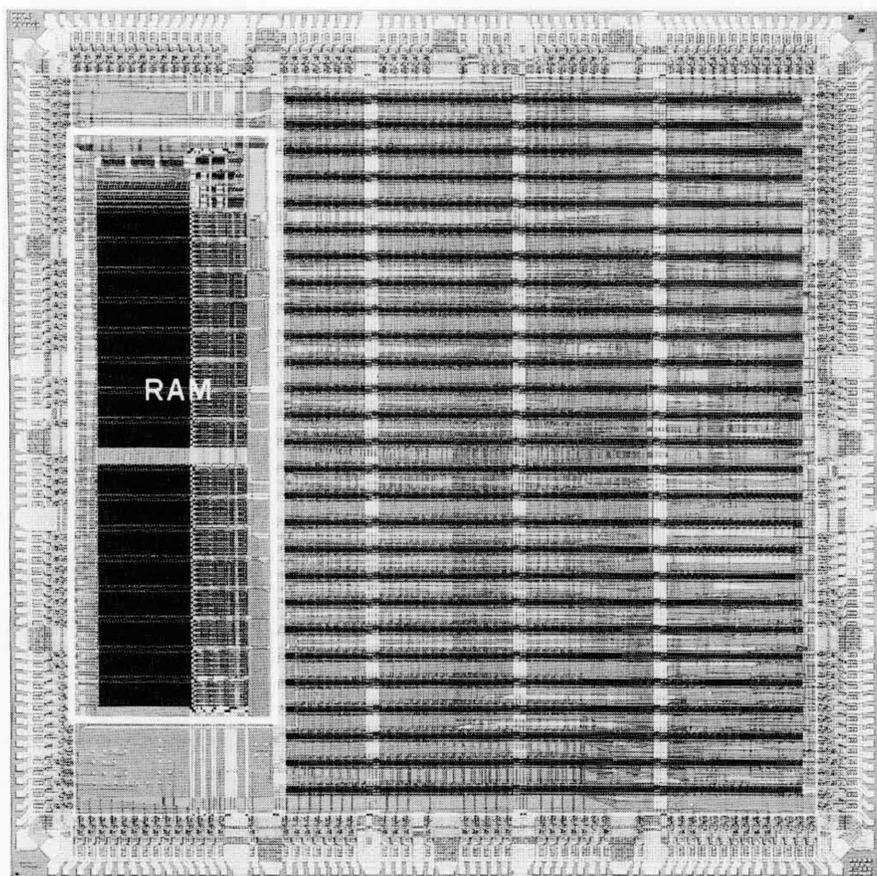


図1 HG29M100のチップ写真 13.3×13.3 mm²のチップに10,000ゲートの論理回路と4.6 kビットの3-ポートRAMが搭載されている。

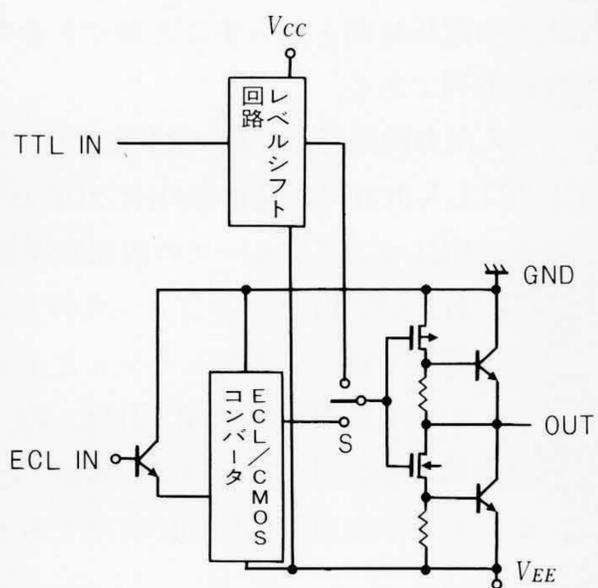


図2 HG2IT30のECL/TTL入力バッファ ECL, TTL入力ともレベルシフト回路と出力段のBi-CMOS回路によって構成することで, 高速・低消費電力化を図っている。

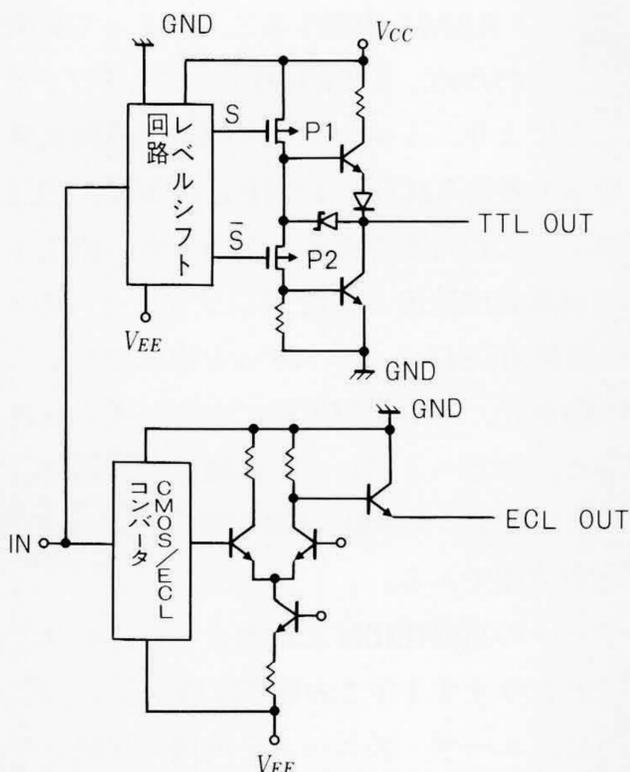
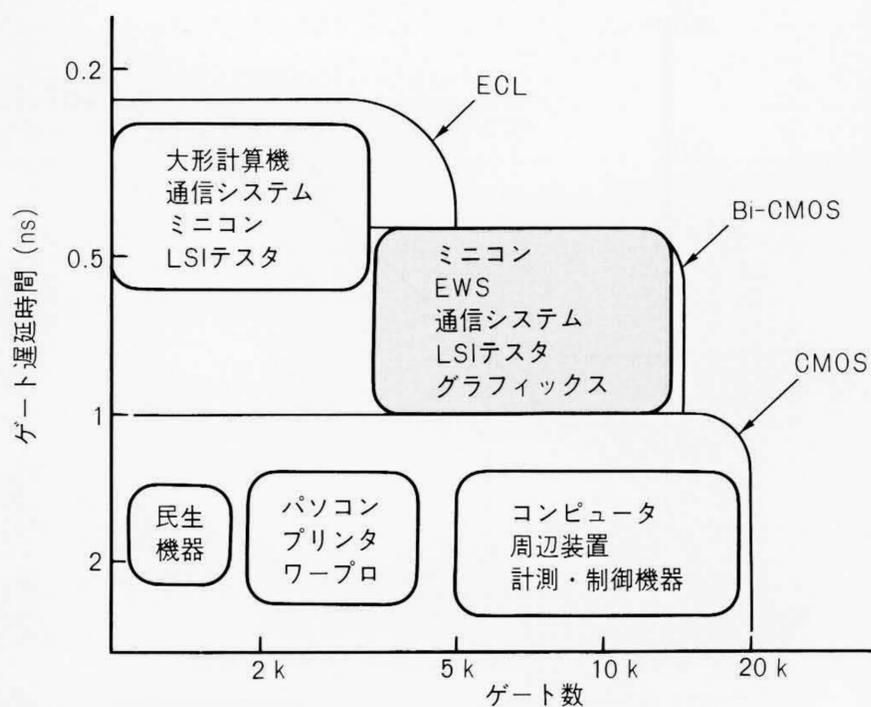


図3 HG2IT30のECL/TTL出力バッファ レベルシフト回路を通して, TTLのトータムポールあるいはECLのカレントスイッチ回路を駆動することにより, インタフェース仕様を満たしている。

パーソナルコンピュータ, ワードプロセッサ, コンピュータ周辺装置などに使用されている。ミニコン, 通信などの分野では, いっそうの高度化に対処するため, 高速かつ大規模なゲートアレーが望まれている。Bi-CMOSはその要求にこたえられる技術の一つである。

本ゲートアレーシリーズは, 0.45 nsという高速性を持ち, かつ大規模であるので, 従来ECL機種を適用していたミニコンなどへの応用が考えられる。

代表的な応用対象例であるミニコン主要部の構成を図5に示す。命令の1語が取り込まれる命令レジスタ, その内容をデコードするデコーダ, マイクロプログラムを格納するメモリ, マイクロ命令のデコーダ, 演算回路とそのレジスタファイル, およびインタフェースなどを制御する制御回路で構成



注: 略語説明 ミニコン (ミニコンピュータ)
パソコン (パーソナルコンピュータ)
ワープロ (ワードプロセッサ)
EWS (Engineering Workstation)

図4 ゲートアレーの性能と応用分野 ECL機種はメインフレーム, CMOS機種はワードプロセッサなどに使用されている。ミニコンなどの分野では, 高速かつ大規模なゲートアレーが望まれている。

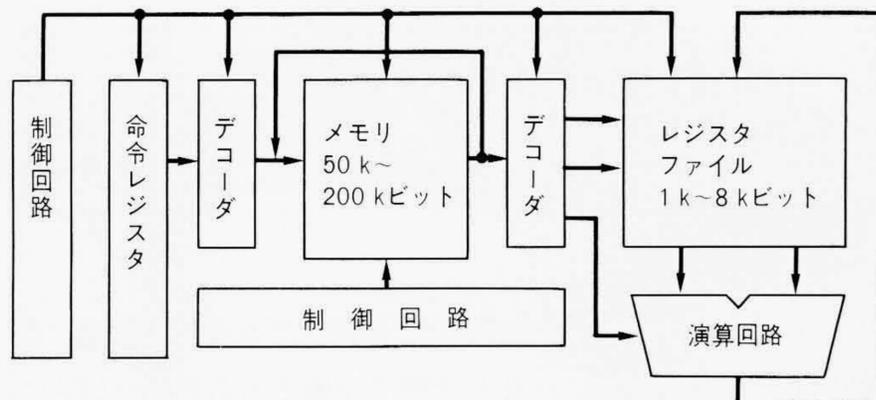
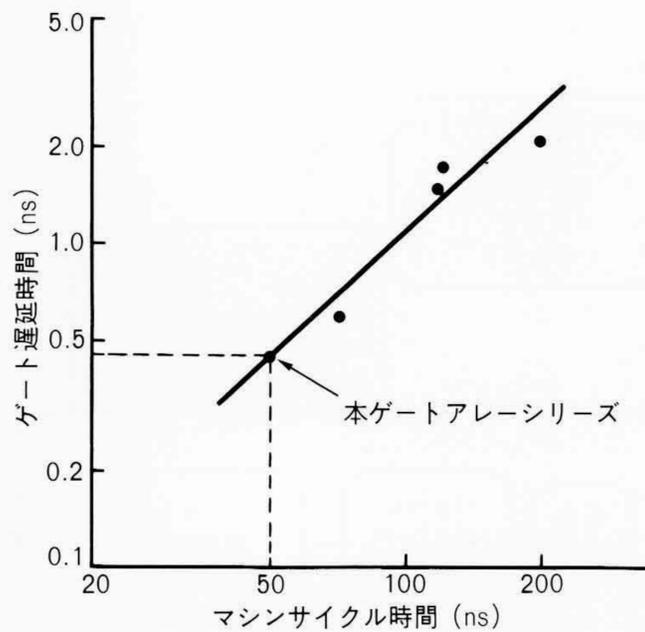


図5 ミニコン主要部の構成 ミニコン主要部は, 2種類のメモリ (マイクロプログラム格納用とレジスタファイル) とランダム論理で構成している。

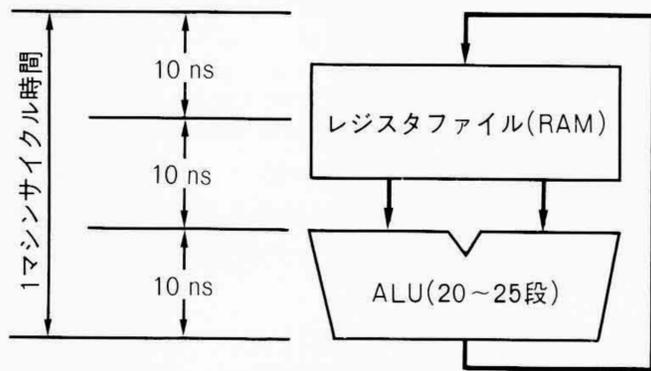
している。マイクロプログラムが格納されるメモリは, マイクロコンピュータではROMで構成されるが, ミニコンでは書き替えも可能なようにRAMで構成するのが一般的である。そのメモリ容量は50 kビットから200 kビット程度と大容量である。一方, レジスタファイルは, 1 kビットから8 kビット程度と小容量であるが, 演算処理の並列化によってシステムを高速化するために, データの書き込みと読み出しが同時に実行できるマルチポート構造が一般的である。

HG29M100はマルチポートRAMを内蔵しているので, 演算回路部への適用が考えられる。その内蔵RAMのアクセス時間は標準値で10 nsである。次に, その値の妥当性について検討する。

図6(a)はミニコンでのゲート遅延時間とマシンサイクル時間のトレンドを示したものである。ゲート遅延時間0.45 ns程度のスピードを持つデバイスから作られるミニコンのマシン



(a) ゲート遅延時間とミニコン性能



(b) 演算回路の処理動作

注：略語説明 ALU (Arithmetic Logic Unit)

図6 内蔵マルチポートRAMのアクセス時間の検討 ゲート遅延時間0.45 nsのゲートが使用されるミニコンのマシンサイクル時間は約50 ns(標準値で30 ns)で、その間に演算処理を実行する。

サイクル時間は約50 nsとなる。この値はプロセス、電源、温度のばらつきを考慮にいれた状態での値であるため、ばらつきを考慮にいれない設計の中心値では約30 nsのマシンサイクルとなる。通常のミニコンの演算回路は、同図(b)に示すように、この1マシンサイクルの間に次の三つの処理を実行する。

- (1) RAM(レジスタファイル)からデータを読み出し、ALU (Arithmetic Logic Unit)に入力する。
- (2) ALUが演算を実行する(ゲート段数は20~25段)。
- (3) ALUの演算結果をRAMに書き込む。

ゲート遅延時間が0.45 nsであるので、上記処理(2)のALUの演算に要する時間は約10 nsとなる。したがって、RAMの読出しと書き込みに許された時間は20 nsとなる。システム構成上、上記三つの処理に要する時間はおのおのほぼ等しいことが望ましいので、アクセス時間は10 nsが適切である。以上から、内蔵RAMのアクセス時間の10 nsという値は、内部ゲートの遅延時間と整合し、高速のミニコンを構成できる値であることがわかる。

したがって、10 nsのアクセス時間のマルチポート(1ライト、2リードの3ポート)RAMを持つHG29M100は、ミニコンのレジスタファイルを含む演算回路部に効率よく適用することができる。RAM内蔵形のゲートアレーを使用すると、通常のSRAM LSIを使用した場合のチップインタフェースの、入出力

回路での大きな遅延時間を減らすことができるので、システムの高速化に有利である。

次に、チップ入出力回路部に、Bi-CMOSデバイスの特長を生かしたECL/TTL入出力回路混在形のHG21T30の応用分野について考える。ECLインタフェースの演算処理装置CPUや二次キャッシュ、およびTTLインタフェースの主記憶で構成した高速演算処理装置では、二次キャッシュと主記憶のインタフェース部に、このHG21T30を適用すれば、ECLレベルとTTLレベルの変換用のSSIなしでシステムを組むことができる。したがって、システムの高速・小形化に有効である。

5 結 言

1.3 μm Hi-BiCMOS技術を用いてゲート遅延時間0.45 nsの超高速ゲートアレーHG29M100、HG29A32およびHG21T30の3品種を開発した。このうちHG29M100は、アクセス時間10 nsの3-ポートRAMを内蔵することによって高機能化に対応している。このため、このRAMをレジスタファイルなどに適用することにより、ミニコンなどの演算処理装置の高速化が可能になると考えられる。またHG21T30は、ECL/TTL混在インタフェースが可能である。このため、ECLインタフェースの高速演算処理装置とTTLインタフェースのメモリを、ECL-TTL変換用SSIなしでシステムを構成できる。このため、システムの高速化、小形化が可能になると考えられる。以上述べたように、本ゲートアレー3品種は超高速で、高機能が要求されるコンピュータ分野、OA分野をはじめとする広い分野への応用が可能である。

ゲートアレーの高機能化はまだ始まったばかりであり、今後多機能にわたりますますこの要求は強くなると考えられる。日立製作所は、ユーザーのニーズを的確に反映して、より使いやすいゲートアレーを開発していく考えである。

参考文献

- 1) 西尾, 外: バイポーラとCMOSを基本回路内で複合し、高速かつ低消費電力なLSIを実現する, 日経エレクトロニクス, 187~208(昭60-8-12)
- 2) Y. Nishio, et al.: A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array, ICCD, pp.428~433 (1984-10)
- 3) 上遠野, 外: サブナノセカンドHi-BiCMOSゲートアレー「HG28シリーズ」, 日立評論, 67, 8, 645~648(昭60-8)
- 4) Y. Nishio, et al.: 0.45 ns 7k Hi-BiCMOS Gate Array with Configurable 3-port 4.6k SRAM, CICC, pp.203~204(1987-5)
- 5) 上遠野, 外: 超高速Hi-BiCMOSゲートアレー「HG29M100/HG21T30」, 日立評論, 70, 12, 1303~1306(昭63-12)
- 6) 村林, 外: Hi-BiCMOS回路と高速論理VLSIへの応用, 電子通信学会誌C-II, 72-C-II, 5, 420~427(平1-5)
- 7) 西尾, 外: RAM内蔵形Hi-BiCMOSゲートアレー, 電子通信学会誌C, J71-C, 9, 1248~1256(昭63-9)