

# セルベースIC「HG52シリーズ」

## Cell Based IC “HG 52 Series”

ゲートアレーよりもフレキシブルなセルベースICは電子機器の高機能化・小形化・低価格化の強い要求により、急速に脚光を浴びてきている。特にCPU搭載形セルベースICは、差別化の有力な手段になりつつある。このような背景からCMOS1.3 $\mu$ mプロセスを用いた「HG52シリーズ」を開発した。独自のSBP(Silicon Back Plane)設計方式とゲートアレーの論理検証ツールを融合させることにより、ゲートアレーの手軽さでユーザーロジック部分まで組み込んだHD64180 CPUコア搭載形セルベースICが開発可能になった。また続いてH8, H16のCPUコアも搭載の予定で開発中である。

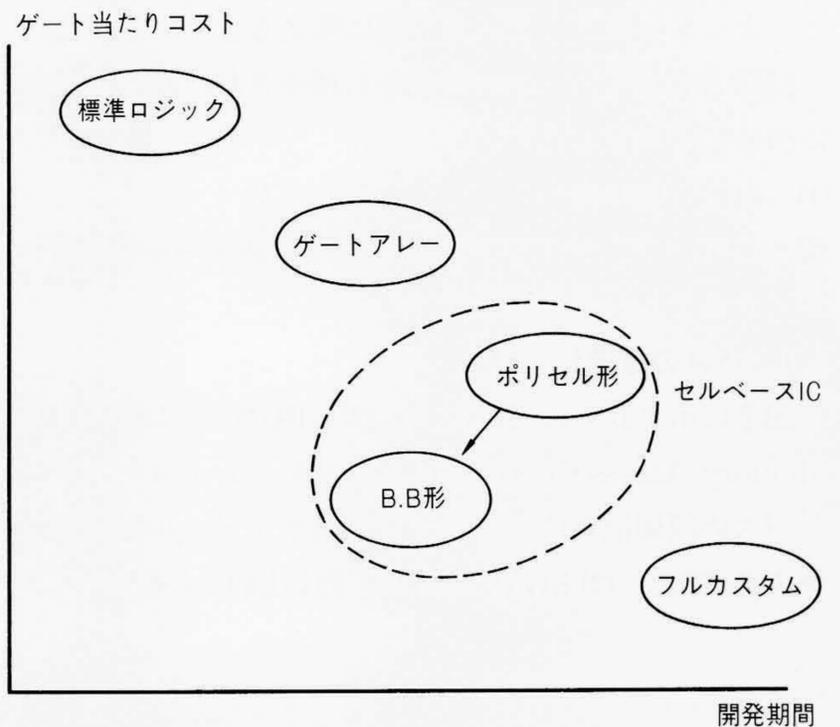
小林 勇\* *Isamu Kobayashi*  
 平地和春\* *Kazuharu Hirachi*  
 鈴木猛司\* *Takeshi Suzuki*  
 堀田厚生\*\* *Atsuo Hotta*

### 1 緒 言

近年、情報産業分野、民生産業分野などでの商品の性能・機能の差別化、開発期間の短縮、コスト低減などの要求に対して、LSIの微細加工技術と設計の自動化技術の進歩により、ASIC<sup>1),2)</sup>(Application Specific IC)の先駆者であるゲートアレーに加えて、フレキシブルで高集積可能なセルベースICが注目を浴びている。

このセルベースICは、図1で示すようにポリセル形とビルディングブロック形に区分され、特に高集積、高機能の差別化を背景に、CPUコアおよび周辺機能の大形セルが搭載可能なビルディングブロック形セルベースIC<sup>3)</sup>に、ユーザーの期待が急速に高まっている。この方式は開発期間はゲートアレーに、コストはフルカスタムに迫ることが可能な方式である。

HG52シリーズは両タイプが可能なセルベースICで、特にビルディングブロック形に対しては、豊富なマイクロコンピュータ(以下、マイコンと略す。)周辺の大形セルが容易につながるようにしたSBP(Silicon Back Plane)方式を確立した。この方式はCPUコアやマイコン周辺機能を、インタフェースが標準化されたモジュール(Silicon Module)とし、これを標準バス(Silicon Bus)で接続する日立製作所独自の方式であり、HG52シリーズばかりでなく日立製作所独自のマイコンHD64180S, H8, H16おのこのシリーズ展開の標準マイコンにも適用されている。このことは、日立製作所の総合技術力の結集である豊富なモジュールの提供が可能であることを意味している。HG52シリーズは、すでに確立されたゲートアレーのユーザーインタフェースであるCLIF<sup>4)</sup>(Customer Logic Interface Format)にSBP方式を移植したことにより、ゲート



注：略語説明 B.B形(ビルディングブロック形)

図1 セルベースICの開発期とコストパフォーマンス セルベースICの開発期間とコストパフォーマンスをゲートアレー、フルカスタムとの相対位置で示す。

アレー設計の手軽さで、広くユーザーにモジュールを活用してもらうことを目的としている。本稿ではCMOSセルベースIC HG52シリーズの製品概要、設計基本コンセプトであるSBP方式および顧客インタフェースについて述べる。

\* 日立製作所 半導体設計開発センタ \*\* 日立製作所 デバイス開発センタ 工学博士

## 2 製品概要

次期ASICの主力製品の一つとなるHG52シリーズは、表1に示すように1.3 μm CMOSセルベースICであり、大規模論理回路の高集積化が可能ばかりでなく、CPUコアを搭載可能としている。また、日立製作所のゲートアレーHG62Eシリーズと等価な機能のセルライブラリを用意しており、ゲートアレーからの移行が可能である。CPUコア搭載形に対してはSBP方式を設計基本コンセプトとしている。

## 3 SBP設計方式

HG52シリーズの標準化設計手法として、図2にSBP方式のコンセプトを示す。同図中のユーザーのシステムオンボードでのPCB(Printed Circuit Board)モジュール、バックプレーンに配線されるシステムバスを、それぞれシリコン(Si)モジュール、Siバスに置き換えて、システムオンチップ化をねらったものである。この方式をゲートアレーの開発環境にのせることによって一般ユーザーが手軽に使えるようになった。

SBP方式は次の三つの要素から構成され、以下にそれぞれについて説明する。

- (1) バスの標準化
- (2) CPUコア、マイコン周辺機能のモジュール化設計
- (3) テスティングの標準化

### 3.1 バスの標準化

図3に示すように、Siバスは、(1) CPUコア、DMAC(Direct Memory Access Controller)、リフレッシュコントローラなどバスの制御権を持つバスマスタ系モジュールが接続されるマスタバスと、(2) ROM, RAM, 周辺I/Oから成るバスマスタ

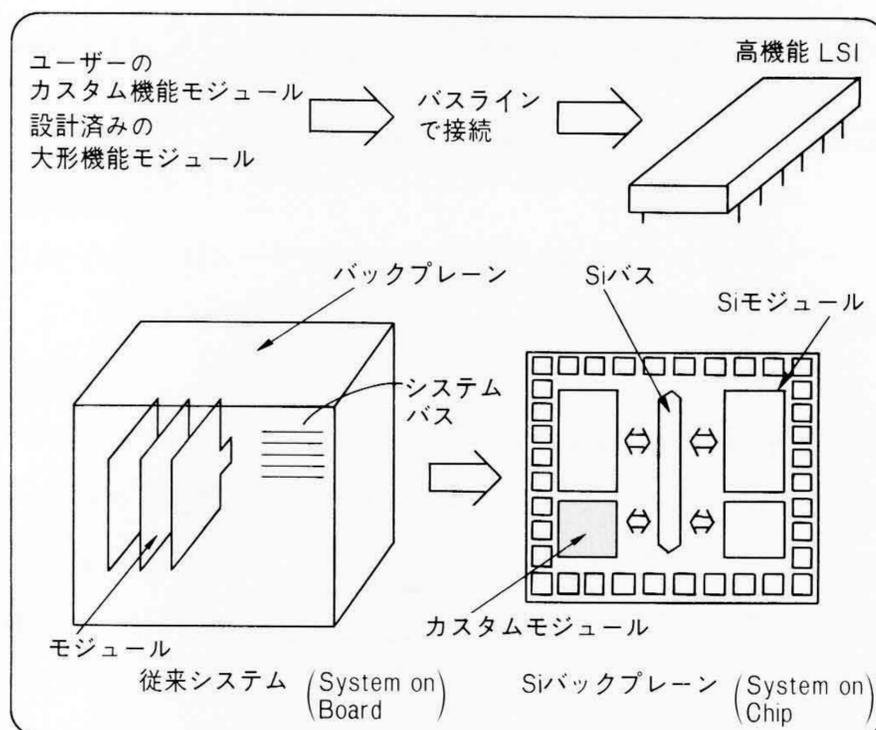


図2 SBP(Silicon Back Plane)方式のコンセプト SiモジュールはCPUコア、マイクロコンピュータ周辺モジュールから成り、ユーザーが設計したカスタムモジュールも搭載可能となる。

のスレーブとなる非バスマスタ系モジュールが接続されるスレーブバスおよび(3)汎(はん)用マイコンの外部バスに相当するCPU個別バスから成る。CPU個別バス、マスタバスは、CPUコアごとに固有のバスであるが、標準化されたスレーブバスは共通であることが特長である。これにより、スレーブバスインタフェースを持つユーザーモジュールを含めた周辺モジュールは、SBP準拠のどのCPUコアに対しても接続可能であることから、より豊富な周辺モジュールの提供が可能になった。

表1 HG52シリーズの特長および仕様 ユーザーロジックあるいはユーザーモジュールに対しては、HG62Eゲートアレーシリーズとコンパチブルに設計でき、CPUなどモジュール搭載の場合は、SBP設計手法を使用する。

項目	仕様	特長	
プロセス	1.3 μm CMOS	<ul style="list-style-type: none"> <li>● CPUコア搭載可能</li> <li>64180 CPUコア</li> <li>H8 CPUコア(開発中)</li> <li>H16 CPUコア(開発中)</li> <li>● 豊富な周辺モジュール</li> <li>● CMOSゲートアレー(HG62Eシリーズ)からの移行が可能</li> </ul>	
動作速度*	1.0 ns/ゲート		
最大動作周波数	60 MHz		
電源電圧	5 V ± 5 %		
動作温度	0 ~ 75 °C		
入出力レベル	TTL/CMOS選択可能		
セル	内部ゲート		ゲート, フリップフロップ, ラッチ, カウンタ, シフトレジスタほか
	I/Oセル		入出力バッファ, シュミット入力, プルアップ/ダウン, 水晶発振ほか
	メモリ		RAM, ROM, E <sup>2</sup> PROM
	CPUコア		64180 CPU(H8, H16を開発中)
周辺機能	タイマ, シリアル, A/D, I/Oポートほか		
パッケージ	DP, QFP, PLCC, PGA		

注：\* 2入力NAND, ファンアウト 2, アルミ配線長 2mm

略語説明 E<sup>2</sup>PROM(Electrically Erasable and Programmable Read Only Memory), TTL(Transistor Transistor Logic), DP(Dual in Line Plastic Package), QFP(Quad Flat Package), PLCC(Plastic Leaded Chip Carrier), PGA(Pin Grid Array)

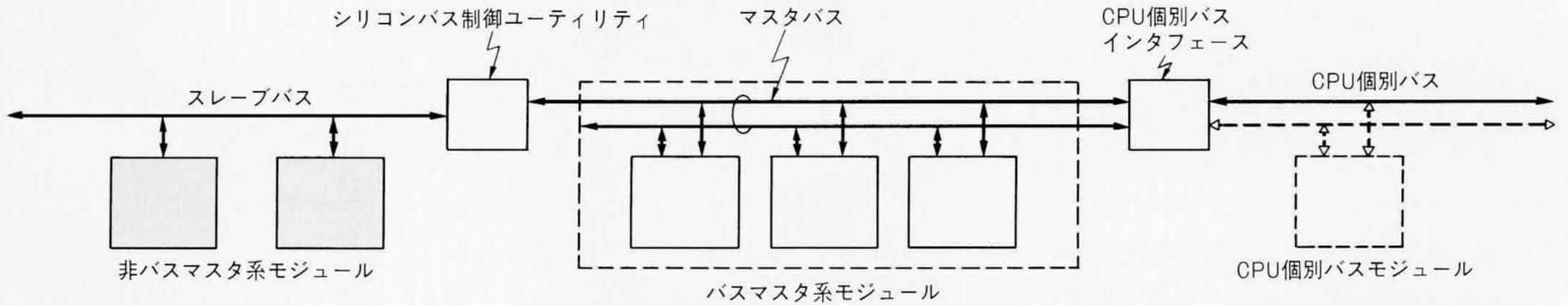


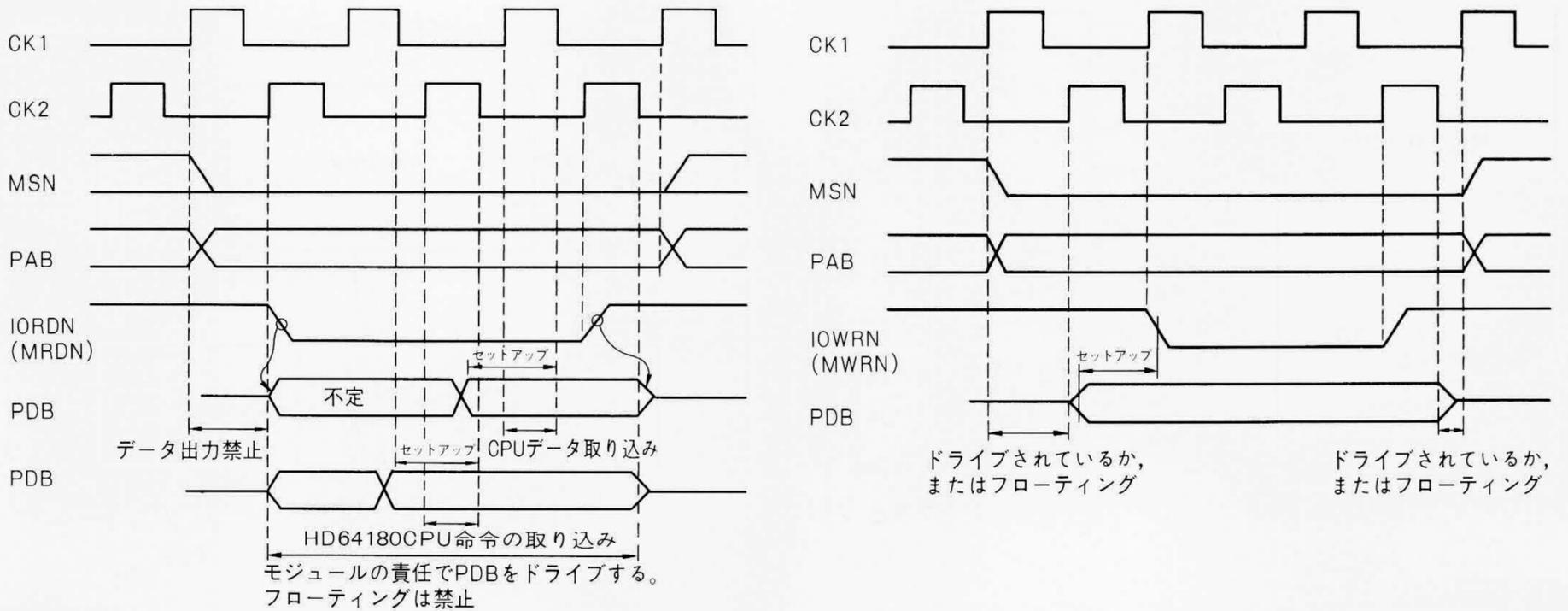
図3 Siバス CPU搭載形セルベースICのSiバスの構成は三つのタイプのバス(マスタバス, スレーブバス, CPU個別外部バス)から成る。

表2 スレーブバスの信号一覧 2相クロックで構成され, IOSTOP時, CK 1, CK 2 は停止し, CK 1i, CK 2 iは停止せず常に動作しているクロックとなる。

区分	信号名	機能	方向*	本数	極性	出力タイプ	備考
コントロールバス	CK 1	マスタクロック 1	入力	1	P	---	---
	CK 2	スレーブクロック 2	入力	1	P	---	---
	CK 1 i	マスタクロック 1 i	入力	1	P	---	---
	CK 2 i	スレーブクロック 2 i	入力	1	P	---	---
	RST	リセット	入力	1	P	---	---
	IOSTOP	I/Oストップ	入力	1	P	---	CPUコアの出力
	IORDN	I/Oデータリードストロブ	入力	1	N	---	---
	IOWRN	I/Oデータライトストロブ	入力	1	N	---	---
	MRDN	メモリデータリードストロブ	入力	1	N	---	---
	MWRN	メモリデータライトストロブ	入力	1	N	---	---
	TM(0-i)	テストモード	入力	n	P	---	必要本数
P A B バス	PAB(0-N)	ペリフェラルアドレスバス	入力	n	P	---	必要本数
M S N バス	MSN	モジュールセレクト	入力	n	N	---	必要本数
P D B バス	PDB(0-15)	ペリフェラルデータバス	入出力	8, 16	P	3ステート	必要本数
---	BUS16	データバスサイズ	入力	1	P	---	---
---	IOWORDN	データバスサイズ	入力	1	N	---	---
---	---WAITN**	ウェイト	出力	1	N	---	オプション
---	IRQN	インタラプトリクエスト	出力	n	N	---	必要本数

注: \* 方向はモジュールからみた信号の入出力方向を示す。 \*\* ---は一般的にモジュール名を付ける。

略語説明 PAB(Peripheral Address Bus), MSN(Module Select), PDB(Peripheral Data Bus), IORDN(I/O Data Read Strobe), IOWRN(I/O Data Write Strobe), MRDN(Memory Data Read Strobe), MWRN(Memory Data Write Strobe)



(a) I/O(メモリ)リードサイクルタイミング

(b) I/O(メモリ)ライトサイクルタイミング

図4 スレーブバスの基本タイミング 基本タイミングはI/O(メモリ)のリードサイクルとライトサイクルのタイミングから成る。

スレーブバスの信号一覧表を表2に示す。外部バスと違って、2相のクロックが使用され、容易に同期回路が構成できるようになっている。他に信号群はレジスタのリード、ライト、リセットなどのコントロール信号とモジュールを指定するモジュールセレクト、モジュール内のレジスタのアドレスを指定するアドレスバス、およびデータバスから成る。

スレーブバスの基本タイミングを図4に示す。周辺モジュール内のレジスタのデータの受け渡しのタイミングを規定するもので、Siバスに接続するユーザーモジュールを作る場合、このタイミングに従ってレジスタの設計をする必要がある。

### 3.2 モジュール化設計手法

Siバスに準じて設計されたモジュールの構造を図5に示す。モジュールは機能ブロック部、タイミングインタフェース部、テストインタフェース部に分けられる。ユーザーも含めて、周辺機能をスレーブバスのインタフェースでモジュール化設計しておけば、いずれのCPUコアを採用しても適用可能であり、設計財産として効率よく蓄積できる。

モジュール化設計に当たっては、スレーブバス仕様の標準化に伴い、図5のインタフェース部の回路も定型化し、設計の品質向上と設計のQTAT(Quick Turn Around Time)化をねらった。また、このインタフェース回路はユーザーモジュール設計のひな型として、ユーザーに提供することによってSBPバスを適用したユーザーの論理設計が容易になった。このインタフェース回路の特長は、PDB(Peripheral Data Bus)の容量を増加させないように、MSN(Module Select)信号でPDBからMDB(Module Data Bus)を選択し、PAB(Peripheral Address Bus)でMDBに接続されるレジスタ群をさらに選択する方式を採用していることである。また、ユーザーモ

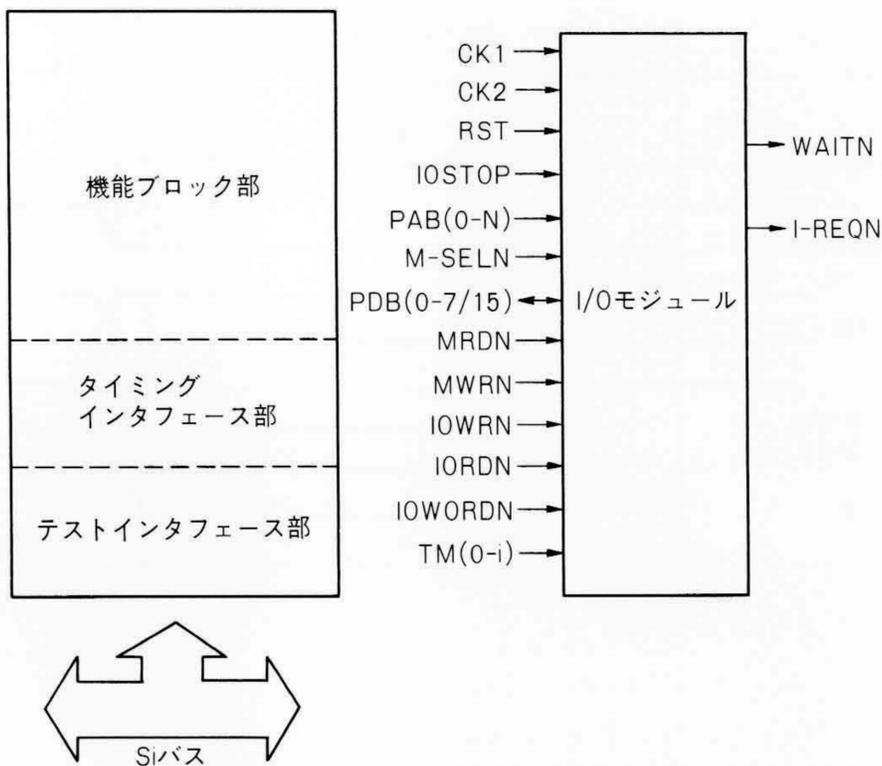


図5 Siモジュールの構造 SBPスレーブバスにかかわる非バスマスタ系モジュールの構造を示す。

ジュールの機能ブロック部に関しては、日立製作所のCMOSゲートアレーHG62Eシリーズ<sup>5)</sup>と等価のセルライブラリがサポートされているので、ゲートアレーと同様な設計が可能である。さらに、すでにゲートアレーで実施している自動診断もサポートする予定であるので、ユーザーの設計期間は大幅な短縮となる見通しである。

CPUモジュールは、図6に示すようにハードCPUコアと製品展開ごとが変わると思われるバスコントロール回路、メモリICのチップセレクトに相当するモジュールセレクト信号(モジュール内レジスタ群をまとめてアドレスセレクトする信号)を発生するチップコントロール回路、割込みの優先順位を選択する割込コントロール回路などのソフトモジュールに分離することにより、ユーザーが容易に設計変更できる仕組みとした。

### 3.3 テスティングの標準化

製品ごとに機能仕様が異なるカスタマイコンでは、モジュールの組み合わせが多様化しているので、テストパターン財産を流用するためには、モジュールごとに単独にテストする方式が必要である。このため図7に示すように、非バスマスタ系モジュールは、テストモードによってCPUを停止させてバスを開放し、外部からアドレス、データ、およびコントロール信号を入力して制御する方式とした。またバスマスタ系モジュールは、拡張モードで外部ROMを動作させるパターンのテスト方式とした。

各モジュールは、モジュール個別信号、例えばタイマのOUT信号などの入出力信号とSiバスのモジュール切り口のテストパターンがセットでライブラリに登録される。製品展開時は、診断用DA(Design Automation)の一貫として開発した

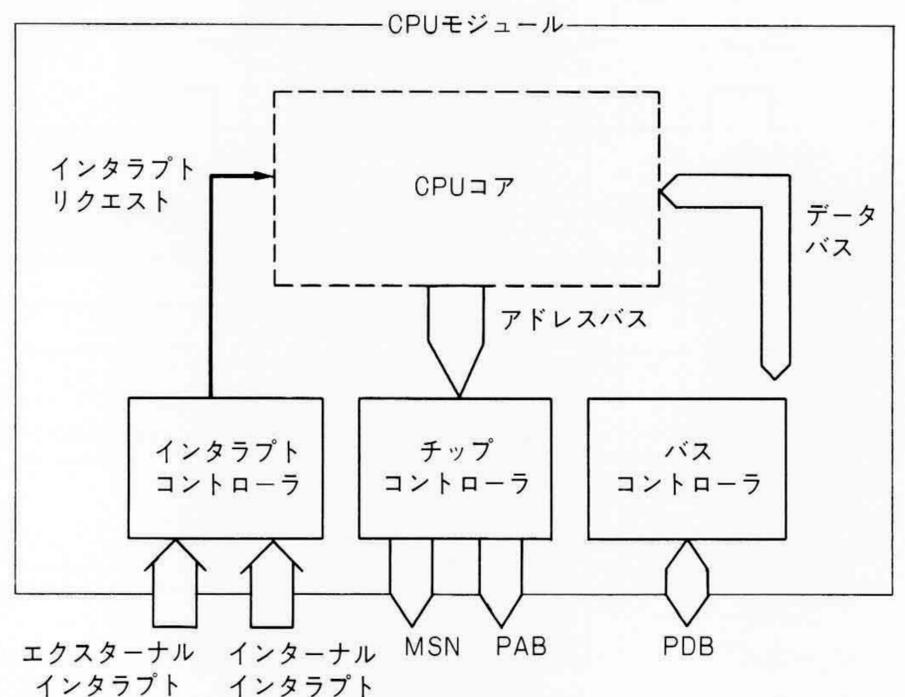


図6 CPUモジュールの構造 SBP方式のCPUモジュールは、周辺機能によって変わらないCPUコア部分と製品展開ごとに変えることが可能な部分とに分類して構成される。

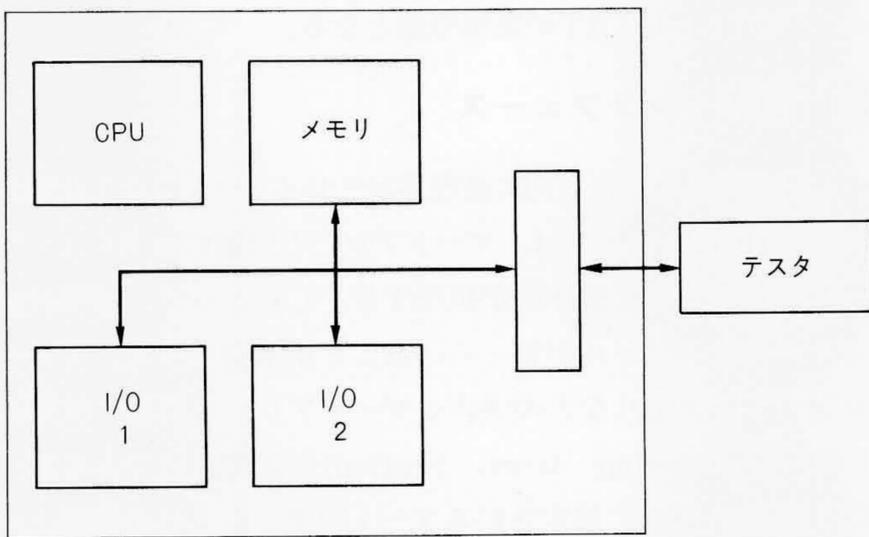


図7 非バスマスタ系モジュールのテスト方式 テストモード時、外部からアドレス、データ、コントロール信号を入力してCPUから切り離し、モジュールごとに独立してテストを行う。

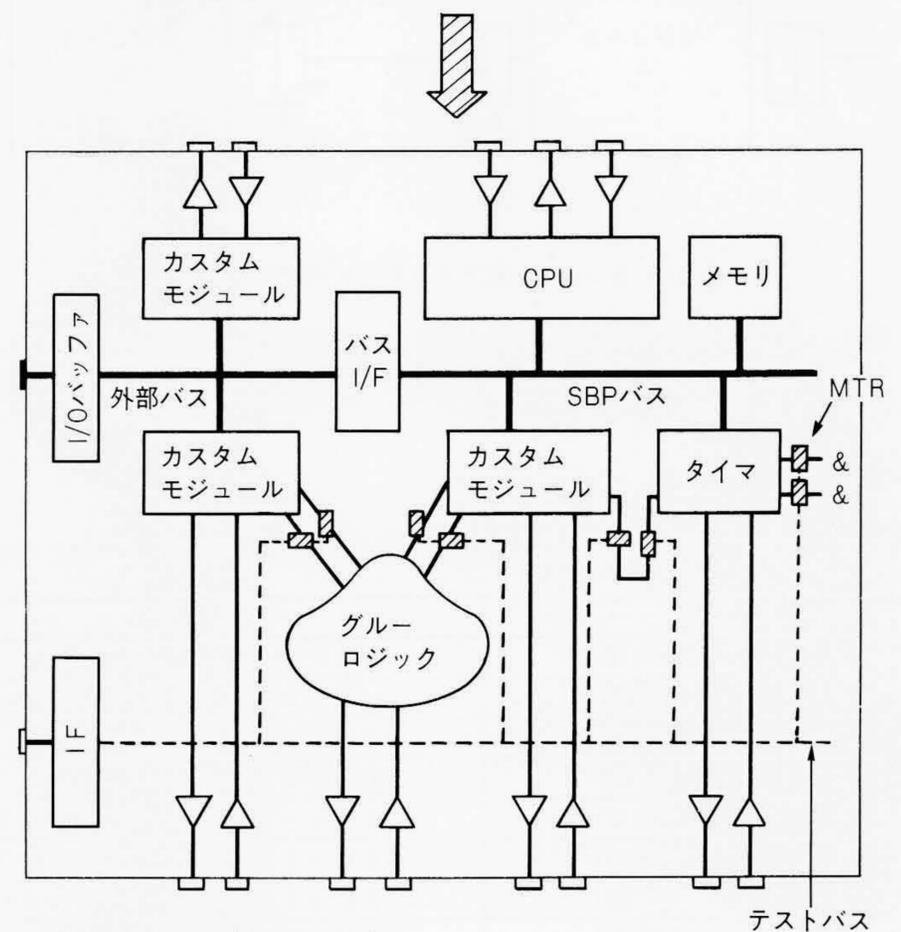
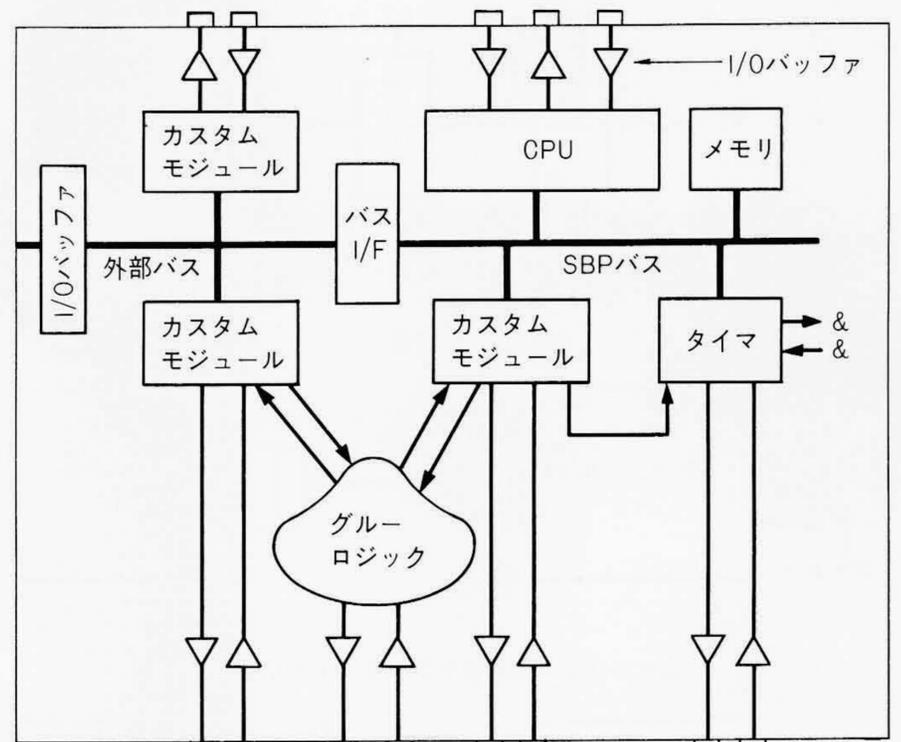
TETRA (Test Pattern Translator) を用いて、製品ごとにモジュール切り口のパターンをLSIのピンのパターンへの変換、およびユーザー仕様のレジスタアドレスへの変換を自動的に行う方式とした。製品展開では検証されたモジュールを使うので、製品ごとにそのシミュレーションを行う必要はなく、各モジュールのテストパターンからLSIのテストパターンを直接発生することによって開発期間のQTAT化を実現した。

また、図8に示すようにモジュール間結線があり、単独で動作するモジュール切り口のテストパターンがそのまま使用できない場合、従来はモジュール間結線をピンとして外部に出るようにマルチプレクサなどから成るテスト回路の設計を行うため、再シミュレーションの必要があった。日立製作所では同図に示すように、モジュール間結線などにMTR (Module Test Register) を自動的に付加する方式を開発した。

MTRの構成およびテスト動作を図9に示す。MTRの構成は、マスタスレーブ形のラッチから構成される。同一形状のものが、モジュールの入力端子および出力端子に付加される。このMTRはユーザーの実動作モードでは、マスタ側、スレーブ側ともデータをスルーする状態になる。テストモードは次に述べる(1)モジュール単体テストモード、(2)モジュール間テストモードの2種類を持つ。

モジュール単体テストモードの場合、入力端子のMTRはマスタ側にライトしたあとスレーブ側に転送し、モジュール端子の設定を行い、出力端子ではMTRのマスタ側にモジュールの出力結果をラッチし、その値をリードする。このとき、出力端子のMTRのスレーブ側は値を保持しておく。これにより、テスト対象外のモジュールと分離でき、モジュールくくり付けの単体テストパターンにMTRのリード、ライト期間のパターンが自動挿入され、モジュール単体テストが可能となる。

モジュール間結線テストモードでは、モジュール間のローカルワイヤのモジュール出力端子に付加されたMTRにデータをライトし、ローカルワイヤのもう一方に付加されているMTR



注：略語説明 & (未使用ピン)  
MTR (Module Test Register)

図8 モジュール間結線が存在するチップ構成とMTR付加後のチップ構成 モジュール間結線と同じように、未使用端子あるいはグルーロジック間との結線もモジュールのパターンを適用するとき問題となりMTRが付加される。

からデータをリードして、モジュール間の結線テストを行う。このとき、図9で、モジュールB入力端子側のMTRのスレーブ側は値を保持した状態であり、次段のモジュールBを動作させないようにする。

カスタムモジュールに自動診断を適用する場合は、テストピンを自動診断と併用することにより、ピン数不足を招かぬよう考慮されている。自動診断を採用すれば、ゲートアレーと同様にユーザーはテストパターン設計期間が大幅に低減で

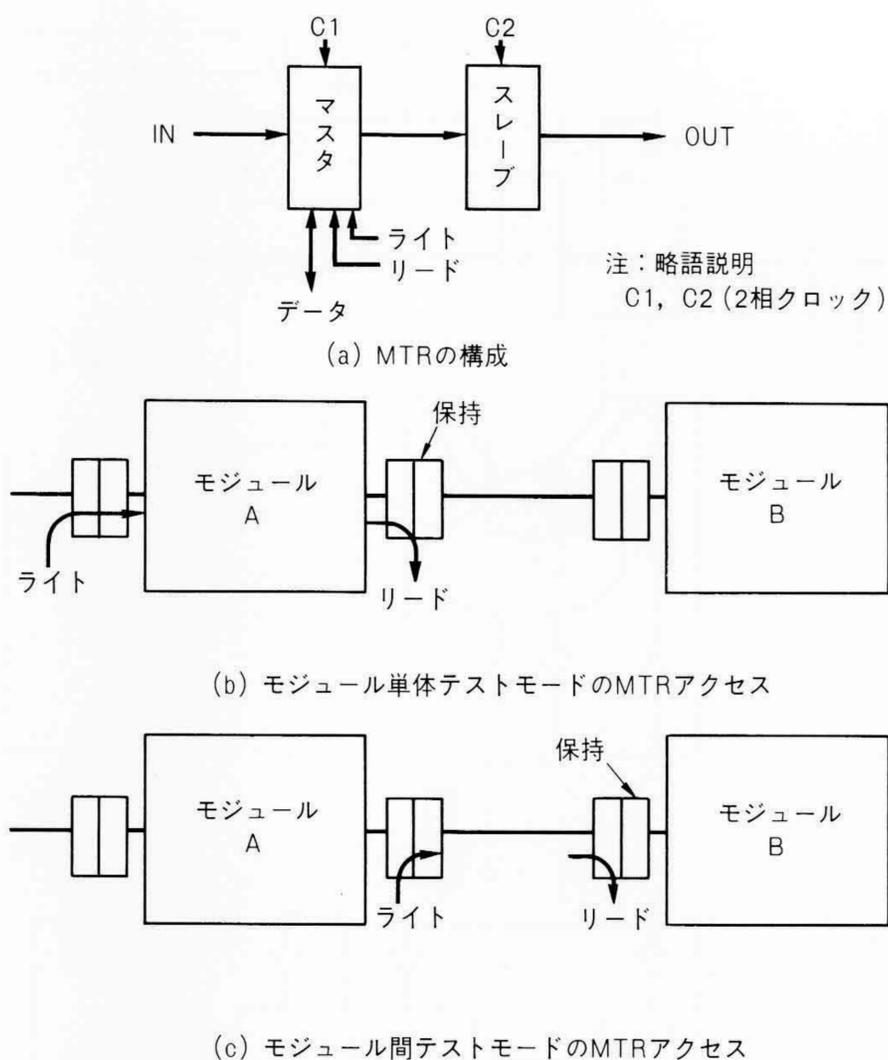


図9 MTRの構成およびテスト動作 MTRはマスターとスレーブのラッチから成り、テストモードはモジュール単体テストおよびモジュール間テストから成る。

き、TOTAL QTATが実現可能となる。

#### 4 顧客インタフェース

LSIの開発は、一般的に論理設計とレイアウト設計に大別される。HG52シリーズは、ゲートアレーと同様に前者をユーザーが、後者を日立製作所が担当する。したがって、論理設計とその検証のツールが整っていることが重要である。グルーロジック+メモリなどの場合、ゲートアレーと同様に汎用のEWS(Engineering Work Station)で設計可能であるが、CPU搭載の場合、想定されるゲート規模から大形計算機上の日立製作所オリジナルDAを主環境とした。論理記述フォーマットはゲートアレーで実績のあるCLIFを継承した。

##### 4.1 ライブラリの提供

HG52シリーズ用に1.3 μm CMOSプロセスを適用したセルライブラリを開発した。CMOSゲートアレーHG62Eシリーズと機能的に等価なセル群をラインアップし、ユーザーに提供すると同時にゲートアレーからHG52シリーズへの切り替えを可能にした。このライブラリは次のパラメータを含む。

- (1) ゲート数, (2) 遅延時間( $T_0$ , 負荷依存性係数), (3) 入力容量, (4) タイミングルールチェック用パラメータ, (5) 診断用故障仮定

表3 HG52シリーズ CPUおよび周辺モジュール一覧表 平成1年9月時点でのモジュールラインアップを示す。

No.	モジュール名	モジュール機能	備考
1	CPU101	CPUコア	NPU64180相当
2	BSC101	バスコントローラ(CPU, REF, 外部バスマスタ)	HG52シリーズオリジナル
3	CPG101	クロックパリスゼネレータ	HG52シリーズオリジナル
4	INT301	割込みコントローラ	HG52シリーズオリジナル
5	PRT101	8ビット入出力ポート/アドレスバスバッファ	HG52シリーズオリジナル
6	PRT201	8ビット入出力ポート/アドレスバスバッファ	HG52シリーズオリジナル
7	PRT301	8ビット入出力ポート/データバスバッファ	HG52シリーズオリジナル
8	PRT401	8ビット出力ポート	HG52シリーズオリジナル
9	ASC201	調歩同期式シリアルコミュニケーションインタフェース	H16, NPU
10	DMA101	DMAコントローラ(高性能版)	NPU
11	TIM201	16ビットフリーランタイム	HG52シリーズオリジナル
12	TIM301	16ビットリロードタイム	64180R相当
13	WDT101	ウォッチドッグタイマ	HG52シリーズオリジナル
14	CSC101	シリアルコミュニケーションインタフェース(高性能版)	HG52シリーズオリジナル
15	CSC201	シリアルコミュニケーションインタフェース	HG52シリーズオリジナル
16	REF101	リフレッシュコントローラ	NPU
17	RAM86I	64バイトS-RAM	HG52シリーズオリジナル
18	RAM87I	128バイトS-RAM	HG52シリーズオリジナル
19	RAM88I	256バイトS-RAM	HG52シリーズオリジナル
20	RAM89I	512バイトS-RAM	HG52シリーズオリジナル
21	RAM8AI	1kバイトS-RAM	HG52シリーズオリジナル
22	RAM8BI	2kバイトS-RAM	HG52シリーズオリジナル
23	ROM8BI	2kバイトMASK-ROM	HG52シリーズオリジナル
24	ROM8CI	4kバイトMASK-ROM	HG52シリーズオリジナル
25	ROM8DI	8kバイトMASK-ROM	HG52シリーズオリジナル
26	ROM8EI	16kバイトMASK-ROM	HG52シリーズオリジナル
27	ECP88I	256バイトEEPROM	HG52シリーズオリジナル

注: 略語説明 NPU(Network Processing Unit)

さらに、表3に示すようにSi-バスに準拠したモジュール群もライブラリ登録されている。

### 4.2 論理設計手法

カスタマイコンは、図10の開発フローに示すようにセルライブラリを用いて設計されるユーザー独自のモジュールと、ライブラリに登録されたCPUコアや周辺モジュール群を、Si-バスで接続した全体結合図である最上位図面を作成することで容易に設計できる。最上位図面は自動レイアウトの制約がモジュール群とI/Oセルおよびそれらの結線だけで構成される。

#### 4.2.1 ユーザーモジュールの論理シミュレーション

レイアウトDAの制約からユーザーロジックは、2,000セル以内で設計されなければならない。これを超える場合は、2個以上のブロックに分割する必要がある。バスインタフェー

ス回路は、図5で示すような定型化されたものを使う。シミュレータが提供する次の環境でシミュレーションするので、精度の高い検証が可能である。

- (1) 実スピードシミュレーション
- (2) レイアウト前の仮想配線負荷容量を付加したシミュレーション
- (3) モジュール切り口で定義されたSi-バス仕様書に基づくタイミング条件
- (4) 遅延Min, Typ, Maxの3通りのシミュレーション
- (5) TRC(Timing Rule Checker)によるタイミングルールチェック

テストパターンの簡易入力ユーティリティとして“1”，“0”で記述するテストパターンの代わりにリード/ライト形

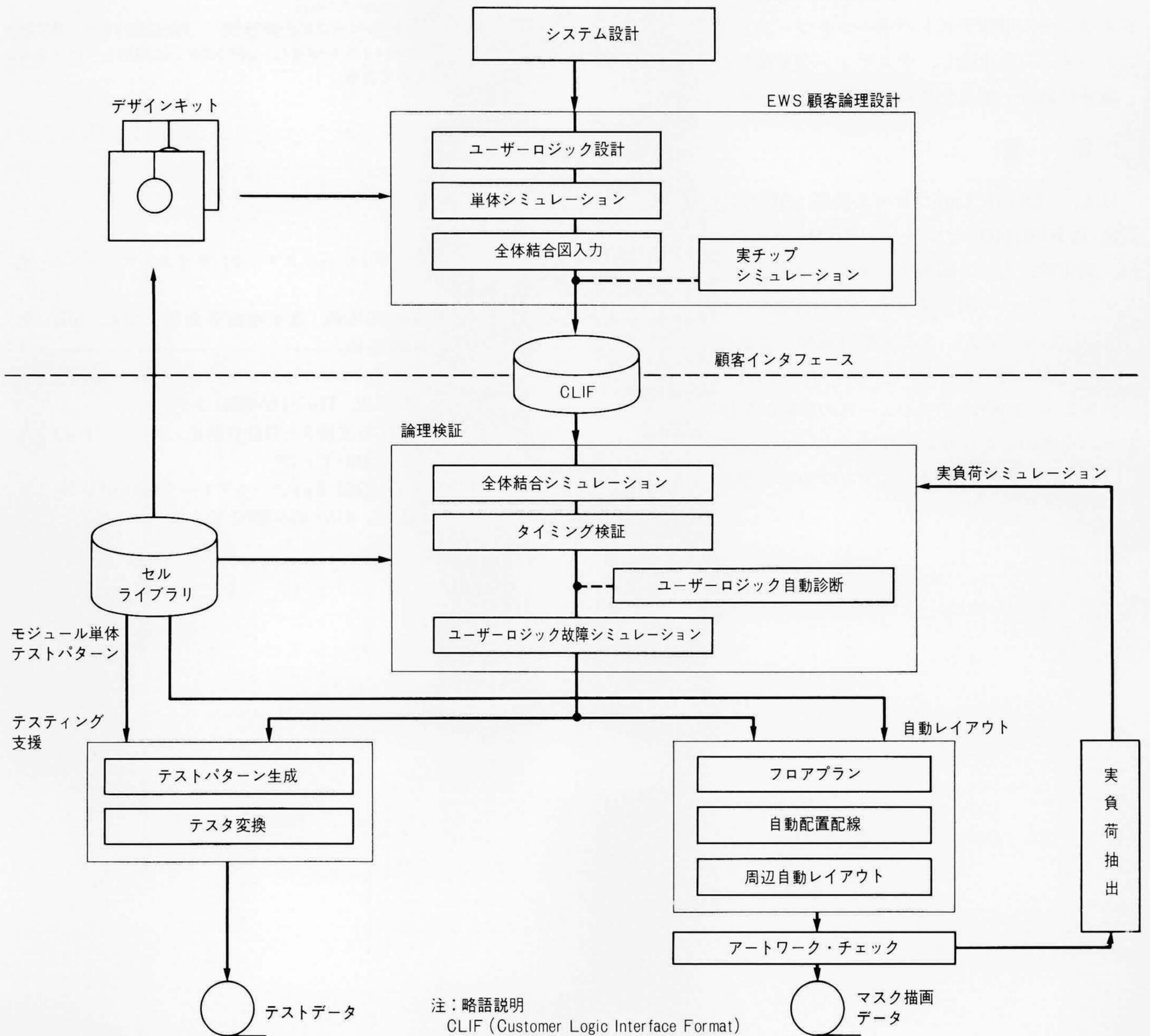


図10 開発フロー ユーザーモジュールを含むCPU搭載形セルベースICの例を示す。

式の記述をサポートしている。

#### 4.2.2 全体結合シミュレーション

モジュール単位で設計された論理回路が、CPUコアをはじめ他のモジュールと接続されたとき、正しく結線されているかどうか、タイミング的に問題はないか、を確認するシミュレーションである。LSIの外部にROMを接続し、CPUの命令で全体を動作させるテストパターンをユーザーが作成し、シミュレーションする。モジュール端子でバス仕様に基づくタイミングルールが規定されているTRCで検証することもできる。

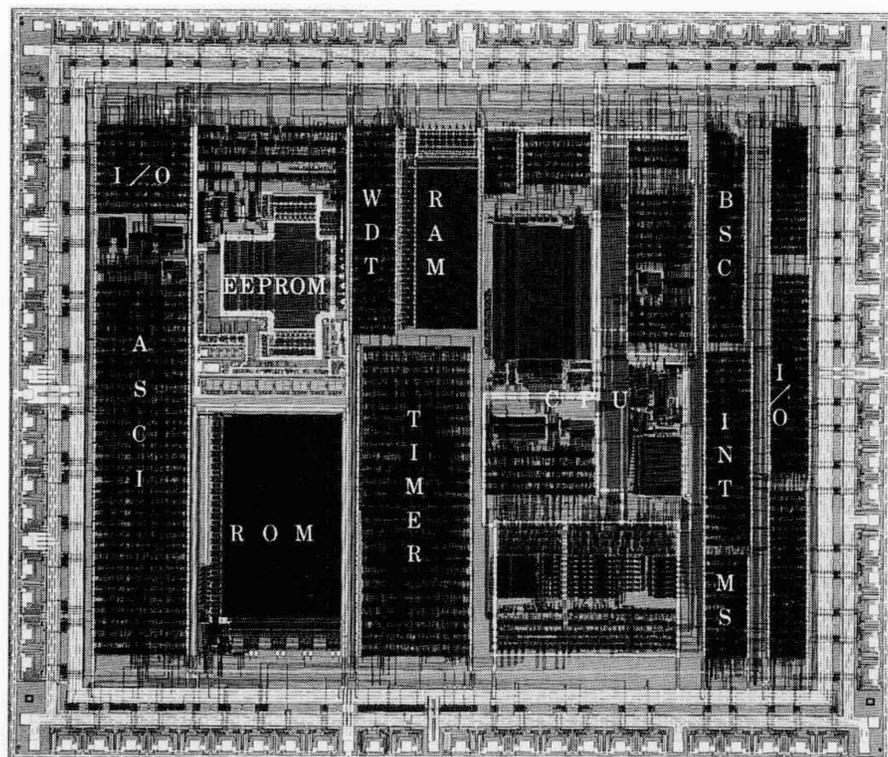
論理検証後レイアウト設計を行うが、レイアウト結果から実配線の負荷容量を抽出し、これを論理記述(ネット)に戻し、実負荷シミュレーションで最終確認を行う。これに続いて日立製作所内部では、全体結合シミュレーション、ユーザーモジュール用テストパターン、および日立製作所が用意しているモジュール単体テストパターンをマージして製品ごとのテストパターンを生成し、テスト支援を行う。

実際に設計・製品化された例を図11に示す。

## 5 結 言

以上、CMOS1.3 $\mu$ mプロセス技術、SBP設計方式を用いた高速・高集積CMOSセルベースIC「HG52シリーズ」の製品概要、SBP設計方式、顧客インタフェースを中心に述べた。

ゲートアレーの開発環境で、CPU搭載形セルベースICの設計が可能になったが、まだ大形計算機による論理設計検証作業が必要な状況であるが、よりユーザーに近い環境で開発が終わるよう、EWSへのモジュールの移植が今後の課題である。また、当然のことながらCPUコアおよび周辺機能のモジュールのラインアップのブラッシュアップが常に課題であると考えている。



注：チップサイズ(9.0 mm×7.7 mm)

図11 CPU搭載形セルベースICの設計例 RAM256バイト, ROM16kバイト, EEPROM256バイトを使用し, QEP100ピンに搭載してカスタムユーザーに量産納入中である。

#### 参考文献

- 1) 富永：ASICデザインハンドブック，サイエンスフォーラム(平1-5)
- 2) 富永：ASICの具体例，電子通信学会論文誌C，107，12，1094～1100(昭62-12)
- 3) 大規模ASIC時代，チップ上にシステムを構築，日経エレクトロニクス，No.442，116～142(昭63-3-7)
- 4) 江口，外：ASICを支援する設計自動化システム，日立評論，71，12，1213～1218(平1-12)
- 5) 戸井田，外：CMOS1.0 $\mu$ mゲートアレー「HG62Eシリーズ」，日立評論，69，7，673～676(昭62-7)