

アナログASIC設計技術

Design Technology for the Analog ASIC

民生、通信、OAなどあらゆる分野でLSIの大規模化、アナログ・デジタル混在化が進み、同時に製品寿命の短期化から、大規模LSIを短期で開発できるASIC(Application Specific IC)技術が必要となっている。これらの要求にこたえるため、アナログおよびアナログ・デジタルLSIのシステム設計からレイアウトまで統合的に対応できる高効率ASIC設計システムを開発した。本システムは、回路システム設計のための機能レベルシミュレータ、高速回路シミュレータ、回路・レイアウト設計のためのライブラリおよびそれを適用したブロック設計手法を主体としている。本ASIC技術および設計システムを、VTR用LSIなどの設計に適用した結果、従来手法に比べ1.5倍以上の高効率設計を実現できた。

麻殖生健二* *Kenji Maio*
渡辺俊典** *Toshinori Watanabe*
宮本俊介*** *Shunsuke Miyamoto*
岡部隆博**** *Takahiro Okabe*

1 緒言

システムLSIの最近の顕著な傾向は、大規模化、アナログ・デジタル混在化および製品寿命の短期化である。例えば、規模的には4,000リニア素子+4,000ゲートから成る民生用アナログ・デジタルLSIが実現している¹⁾。また、VTR用LSIなどでは、その製品寿命は1~1.5年である。これらのニーズに対応するために、高効率のCADツールや回路ライブラリを駆使したアナログおよびアナログ・デジタルASIC(Application Specific IC)技術が必要となってきている。

アナログおよびアナログ・デジタルASICを大別すると、
(1) アナログマスタスライス：多品種・少量向き
(2) ブロックセルベースIC：量産向き、アナログ主体
(3) マクロセルベースIC：量産向き、デジタル主体
に分類できる。このうちブロックセルベースICは、数十~数百素子から成るアナログ回路ブロックを1セルとしてそれを組み合わせる方法であり、大部分のアナログカスタムバイポーラLSIが対象となる。また、マクロセルベースICは、オーディオやテレビジョンなどのデジタル信号処理化に伴い、信号処理セルやA-D変換器・D-A変換器などのマクロセルを利用したCMOS LSIが対象となる。日立製作所では後の二つを開発しているが、本論では特にニーズの多いブロックセルベースの高効率ASIC設計技術および設計システム²⁾について述べる。また、そこではアナログ主体であるが、部分的にデジタルを含む回路もアナログASICのカテゴリーに含めて記述する。

開発したASIC設計システムは、LSIのシステム設計からレ

イアウトまで、統合的に対応できるシステムであり、システム設計のための機能レベルシミュレータ、回路設計・レイアウトのための回路ライブラリ・レイアウトライブラリ、それらを計算機端末上で設計できるブロック設計システムおよび検証のための高速回路シミュレータや接続チェックプログラムから成る。本論では、これら設計システムおよび本システムによる設計例について述べる。

2 アナログASIC設計手順と設計ツール

アナログLSIの設計手順と設計支援ツールを図1に示す。設計は大別してシステム設計、回路設計およびその検証、レイアウトとその接続検証から成る。

従来、システム設計では十分な検証ツールがなかったため、システム設計が不完全な状態で詳細回路設計に移行していた。この結果、回路設計後の検証でシステム仕様を満足できなくなり、再度、システム設計をやり直すことになり、多大な時間を浪費することが少なくなかった。この解決のため、本システムでは、機能レベルシミュレータ³⁾を開発し、適用した。これはシステム仕様に従って、システムを機能ブロックに分割した段階で、各機能ブロックを伝達関数あるいは数式表現などで機能表現を行い、シミュレーションするものである。本シミュレーションはPLL(Phase Locked Loop)回路などの複雑な系でも数秒~数十秒の演算時間で解析できるため、パラメータを順次変更することにより、システム仕様を満たし

* 日立製作所 半導体設計開発センタ ** 日立製作所 システム開発研究所 工学博士 *** 日立製作所 中央研究所
**** 日立製作所 半導体設計開発センタ 工学博士

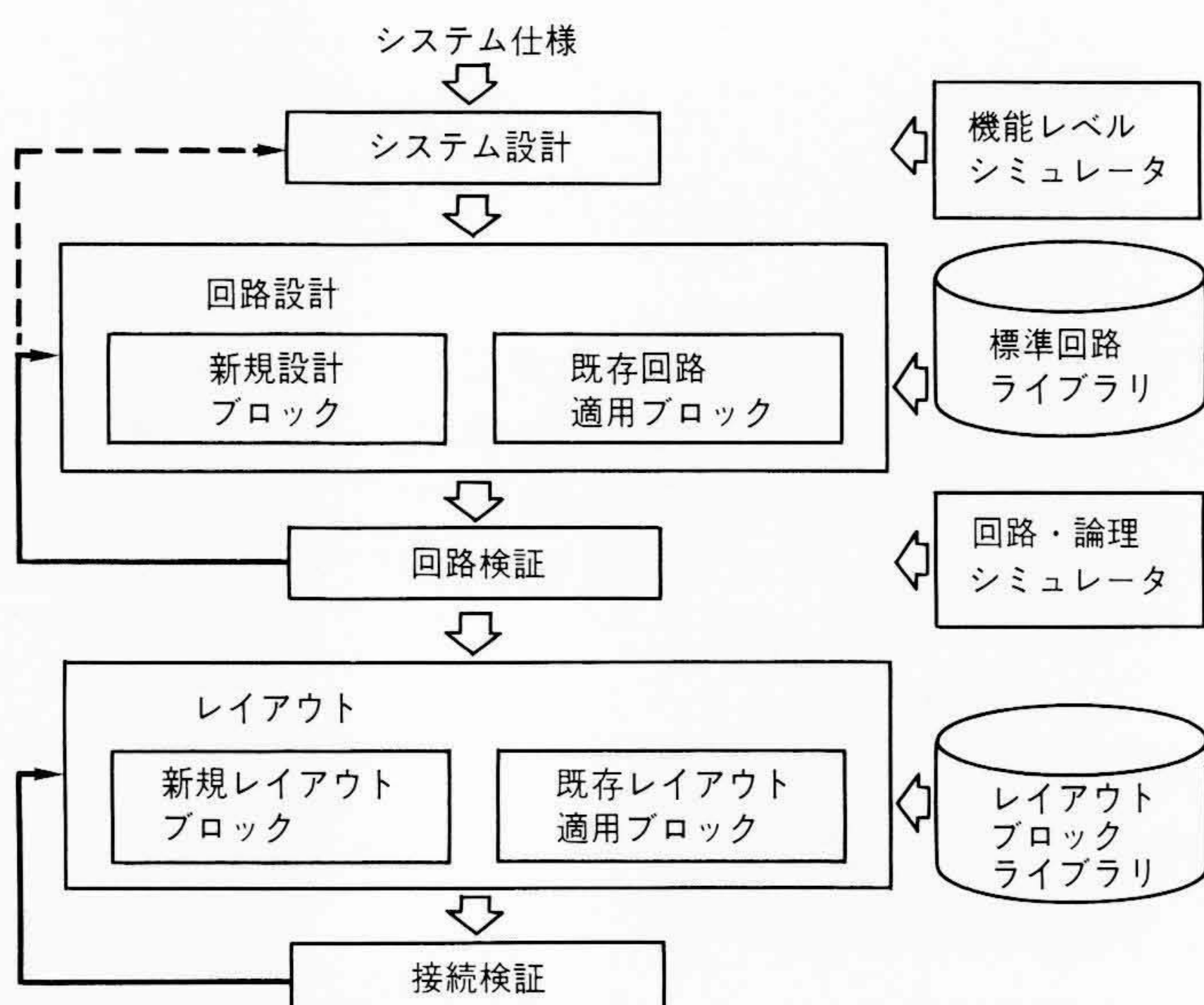


図1 アナログLSIの設計手順および設計支援ツール 本設計支援システムはシステム設計からレイアウトまで統合的に対応できるシステムである。

ながら各ブロックの最適仕様を求めることができる。この結果、従来のように回路設計後にシステム設計をやり直す時間が節減された。

次に、これら機能ブロックに対応する回路が回路ライブラリから検索され、仕様に従って小修正を加えて大形計算機のマスタファイルに登録される。また、対応するライブラリのない回路ブロックは、別途人手により新規設計がなされ、上記マスタファイルに登録される。これら回路ブロックはマスタファイル上で全体回路に組み立てられたのち高速回路シミュレータによって検証される。

次いで、レイアウトに移行する。レイアウトも回路設計と同様、レイアウトライブラリから読み出したレイアウトブロックと組み合わせ、システムチップを完成させる。ここでライブラリにないブロックは、対話形レイアウト手法により、個別にレイアウトされる。

このように、新しく構築したアナログASIC設計手法はデジタルASICでのセルベースICに類似した手法であるが、実際には後述のようにアナログ特有の種々の制約事項を考慮した設計法となっている。

3 機能シミュレータと応用例

3.1 機能シミュレータ

機能シミュレータとして高速で、かつ大形計算機による統合システムに適合したDDSL(Digital Dynamic Simulation Language)⁴⁾を使用した。DDSLは制御システムなどの連続系シミュレーション言語として古くから使用されてきた言語である。ここでは、これをアナログASICに適用するための回路モデリング技術を開発した³⁾。回路モデルとしては伝達関数で表示できる線形要素モデル、リミッタやスイッチなどの非線

形要素モデルのほか、電圧・位相・周波数などを入出力信号とする機能モデルなどを装備した。これにより、従来困難であった機能レベルシミュレーションが可能となった。このことをPLL回路設計を例に検証する。

3.2 PLL回路の設計

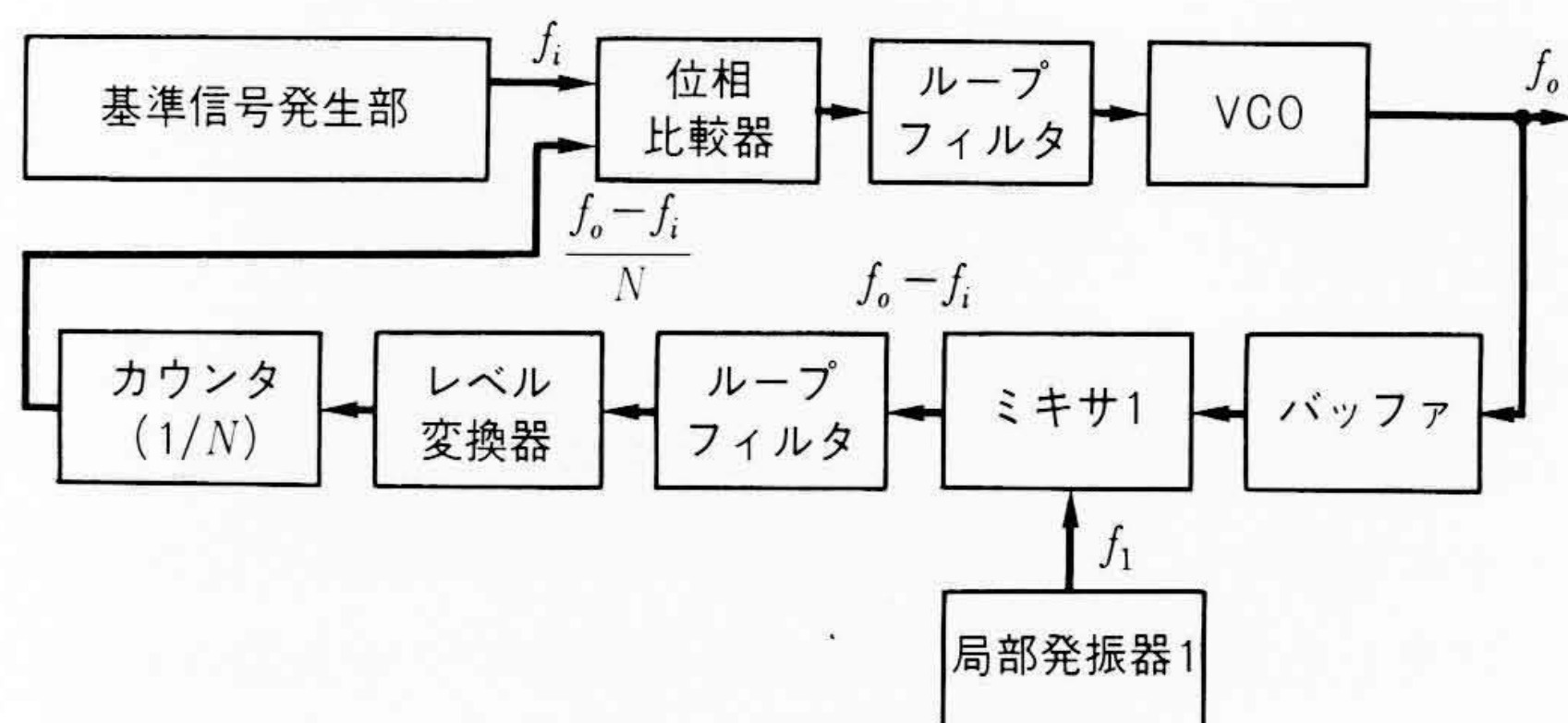
PLL回路は一種の周波数帰還回路であり、閉回路中にVCO(電圧制御形発振回路)の出力周波数が、常に入力信号周波数に対応するように動作する回路である。回路ブロック図を図2に示す。各ブロックの入出力信号は、電圧や電流などの電気信号だけでなく周波数や位相を含む。さらに、PLLは高周波信号と長時定数のループフィルタを持ち、かつフィードバック系を形成した複雑な回路である。従来の回路シミュレータ(SPICE: Simulation Program for IC Emphasisなど)を使ったシミュレーションの場合、一つの過渡解を得るのに大形計算機で数時間～数十時間を要し実用的ではない。これに対し、DDSLでは回路ブロックを図3のように伝達関数によって機能表現を行う。位相は周波数の積分で得られるため、入力周波数 f_i とフィードバック周波数 f_o/N の位相比較はそれぞれの周波数を積分($\frac{1}{s}$)したのち比較される。また、ループフィルタ $F(s)$ は $a + \frac{1}{s}$ で表現できる。ただし、 a は定数、 s は演算子である。VCOの伝達関数は入力電圧と出力周波数が比例関係にあるため、定数 K で表現できる。このシミュレーションに要した時間は10秒以下であった。

4 回路設計および回路ライブラリ

アナログASICでの高効率回路設計の鍵(かぎ)はセルライブラリをいかに充実するかにある。アナログ回路では、例えばVTR用と産業用では、プロセス、電源電圧、精度、周波数帯域などあらゆる面で異なる。これらに対応するため、セルライブラリとして次のように種々の形式に分類・階層化し、検索を容易化した。

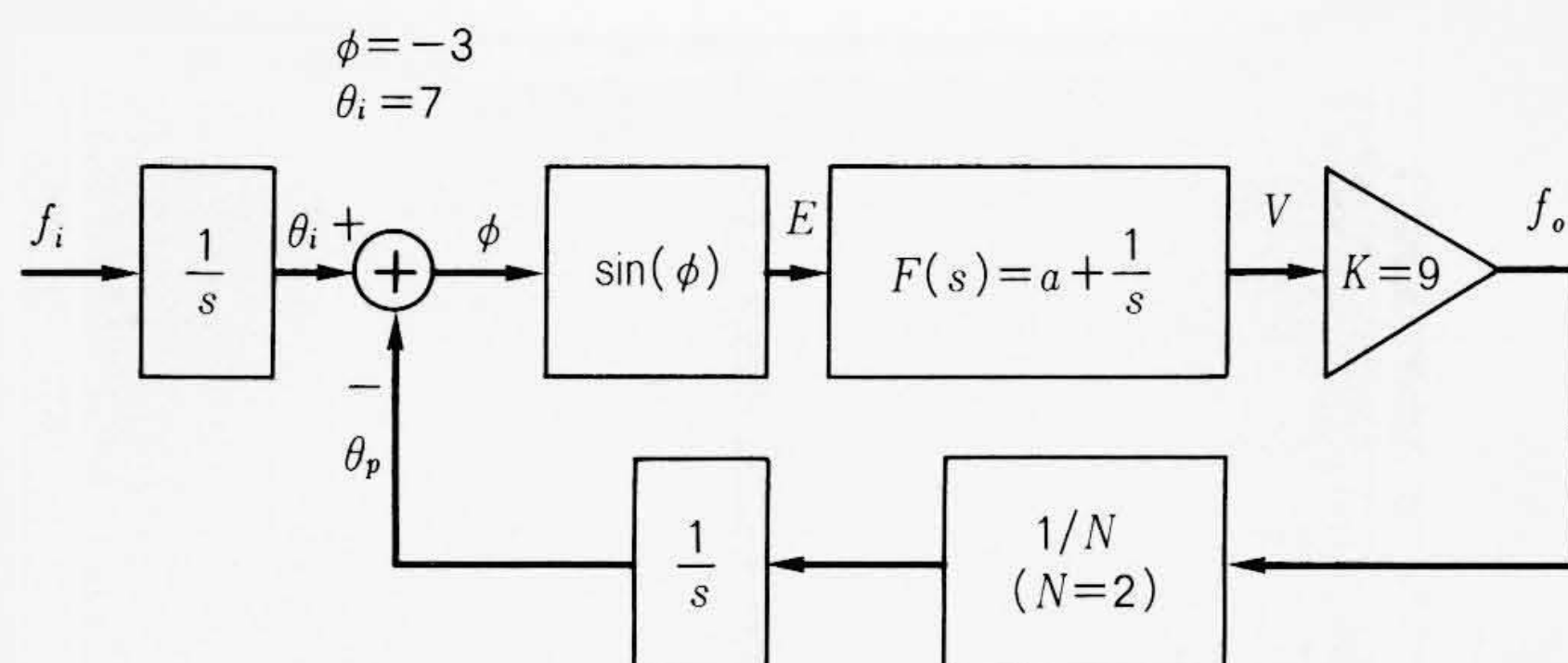
(1) ライブラリの分類・階層化

- (a) 分野別(オーディオ用、VTR用、テレビジョン用など)
- (b) 機能別(アンプ、コンパレータ、基準電源など)



注: 略語説明 VCO (Voltage Controlled Oscillator)

図2 PLL回路のブロック構成 PLL(Phase Locked Loop)は高周波信号(f_i , f_o)と長時定数のループフィルタを含んだフィードバック系のため、従来の回路シミュレータでは解析困難である。



ここで、 ϕ :位相差、 θ_i :入力信号位相、 f_i :入力信号の周波数(Hz)
 s :演算子、 E :位相比較器出力、 F :ループフィルタの伝達関数
 a :定数、 K :帰還回路のループ利得、 θ_p :帰還信号位相
 N :分周数

図3 PLL回路の機能モデル 機能ブロックのモデル化の例である。

- (c) プロセス別(5 μ mバイポーラ, 3 μ mバイポーラなど)
- (d) その他

各アナログブロックは、A-D変換器などを除き数十～数百素子の比較的小規模な回路で構成されている。もちろん、各ブロックはそれぞれ特有のアナログ仕様を満足するだけでなく、ASIC向きに各ブロックの独立性を持たせるために、原則的に、

- (a) 高インピーダンス入力
- (b) 低インピーダンス出力
- (c) バイアス回路内蔵

となっている。

ライブラリにないブロックは新規に設計され、シミュレーションあるいは試作によって検証したのち使用される。これらブロックは大形計算機端末上で組み立てられ、全体回路が完成する。

全体回路は高速回路シミュレータで検証される。特にデジタルを含んだ回路は、論理回路をマクロモデル⁵⁾で表現することによって回路シミュレータ上で検証される。

5 レイアウト

レイアウトは、まず回路ブロックに対応するレイアウトブロックを生成したのち、これらブロックの配置およびブロック間配線を行うブロックレイアウト手法をとっている。各レイアウトブロックは再利用が可能なように、また新規ブロックは旧ブロックとの整合がとれるように、次のガイドラインに従って標準化されている。

(1) ブロック形状

むだ空間をなくすため、ブロック高さを一定とし、幅を回路規模に応じて可変する方法をとっている。ここでブロック高さは、図4に示すように標準的な差動回路を基に決定している。差動ブロックの高さは負荷抵抗長 l_1 、差動トランジスタ長 l_2 、定電流トランジスタ長 l_3 、抵抗長 l_4 の和である。負荷抵抗は通常比較的高く、数十キロオーム程度に達する。このような高抵抗に対応するためと負荷部分にトランジスタを使っ

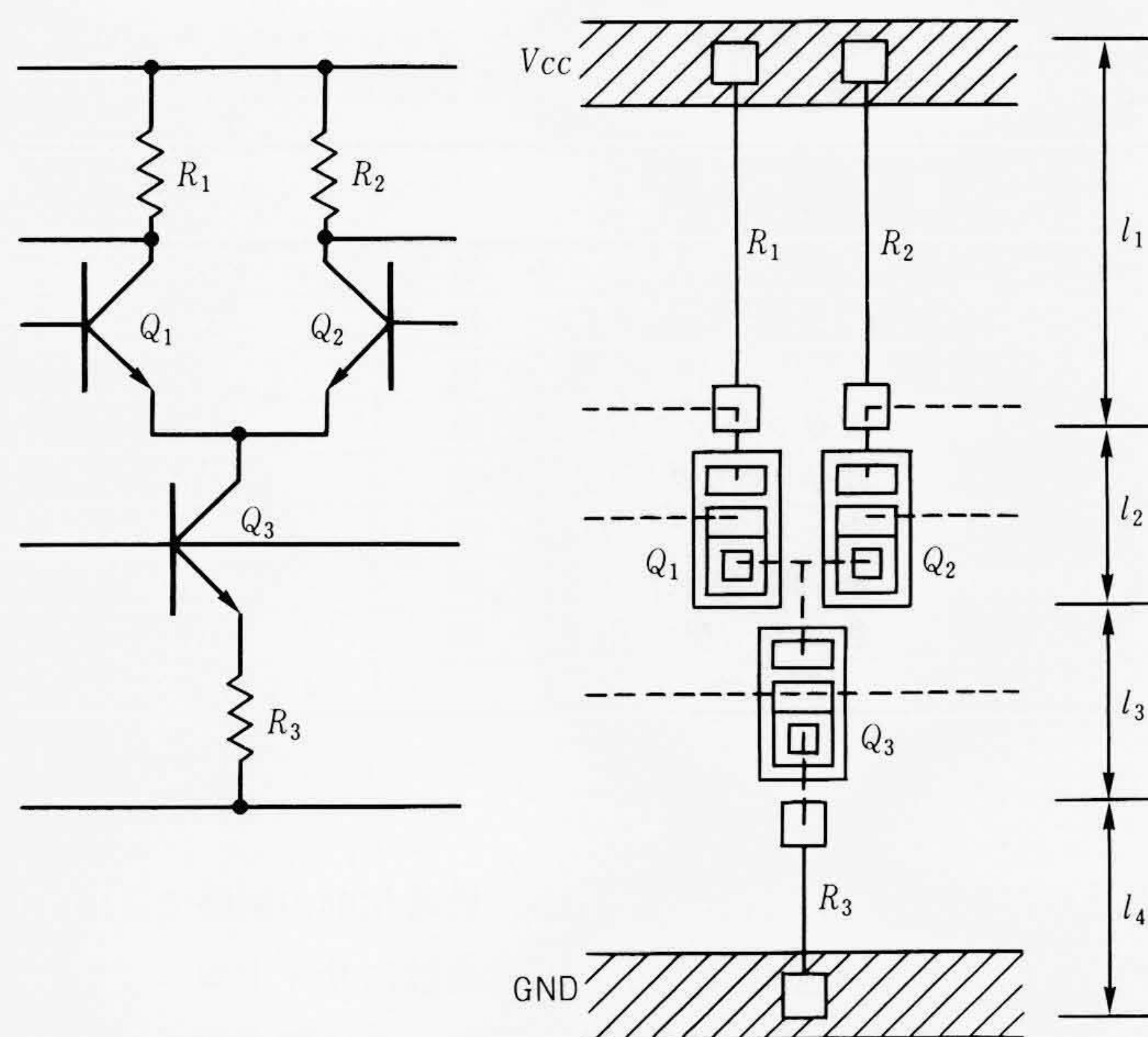


図4 標準の高さを持ったレイアウト例 レイアウトの高効率化を図るために、ブロック高さを標準化したレイアウト例である。

たカスコード回路に対応するため、 $l_1 \gg l_2, l_3$ とした。例えば、日立製作所の標準バイポーラプロセスでは、 $l_1 = 180 \mu\text{m}$ 、 $l_2 = 60 \mu\text{m}$ 、 $l_3 = 100 \mu\text{m}$ であり、ブロック高さは約400 μm とした。

(2) 配線

各ブロックに供給される電源およびグランド配線は、それぞれ各ブロックの上端および下端に固定した。また信号配線は、原則的にX方向を1層目配線、Y方向を2層目配線とした。さらに、配線密度を上げるために密接トランジスタ間に2本の配線を可能とした。

(3) レイアウト制約

差動回路のオフセット電圧低減など、アナログ特性を満足するために種々のレイアウト制約がある。特にアナログ的な精度を確保するため、差動トランジスタや相対精度を必要とする抵抗列の近接、同方向配置はその典型例である。レイアウトブロックは、これら制約事項を考慮した配置、配線がなされ、アナログ特性を満足するものが使用に供される。

6 アナログASIC設計例

VTR用アナログ信号処理LSIを本ASIC技術によって実現した。本LSIは表1に示すように、アナログ主体のアナログ・デジタル混在LSIであり、小ブロックセルベースのASICである。

(1) システム設計

システム設計で特に設計困難なPLLを機能シミュレータ(DDSL)を使って最適化した。図5に示すように、本PLLは標準的なPLL(図2参照)に比べ、二重のフィードバックループを持った複雑な系になっており、従来の回路シミュレータでは実用時間(数十時間)以内での求解はできない。DDSLではこ

表1 VTR用LSIの主要特性 本LSIは、アナログ主体のアナログ・デジタル混在LSIであり、本ASIC技術を使って設計したLSI例である。

項 目		特 性
素 子 数	リニア素子数	3,800
	IILゲート数	840
ブロック数	新規設計ブロック数	22
	既存ブロック(無修正)数	1
	既存ブロック(一部修正)数	24
電 気 的 特 性	電 源 電 圧	5 V
	最 高 動 作 周 波 数	10 MHz
	最 大 信 号 振 幅	2 Vpp
チ ッ プ サ イ ズ		4.7 mm×6 mm

れを数分でシミュレーションできる。最適化前の回路ではVCOの出力周波数が希望値よりずれた周波数にサイドロックするが、同図の1/2分周ブロックを修正ブロックに置き換えることにより、サイドロックを発生しない安定な系を設計できた。また、この結果は実例結果と一致した。

(2) 回路設計およびレイアウト

本LSIは47ブロックから成り、うち25ブロックは既存ライブラリの小修正または無修正で使用できた。

(3) 試作LSI

試作LSIのチップ写真を図6に示す。デジタル(IIL: Inte-

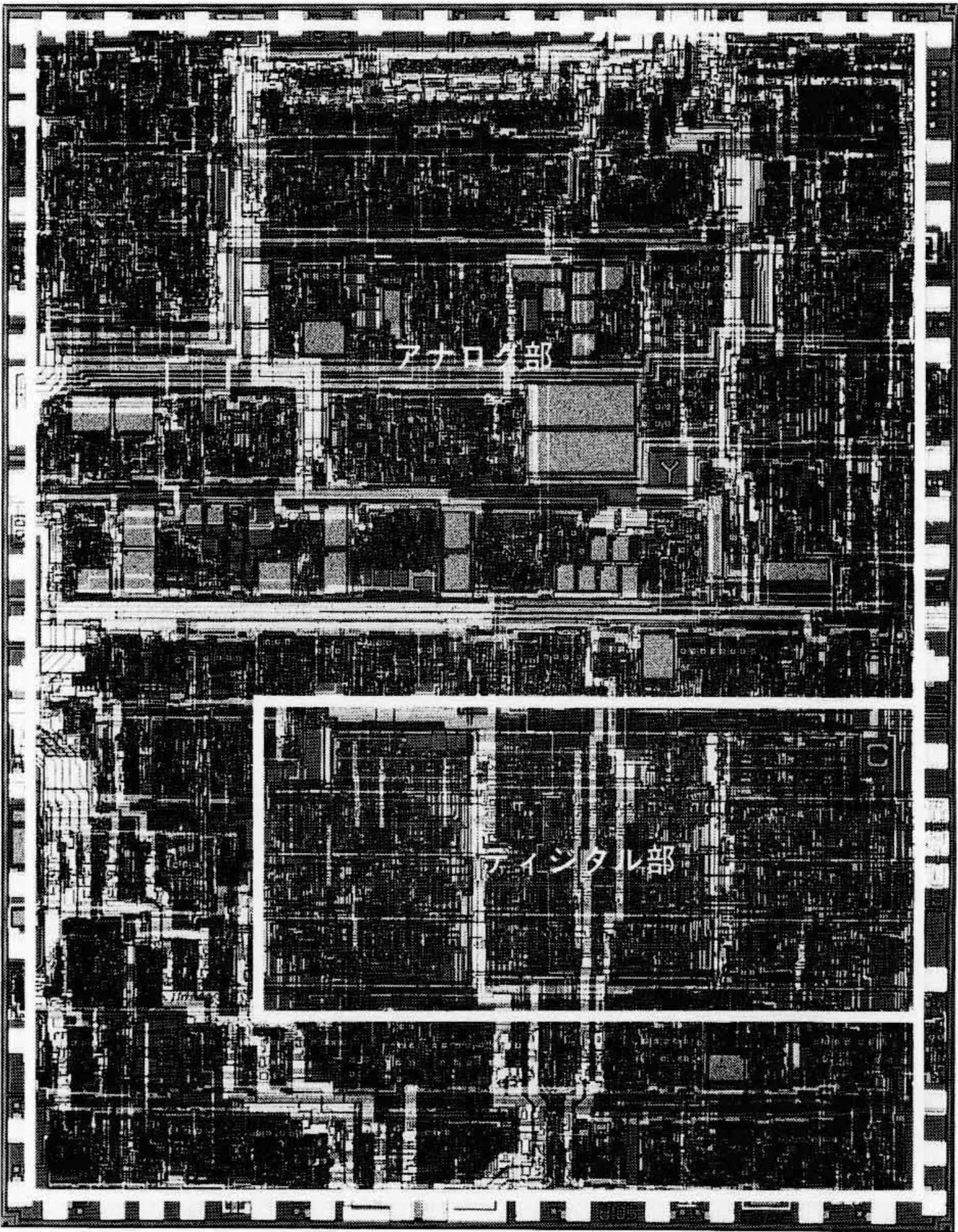


図6 VTR用アナログ・デジタルLSIチップ アナログ部の各ブロックの高さが標準化されているようすを示すチップ例である。

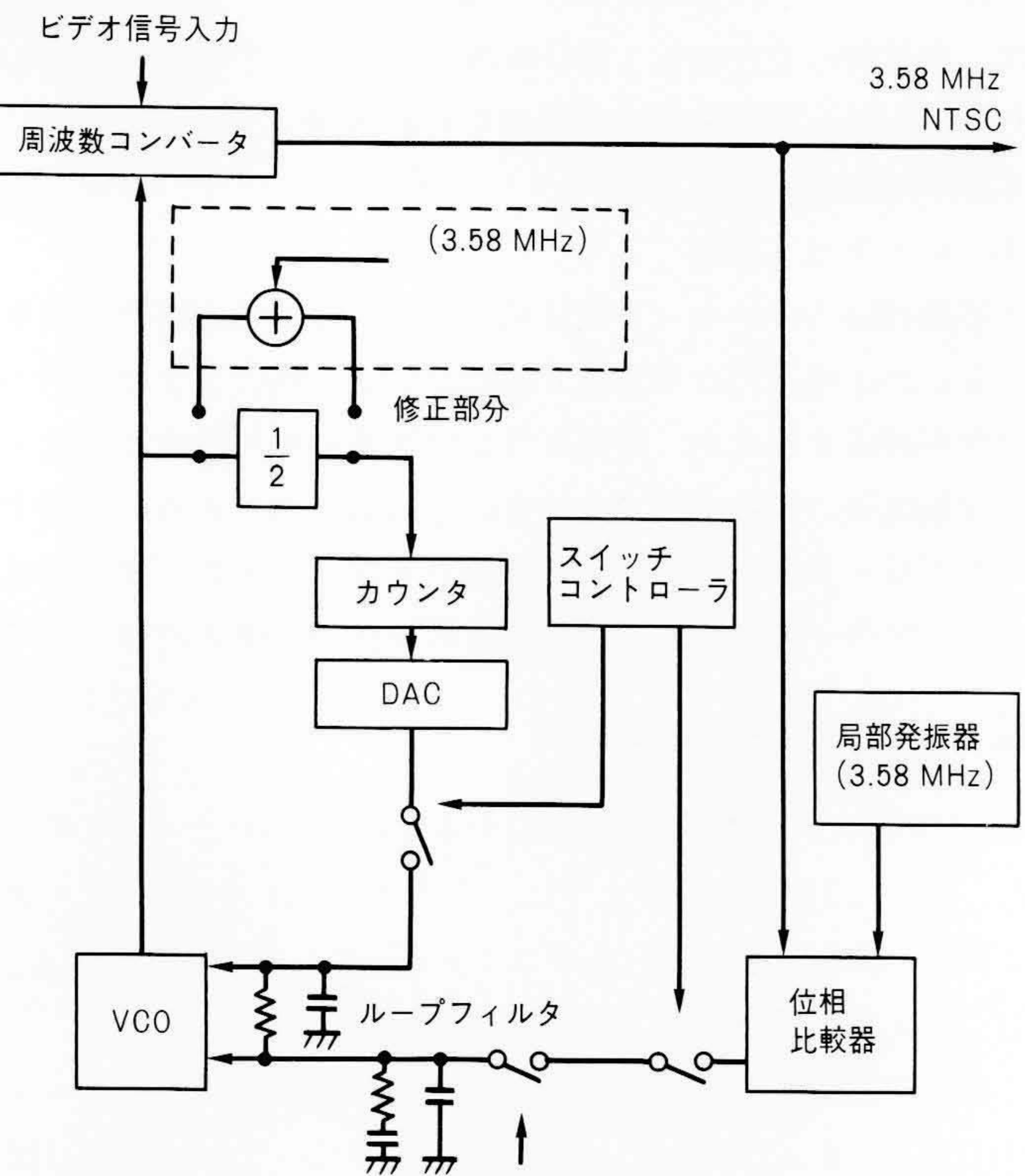
grated Injection Logic)部分を除くアナログ部分は、一定高さのブロックセルから構成されているのがわかる。

7 結 言

機能シミュレータ、高速回路シミュレータ、回路・レイアウトライブラリおよびそれを応用したブロック設計手法を主体とするアナログASIC設計技術ならびに設計システムを開発した。このシステムの適用により、アナログLSIの回路設計効率は、適用可能なセルライブラリの準備状況に依存するが、1.3~1.7倍に、またレイアウト効率は1.7~2倍にでき、全体的には約1.5倍にできた。今後さらにライブラリの充実、アナログレイアウトの自動化などを図ることにより、2倍程度に引き上げられる見通しが得られた。

参考文献

- 1) Y. Okada, et al.: A Mixed Analog/Digital Video Signal Processing LSI with on-Chip AD and DA Converter, Proc. of IEEE 1989 CICC, 24.1(平1-5)
- 2) K. Maio, et al.: A Highly Efficient Design System for Mixed Analog/Digital LSIs, ESSCIRC '89(1989-9)
- 3) 林: 連続系シミュレーション言語のASIC設計支援への応用, 電気学会論文誌C, 108, 5, 325~332(昭63-5)
- 4) 三巻: ダイナミックシステムのデジタルシミュレーション, 計測と制御, 7, 4, 256~268(昭42-4)
- 5) 新美, 外: 回路シミュレーション用IILマクロモデルについての一考察, 電子情報通信学会研究会, SDM-107, 41~45(平1)



注: 略語説明 NTSC (National Television System Committee) DAC (DA Converter)

図5 二重フィードバックを持ったPLL回路 VTR用LSIに使われているPLL回路である。