

ASICにおける品質・信頼性

Quality and Reliability of ASIC(Application Specific Integrated Circuit)

システム機器のLSI化が進み、LSIの品質・信頼性そのものが、システムの信頼性に与える影響がますます大きくなってきている。また、システムの特徴を出すうえでも、汎(はん)用デバイスと一味違った機能を求められるケースが多くなってきており、ASIC(Application Specific IC)がクローズアップされてくる。日立製作所では、設計ルール、製造プロセス、パッケージングの標準化を図り、テスト素子やデザインレビューを十分に活用して、高信頼性のASICを短期間で実現できるようにした。

一例として、現在量産しているHG62Eシリーズ ゲートアレーに関して、種々の加速信頼度試験を実施し結果も示した。実使用状態で、35 Fitの推定故障率が求まっており、使用環境によってはさらに低故障率も期待できる。

西前仁也* *Itsuya Nishimae*
石井重雄* *Shigeo Ishii*
小西秀明* *Hideaki Konishi*
牧野敏郎** *Toshirō Makino*
中西章弘** *Akihiro Nakanishi*

1 緒 言

近年、システム機器のLSI化がますます進むなかで、使用されるLSIの性能・信頼性がシステムの性能を直接決定する度合いがますます増してきている。短期間に開発するニーズも含め、システムニーズに合ったLSIを短期間に高信頼に実現できることが至上要求となってきた。

従来の汎(はん)用マイクロコンピュータ(以下、マイコンと略す。)LSI、ゲートアレー、TTL(Transistor Transistor Logic)などの論理ICにメモリやリニアICの組み合わせでシステムの機能を実現する方法では、システムの特徴、他との差が出しにくい点がある。これに対して、強力な設計ツールによって短時間で大規模なモジュールを作りあげていく方法や、あらかじめ汎用性の高いモジュールをライブラリとして準備していく方法などがある。日立製作所では、シリコン バックプレーン、バスの標準化、モジュール化設計、テストングの標準化、パッケージングの標準化、その他集積度を向上させる微細プロセスの開発と標準化なども含め、種々の技術開発を推進している。さらに、顧客インタフェースの確立なども含め、顧客システムの信頼性確立も容易なASICを目指して、製品のシリーズ化を図ってきている。ここでは特に品質・信頼性の面から紹介する。

2 サブミクロンASICの信頼性

2.1 ASICの信頼性設計

高品質・高信頼度のASIC(Application Specific IC)製品を設計するために、LSIのプロセスおよびパッケージの開発段階

から信頼性設計を行い、設計の標準化を図っている。また、サブミクロンASIC製品開発の各段階で事前に信頼性の問題点を洗い出し、対策を立てるためにデザインレビューを実施している。

デザインレビューではプロセス・設計・パッケージングの開発過程で提案される検討項目だけでなく、製造・品質・信頼性・検査面からも、過去の不良事例に基づいた指摘の検討がなされる。指摘された品質・信頼性の問題点は記録に残し、フォローアップする。

検討および指摘項目はシミュレーションおよびTEG(Test Element Group)を試作し、検証する。サブミクロンプロセス設計段階では、ICを構成する各素子や配線の特性だけでなく信頼性のレベルおよび限界を明らかにして、プロセスや設計の改善を行っている。また、TEGは製造プロセスの管理に欠かせないものであり、製品開発後もプロセスや装置条件などの工程管理に使用する。

高集積のASIC製品の信頼性を達成するために、設計・製造・評価の各開発段階で標準化と自動化を図っている。回路設計では標準化により、高品質・高機能の論理や機能設計を容易に行うことができる。レイアウトやマスクパターン設計ではルール化と自動化を行っている。またプロセスの標準化によってばらつきの少ない正確で安定なプロセスを維持し、高品質・高信頼性を確保できるようにしている。品質・信頼性の評価では開発段階から目標を設定し、厳しいルールを定めて信頼性の確認を行っている(表1)。

* 日立製作所 武蔵工場 ** 日立マイクロコンピュータエンジニアリング株式会社

表1 サブミクロンASICの信頼性と標準化 高集積ASIC(Application Specific IC)製品の高信頼性を達成するため、設計・製造プロセス・品質評価の各段階で標準化を図っている。

工 程	開発・設計の標準化	標準化・ルール化された項目例
設 計	回路設計	回路設計・ゲート数・入出力回路および回路定数，セル・機能モジュール，検証システム
	素子設計とレイアウトルール	素子間の分離方法，各種拡散層の面積・間隔，電極・Al配線の幅・間隔，配線層間コンタクトの大きさ，入出力の位置，ボンディングパッド位置，レイアウトルール・マスクパターン設計ルール
	プロセスフローと断面構造	シリコン基板の結晶軸，酸化膜材料・形成方法，ゲート電極材料・形成方法，不純物の拡散方法・多層配線の層間膜材料・形成方法，Al配線材料・形成方法，ホトレジ・エッチングの精度・加工方法，パッシベーション材料・形成方法，プロセスフロー・構造
	パッケージ設計	リードフレーム，パッケージの材料・ダイボンディング・ワイヤボンディングの材料，アッセンブルの方法・条件，パッケージの構造設計・熱設計・実装性，ピン数
	特性・テストング	セル・機能モジュール・入出力の検証システム，特性評価法，テストングフロー・テストング内容
製 造 プ ロ セ ス	製造条件	装置条件，作業条件・手順
	装置管理	使用装置の統一，保守・点検管理，製造装置・工程の自動化
	工程管理	温度・湿度，じんあいなどの環境のクリーン化，TEG(Test Element Group)によるコントロール，工程管理の方法・基準
品 質 評 価	品質管理	特性・機能・外観の評価，プロセス・チップ・パッケージの評価
	信頼度試験	信頼性目標水準の設定，新プロセス・設計および新パッケージのTEGやベースチップによる信頼性評価，試験項目・方法・条件・判定基準

ゲートアレー製品は、標準化された設計ルールに基づき設計されたベースチップと標準化されたプロセス，および標準パッケージで製造し，高信頼で安定・均一な品質が確保される。ゲートアレー製品の設計はベースチップと論理設計に基づいたAl配線が自動レイアウトされ，設計内容と比較検証できる。所望の機能を持つICを短期間で開発することが可能で，高信頼度の製品が提供できる。

2.2 サブミクロン化と信頼性

MOSIC(Metal Oxide Semiconductor IC)のプロセスの微細化は，1974年の8μmプロセスの時代から3年ないし4年ごとに微細化プロセスの開発を行い，現在は1.3μm，1.0μmプロセスのASIC製品の設計・量産を行っている。

ゲートアレーではHG62Eシリーズ，HG62Fシリーズがゲート長1.0μmのベースチップおよびAl2層プロセスで高信頼度を達成している。現在，さらに0.8μmプロセスで25万ゲート級の全面敷き詰め形のゲートアレーのベースチップの開発とAl3層配線プロセスによるHG62Sシリーズを開発し，受注を開始している(図1)。

これらのサブミクロンのゲートには，ホットエレクトロンによるVthの変動対策としてLDD(Lightly Doped Drain)構造のMOSを採用してVthの変動に対して従来のMOSよりも高信頼性を達成している(図2，3)。

2.3 サブミクロン多層配線の信頼性

ASIC製品は，その高機能・高性能化に伴いデバイスの微細化とともに配線の多層化が必要とされてくる。すでにHG62E

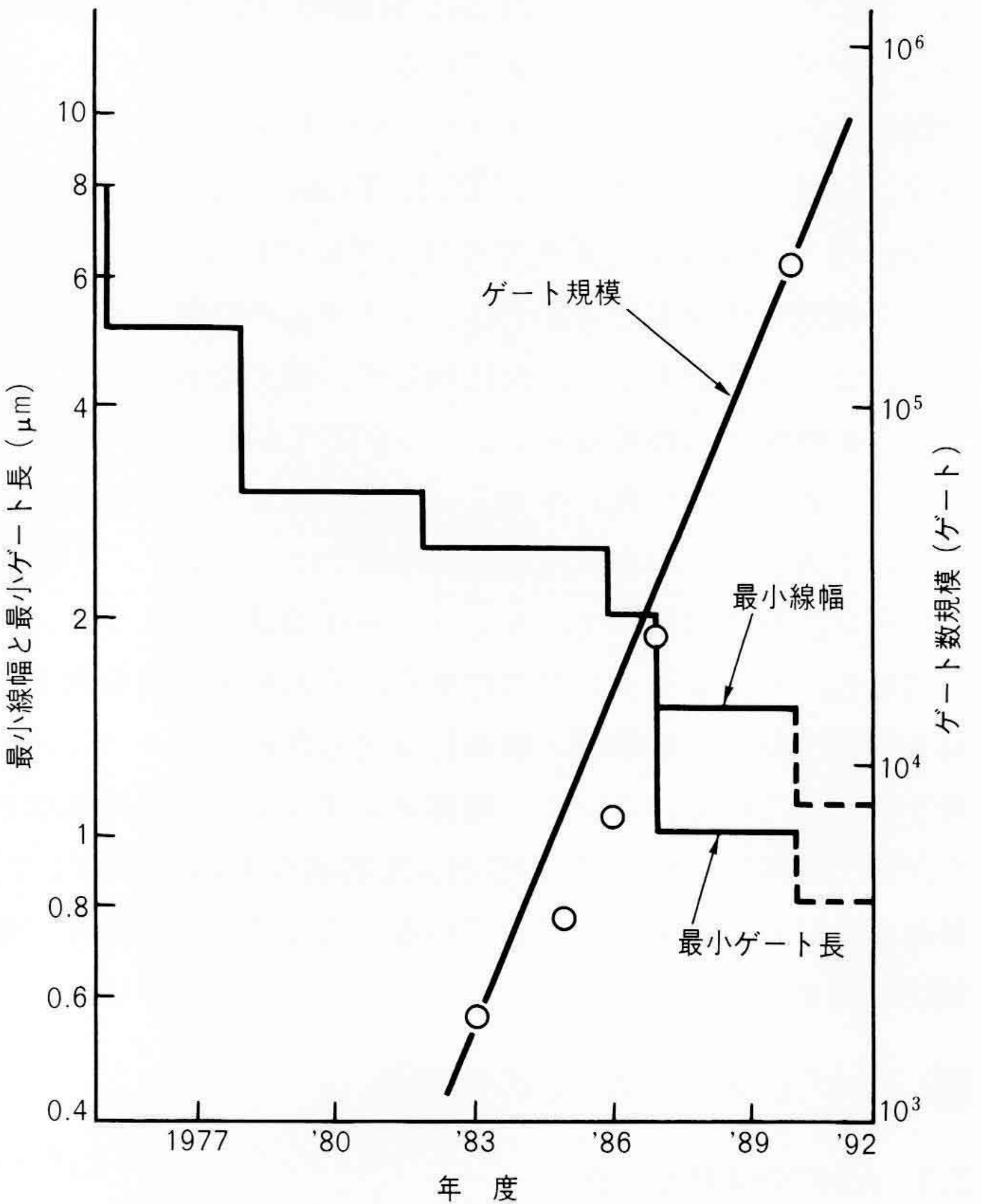
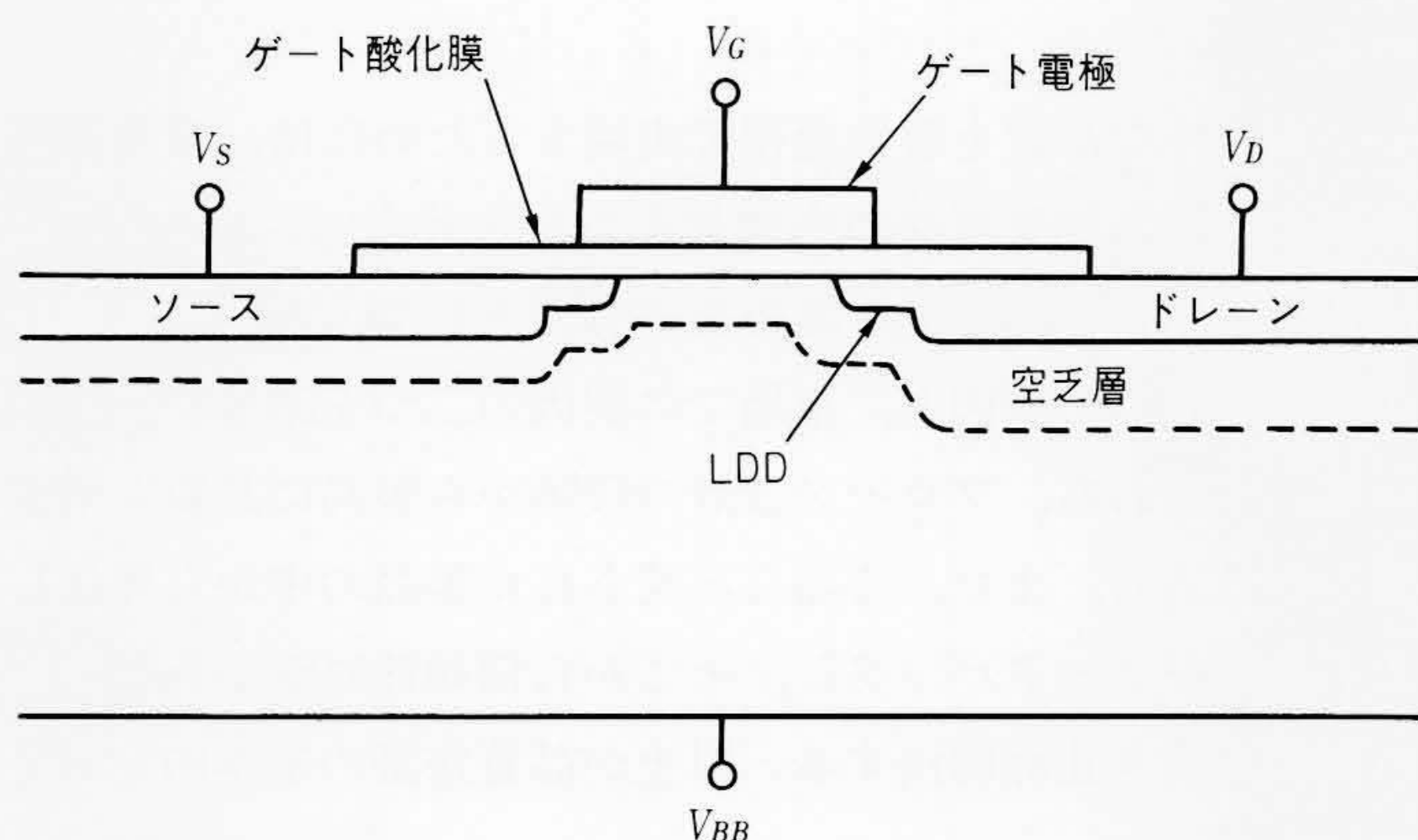
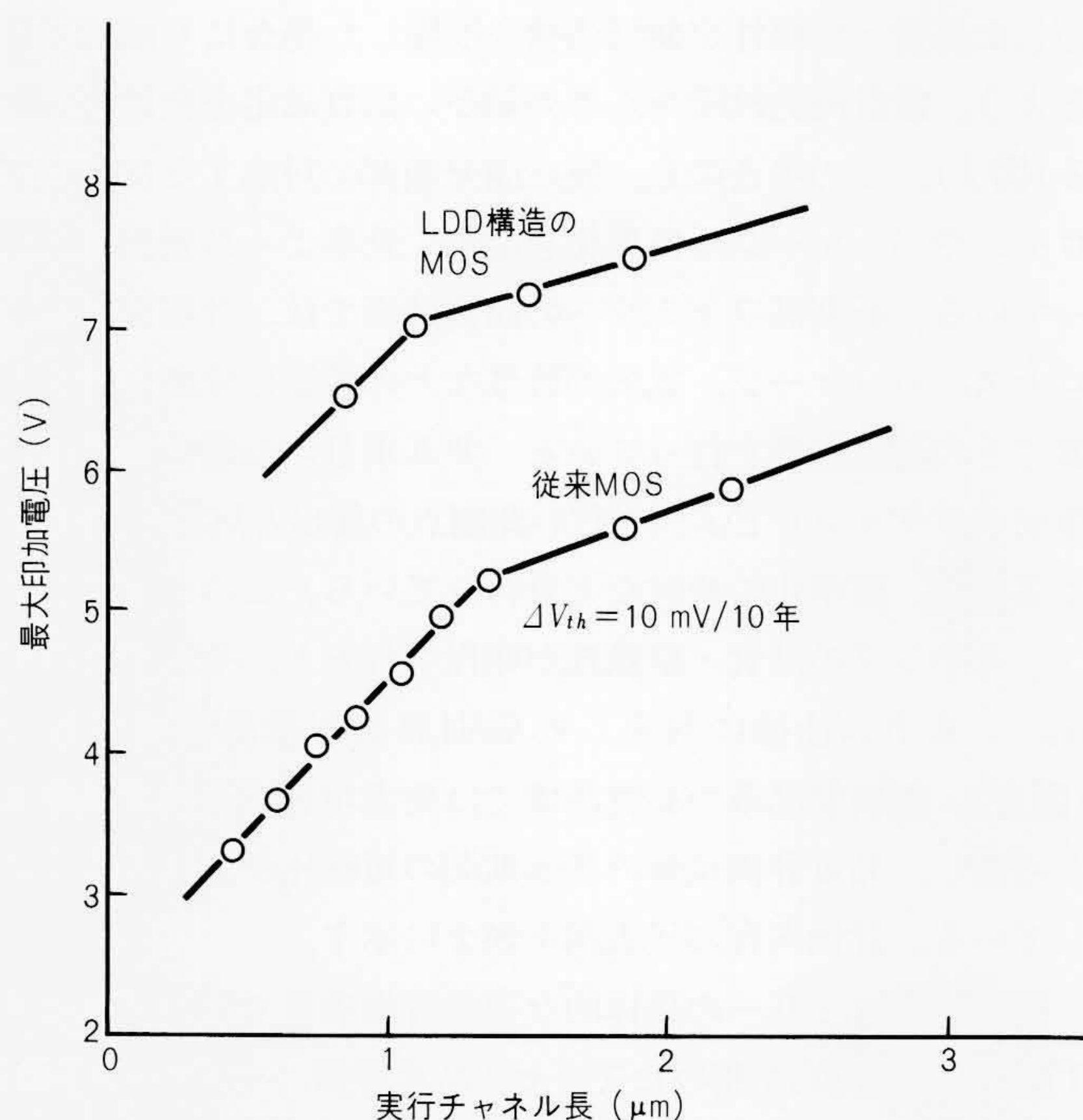


図1 ゲートアレーの規模と最小線幅・ゲート長の推移 ゲート数規模は10年で約10倍の高集積化が図られ，プロセスは3～4年ごとに微細化のステップが進み，サブミクロン時代に入った。



注：略語説明 LDD (Lightly Doped Drain)

図2 サブミクロンMOSトランジスタの断面図 LDD構造としてドレイン近傍の電界集中を避け、ソースドレイン電流の一部がホットエレクトロンとしてゲート酸化膜への注入による V_{th} 変動を防止している。



注：略語説明 MOS (Metal Oxide Semiconductor)

図3 ホットエレクトロン耐圧の高信頼度化 ホットエレクトロン耐性はチャネル長に依存するが、LDD構造により向上できる (V_{th} 変動が10年で10 mVになるゲートドレインとソースドレイン間電圧)。

シリーズではAl2層配線を導入しており、さらにHG62Sシリーズでは、配線レイアウトの自由度を増加させ高性能化するため、Al3層配線を行っている。

一方、従来以上に高電流密度が要求されるため(図4)、その配線材料自体の見直しも必要であり、新メタル構造の導入を予定している。これらの多層化および高電流密度化に対して、予想される信頼性上の問題点をいくつか挙げると次のようなものがある。多層化によるストレス増加のストレスマイ

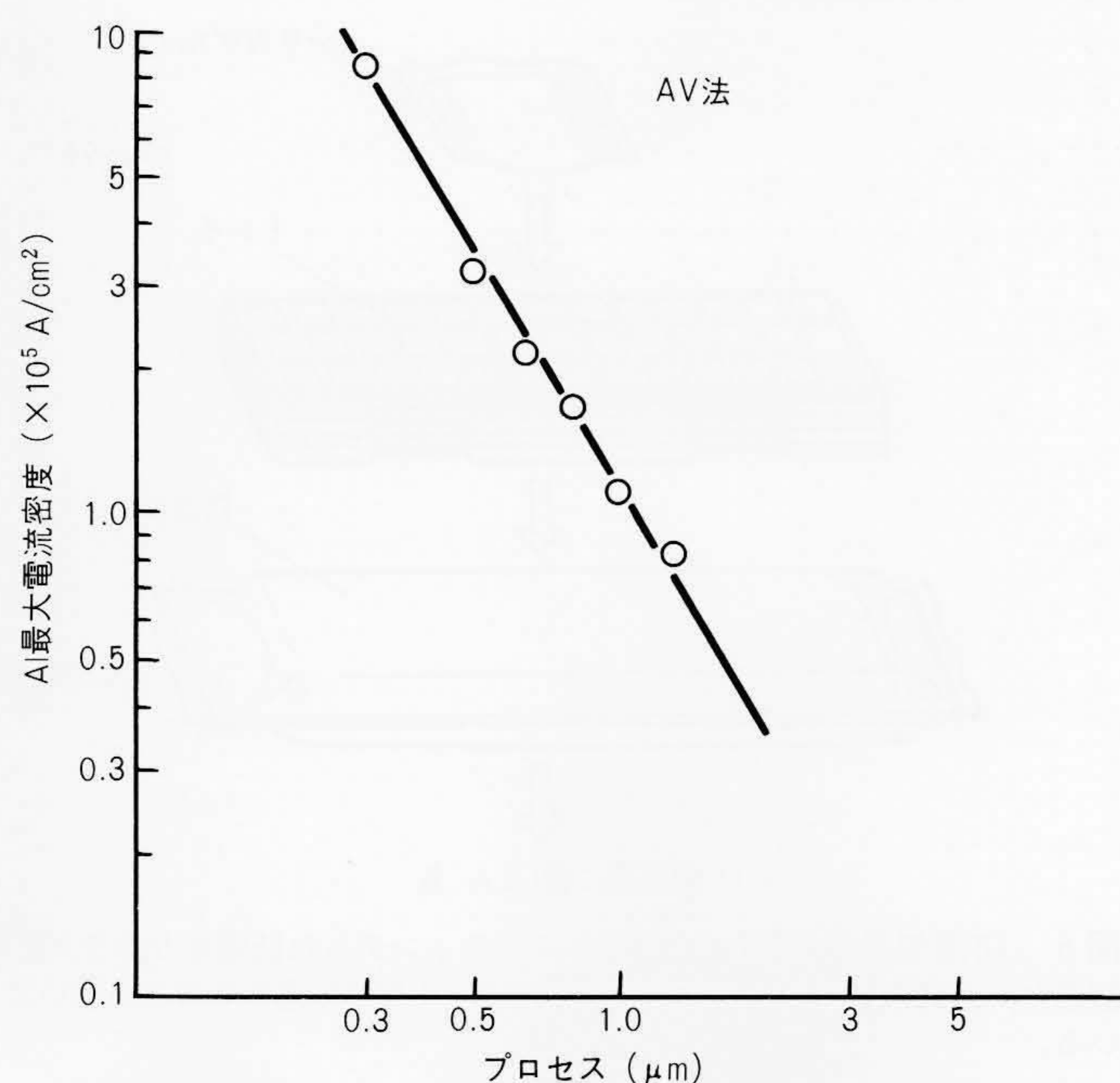


図4 最大電流密度のプロセストレンド プロセスの微細化によってAl配線幅は減少し、その結果、Al配線中の電流密度は増加していく。

グレーションへの影響、高電流密度によるエレクトロマイグレーション寿命の低下、Al配線間スルーホールコンタクトの接続信頼性などがそれである。これらの予想される信頼性上のポテンシャルに対しては、プロセス開発段階から各種構造のプロセスTEGを導入し、上記の予想される問題点に対して十分な評価を行い、その結果をプロセス設計へフィードバックしている。

2.4 パッケージの信頼性

ASIC製品は多機能化に伴い多ピン系のパッケージが必要不可欠となる。QFP (Quad Flatleaded Package), P-PGA (Plastic-Pin Grid Array), PGAなどがこれに該当するが、現状では実装効率の良い面実装形パッケージのQFPが、100ピンを超える多ピン系では主流になるものと考えられている。

このQFPなどの面実装形パッケージのはんだ付け実装は、VPS (Vapor Phase Soldering) や赤外線によるパッケージ全体が加熱されるリフロー方式が用いられている。この場合、製品の吸湿管理を行っていない大形チップを搭載した面実装形プラスチックパッケージでは、リフローはんだ付け時の熱によって発生するパッケージ内の水蒸気圧で、パッケージにクラックが生ずる可能性がある。この問題に対しては、各製品のパッケージ種類ごとにはんだ耐熱性の評価確認を行い、製品出荷に際しては、シリカゲル(乾燥剤)を封入した防湿包装とすることで対策を図っている(図5)。この防湿包装への取り組みは、日立製作所が最初に行ったものであり、現在では面実装形パッケージでの出荷形態として一般に受け入れられるまでに至っている。

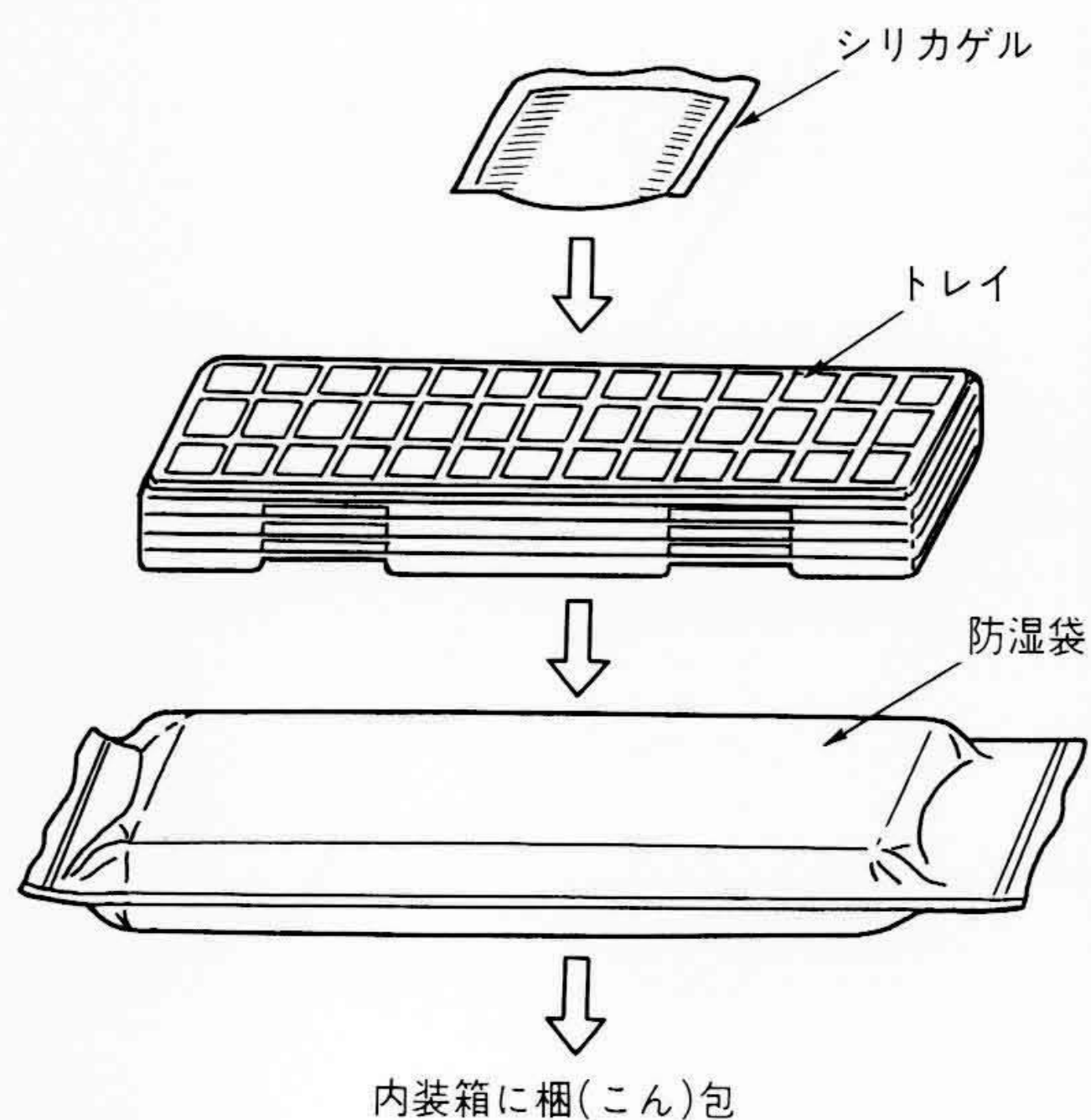


図5 防湿包装の形態 アルミコーティングした防湿ポリエチレン製袋と、内部に入れたシリカゲルによって、LSIが吸湿することを防いでいる。

また、多ピン系パッケージの残された問題として、チップ周辺にボンディングパッドを配置する方式ではピン数に限界が出てくる。これに対しては、パッドを2列交互に配列する千鳥配線方式が考えられている(図6)。

3 ASICと品質保証

3.1 品質保証の考え方

日立製作所の品質保証の考え方の基本²⁾は、個々のユーザーの購入目的と要求品質に適合すること、および広く一般市場性を考えて十分な品質水準にあることの2点である。つまり、納入した半導体デバイスが実使用環境のもとで十分な性能を発揮するように、信頼性の確保に努めることが重要と考えて

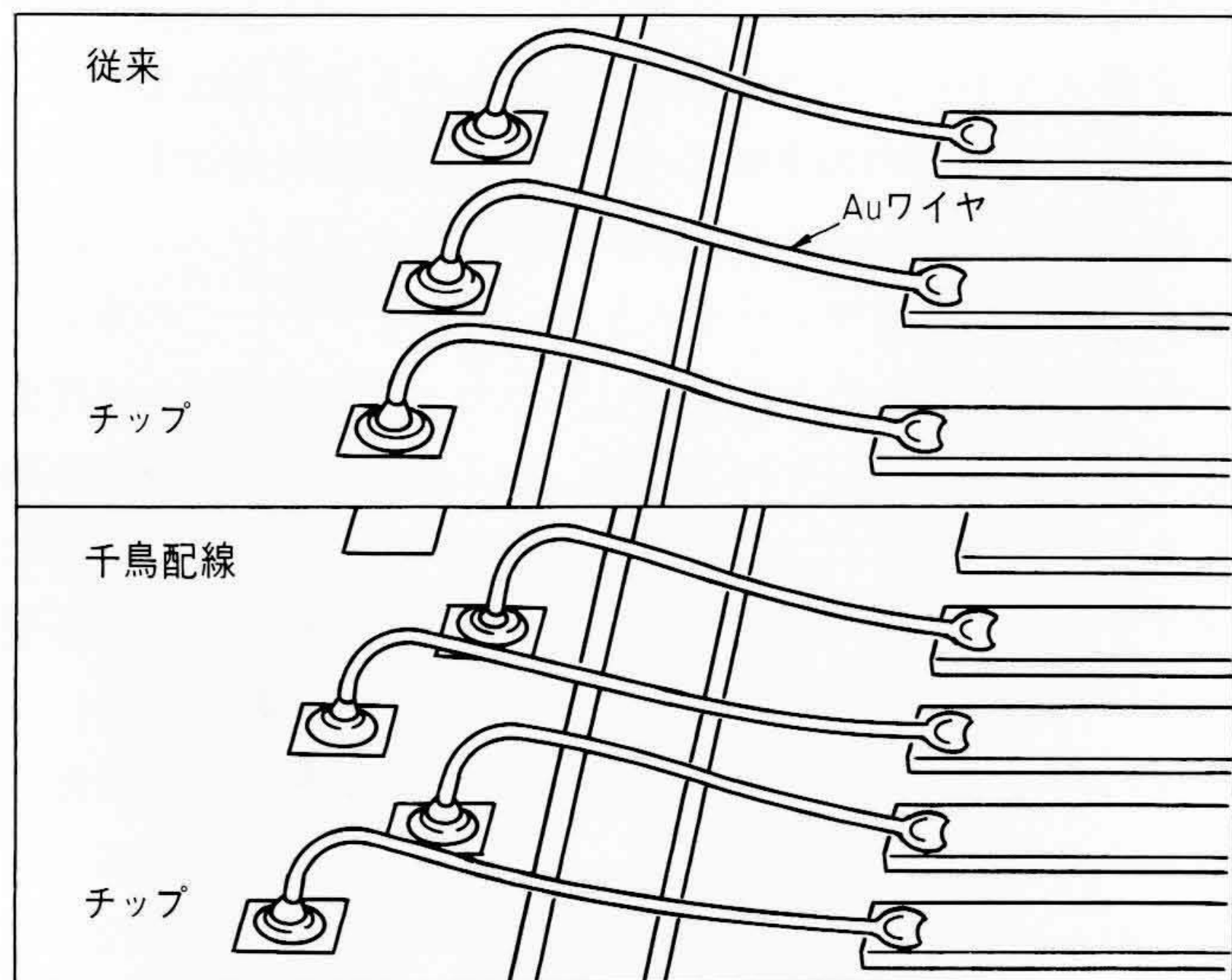


図6 千鳥配線の例 ピン数増加に対応するワイヤボンディングの検討例を示す。

いる。

このような品質を製造過程で実現するためには、品質保証体制の確立と品質意識の高揚がそのキーポイントとなる。高い品質・信頼性を達成するための要因として、プロセス設計(製造段階)での要因と、市場での要因の二つを基本に据えている。すなわち、プロセス設計の段階から製品に品質・信頼性を作り込む。また、市場に出荷された製品の中から発生した不良をフィードバックし、そこから信頼性にかかわる問題の要因を突き止め解決する。以上が品質保証の基本的な考え方である。

3.2 QTAT製品^{※)}の品質保証

ASICをはじめとするQTAT(Quick Turn Around Time)製品でも、品質保証の考え方は上記の内容と同じである。しかし、QTAT製品の特徴である短い開発期間に対応して、品質評価期間をクイックに完了することが重要課題である。

日立製作所では、新開発のLSI製品系列で、目標仕様に対応した品質・信頼性が個別品種に展開した場合にも確保できるよう、設計開発段階からきめ細かい品質認定を実施している(図7)。この場合にも、短い開発期間に対応するため、プロセスやパッケージの標準化を進め、効率よく品質評価を行っている。新製品ファミリーの品質評価では、評価項目をプロセス、パッケージ、電気的特性などの要素に分割し、各要素ごとの品質評価を行っている。要素項目の品質評価では、事前のデザインレビューを行い問題点の摘出と対策、TEGによる確認、標準化の検討などを行っている。このようにしてベースチップの品質・信頼性が確保されると、それぞれの用途、システム仕様に対応した個別製品が設計開発される(図8)。個別製品系の品質評価では要素項目の品質評価結果を考慮し、品質評価試験の評価期間の短縮化を図れるようにしている。評価内容の代表例を表2に示す。

新製品ファミリーの具体的な要素評価項目では、プロセスTEGや回路TEGを用いたプロセス品質評価、パッケージTEGを用いたパッケージ品質評価、代表品種を用いた製品プロセス品質評価などに分けて品質評価を実施している。また、個々の製品の品質評価では、機能評価、契約仕様書のチェックなどの項目に重点を置き、総合的な評価を行っている。特に、自動診断機能付きのゲートアレーでは、テストパターン設計を大形コンピュータで行うことができ、信頼性の高い故障検出用テストパターンを容易に生成することができる。これらにより、QTAT製品に対応した短期間の品質評価を実現している。

※) QTATはQuick Turn Around Timeの略語で、受注から納入までの時間を短縮し、短期間に納入を行うことを目的とした製品を言う。

表2 品質評価内容(代表例) 実際のASIC製品の評価ではプロセス、パッケージ、機能面、仕様面など幅広い評価を行う。

	評価項目	検討内容	評価サンプル
新製品ファミリー	プロセス品質評価	配線材料 多層構造 デバイス特性 その他	プロセスTEG 回路TEG
	パッケージ品質評価	小形化 薄形化 多ピン化 その他	パッケージTEG
	製品プロセス品質評価	電気的特性 DPA	代表品種
個別製品	機能評価	実装試験 テストパターン故障検出率 その他	製品
	契約仕様書チェック	用途 使用条件 使用環境	—

注：略語説明 DPA(Destructive Physical Analysis)
TEG(Test Element Group)

3.3 信頼性モニタ

日立製作所では、半導体デバイスの信頼性を保証するために、定期信頼度評価を実施している。これは量産製品を定期的に抜き取って加速寿命試験を行うもので、量産製造工程のばらつきを評価し、納入品の信頼性をモニタするものである。また、市場に出荷された後、ユーザーから不良品として返却

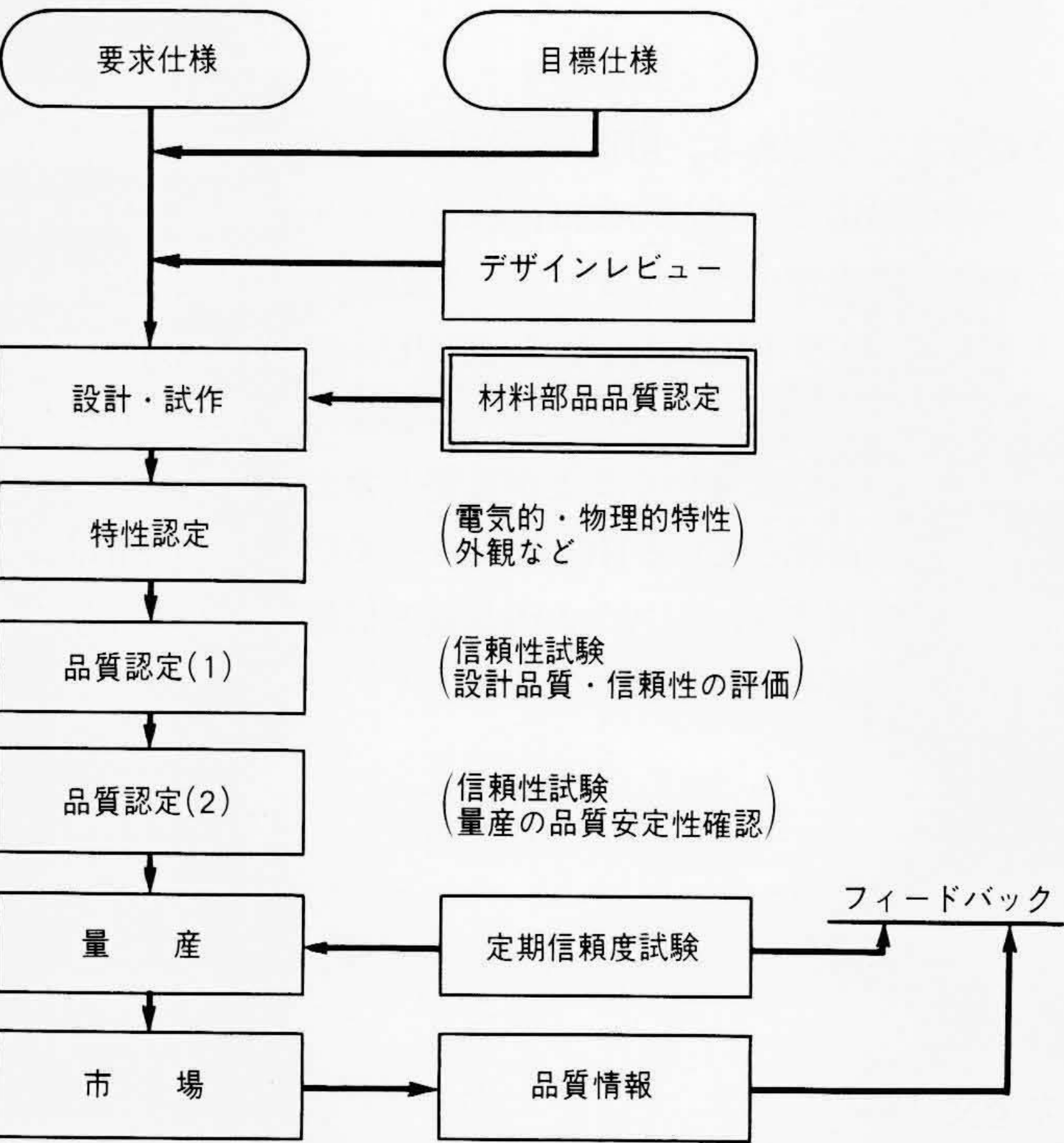


図7 品質認定の流れ(ベースチップ) 新開発のベースチップやプロセスに関し十分な信頼性を確保するため一連の認定試験を実施する。

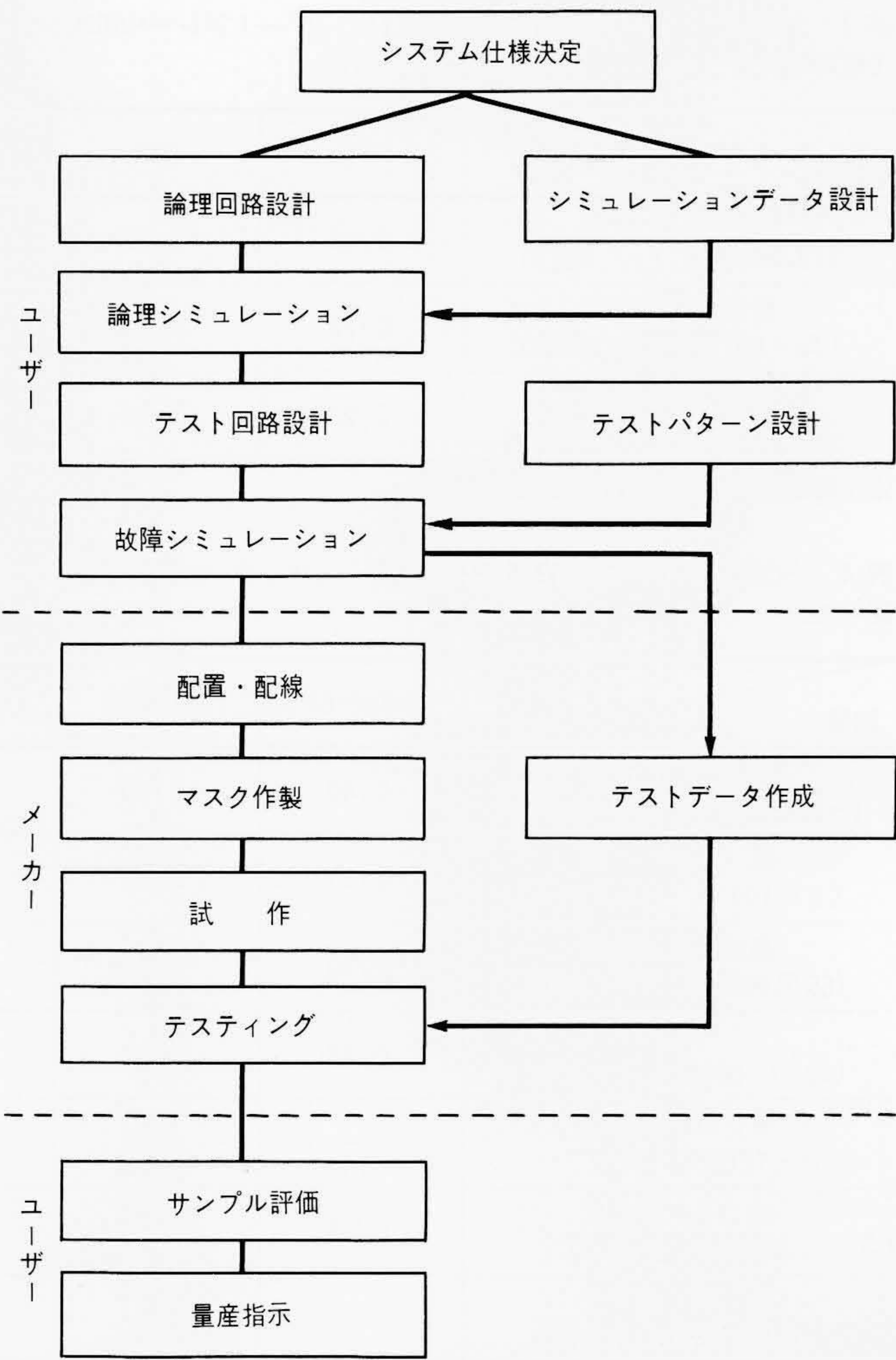


図8 ASIC個別品種開発の流れ システム仕様の決定から量産に至る各ステップを示す。

されたサンプルについても、信頼性にかかわる要因を分析し、原因の究明および対策を立て寿命予測の確認を実施している。これらにより、高品質・高信頼性の製品が生まれてくる。

4 ASICの信頼性評価

ASICはカスタム分野とセミカスタム分野に大別することができるが、ここではセミカスタム分野のゲートアレーの信頼性評価例について述べる。

現在、ゲートアレーの主力となっているHG62Eシリーズは、ゲート数770ゲートから2万4,020ゲートまでの12種類のマスタチップで構成しており、ゲート長1μm、2層Al配線技術を用いたマスタスライス方式のゲートアレーである。開発に当たっては、共通の設計基準および標準プロセスが用いられている。信頼性評価に際しては、以下に述べる点に注目して試験を実施した。

デバイスの信頼性は、チップに起因する信頼性とパッケージに起因する信頼性がある。前者は回路設計、プロセス設計および組立プロセスに起因するものであり、後者はパッケー

表3 HG62Eシリーズ信頼性評価例(1) ゲートアレーHG62Eシリーズの各ベースチップを用いて、寿命試験を行った。125℃動作 3.4×10^5 (C.h.)で故障はなかった。

試験 \ ベースチップ	E08	E15	E33	E43	E75	E130	E240
高温動作試験 ($T_a=125^{\circ}\text{C}$, $t=1,000\text{ h}$)	0 / 40	0 / 40	0 / 40	0 / 40	0 / 40	0 / 100	0 / 40
高温放置試験 ($T_a=150^{\circ}\text{C}$, $t=1,000\text{ h}$)	0 / 22	0 / 22	0 / 22	0 / 22	0 / 22	0 / 50	0 / 22
低温放置試験 ($T_a=55^{\circ}\text{C}$, $t=1,000\text{ h}$)	0 / 22	0 / 22	0 / 22	0 / 22	0 / 22	0 / 50	0 / 22

注：略語説明 C.h.(Component hour)

表4 HG62Eシリーズ信頼性評価例(2) パッケージングも含めたデバイスの耐環境試験を主体とした信頼性評価でも、特に問題のないことを確認した。

試験 \ パッケージ	S-DIP-64	PLCC-68	QFP-100	QFP-136	QFP-168	PGA135	PGA240
温度サイクル ($-55\sim 150^{\circ}\text{C}$, 200サイクル)	0 / 40	0 / 40	0 / 40	0 / 40	0 / 40	0 / 32	0 / 32
熱 衝 撃 ($0\sim 100^{\circ}\text{C}$, 15サイクル)	0 / 15	0 / 15	0 / 15	0 / 15	0 / 15	0 / 15	0 / 15
高温・高湿設置 (65°C 95%RH, $t=1,000\text{ h}$)	0 / 40	0 / 40	0 / 40	0 / 40	0 / 40	—	—
PCT (121°C 100%RH, $t=200\text{ h}$)	0 / 22	0 / 22	0 / 22	0 / 22	0 / 22	—	—
リフロー耐熱性 (215°C , 30 s)	—	0 / 22	0 / 22	0 / 22	0 / 22	—	—
端子強度 (引張り, 折曲げ)	0 / 15	0 / 15	0 / 15	0 / 15	0 / 15	—	—
機械強度 (衝撃, 振動, 定加速)	—	—	—	—	—	0 / 15	0 / 15

注：略語説明 PCT(Pressure Cooker Test), S-DIP(Shrink Dual In-line Package), QFP(Quad Flatleaded Package)
PLCC(Plastic Leaded Chip Carrier), PGA(Pin Grid Array)

ジ材料，加工およびパッケージ構造に起因するものである。チップの信頼性評価例を表3に示す。また，ゲートアレーは多種多様な顧客ニーズに対応するため，パッケージラインアップについても充実させている。プラスチックパッケージでは40ピンから168ピンまで，ハーメチックパッケージでは135ピンから240ピンまでと多種類のパッケージを取りそろえている。パッケージの信頼性評価例を表4に示す。

以上のような評価結果から，HG62Eシリーズの市場での故障率推定を行うと，およそ35 Fitとなる(ただし，活性化エネルギー $E_a=0.5\text{ eV}$ ，電圧加速係数 $\beta=1$ ，信頼度水準 $CL=60\%$ を使用)。この推定は市場環境を 60°C と仮定しており，実使用条件がこれよりも低くなると故障率はさらに下がり，問題のないレベルであると言える。

5 結 言

1 チップにできる限り多くの機能を盛り込み，それぞれの顧客用途で特徴を生かせるものとして，ASICはいっそう注目

されるところである。用途の多様化のなかで，高信頼に顧客ニーズに対応するためには，設計ルールの確立，プロセスの標準化と安定化，パッケージング技術の確立が必要である。さらに，セルライブラリとして，MPU，RAM，ROMなども含めて，信頼性の確認されたもの，あるいは実績のあるものを多く取りそろえていくことが重要と考える。

現在，商品化しているHG62Eシリーズでは，数十Fit以下の故障率も期待でき，システムの品質・信頼性向上に寄与できるものと確信している。

参考文献

1) 日立半導体デバイス信頼性ハンドブック：株式会社日立製作所 電子事業本部 半導体事業部(昭60-3)