半導体設計におけるスーパーコンピュータの応用

Application of Supercomputers to Semiconductor Design

近年のスーパーコンピュータの進歩によって,大規模な数値計算が手軽にで きるようになり、半導体開発へのシミュレータ応用が実用化の段階に入ってき た。

超LSIの設計開発で、半導体プロセスの酸化加工中に発生する応力シミュレー ション、デバイスの信頼度設計に対するホットキャリヤシミュレーション、超 LSIメモリの大規模回路シミュレーションによる高速一括解析などの結果から, 現実には観測の難しい微細領域での現象を正しく理解することができる。さら に、これらシミュレータを一貫し、計算機上で超LSIの性能を予測可能とする統 合シミュレーションは大規模な数値計算となるため、スーパーコンピュータの 応用により、初めて実用的時間内で実行可能となる。

公尾仁司*	Hitoshi Matsuo
禁岡利行*	Toshiyuki Morioka
斉藤直人**	Naoto Saitô
5川勝彦***	Katsuhiko Ishikawa

緒 1 言

半導体技術の結晶である超LSIは、その中に数百万個の素子 を集積し,数千万分の一秒で動作させる時代となった。大規 模かつ複雑な設計は、もはや計算機シミュレーションの利用 なくしては実現不能となっており、プロセスやデバイスのシ ミュレーションが半導体設計の重要なCADツールとなりつつ ある。しかし、大規模な数値シミュレーションは強力な計算 能力を必要とするため、 スーパーコンピュータの計算能力を 十分に活用することにより,初めて実用的設計手段とするこ とができる。

本論文では、半導体のプロセス設計に適用されるプロセス シミュレーションの技術と酸化プロセスへの適用について述 べ、さらにデバイスシミュレーションのホットキャリヤ現象 解析への応用を示す。次いで、超LSIメモリの回路設計での大 規模回路シミュレーション技術と高速大規模計算の結果を示 し,最後に、プロセス設計から回路設計までを一貫して計算 機上で行う統合シミュレーションに関して, その応用につい て述べる。

2 プロセスシミュレーション

2.1 プロセスシミュレーションの課題

超LSIはSi基板上にSiO2やSi3N4などの異種材料薄膜を積み 重ねて作られる。プロセス温度は1,000℃を超える場合もあり、 LSIの製造プロセスと開発したシミュレータの関係を図1に 異種材料界面や形状不連続部分に熱応力が発生している。熱 示す。酸化プロセスシミュレータOXSIM (Oxidation Process) *** 日立製作所 デバイス開発センタ * 日立製作所 中央研究所 ** 日立製作所 機械研究所



注:略語説明 LOCOS (Local Oxidation of Silicon) OXSIM (Oxidation Process Simulation Program) SIMUS (Simulation System for Integrated Multilayer Using Supercomputer)

LSIプロセスと応力シミュレータ 酸化プロセスを解析する 図 | シミュレータOXSIMと、成膜プロセスを解析するシミュレータSIMUSを開 発した。

応力以外にも薄膜には形成時に固有の応力(真性応力)と呼ば れる。)が発生することが多い。LSIの微細化に伴い、これらの 応力を低減する必要性が高まり、LSI製造プロセス中の応力シ ミュレータを開発した。

2.2 LSI製造プロセス中の応力シミュレーション

220 日立評論 VOL. 72 No. 3 (1990-3)

Simulation Program)²⁾は,Si基板表面での酸化膜の成長による形状変化と応力発生を解析するものである。成膜プロセス応力シミュレータSIMUS(Simulation System for Integrated Multilayer Using Supercomputer)³⁾は,各種薄膜が形成される際の応力状態を解析するものである。

これらのプロセス応力シミュレータでは、応力解析を有限 要素法を用いて行っている。LSIの構造は複雑であり大規模な 構造解析となるため、スーパーコンピュータHITAC S-810/ S-820に適したベクトル化を行い、高速化を図っている⁴。

2.3 酸化プロセスシミュレータOXSIM

LOCOS(Local Oxidation of Silicon)と呼ばれる酸化構造 は、Si表面の一部をマスクで覆い、高温の酸化雰囲気中にさら すことにより作られる。マスクの覆われていない部分で酸化 が進むと同時に、マスクの下側へも酸化剤が拡散し酸化膜が 食い込んだバーズビークと呼ばれる形状となる。また、Siが酸 化してSiO₂へ変化するときには体積が膨張するため、マスク の端部では応力が発生する。OXSIMでは酸化プロセスを、

SiO₂ 膜中の酸化剤の拡散

(2) SiとSiO₂の界面の移動





(3) SiからSiO₂へ変化した部分の体積膨張

の三つの過程に分割し、時間を追って計算を進める。解析に 用いるメッシュは初期形状に対してあらかじめ作製するが、 酸化膜の成長に伴い解析形状が変化するので、Body-Fit法⁵に より時間増分ごとにメッシュの再分割を自動的に行う。

OXSIMの解析結果を図2に示す。同図(a)は初期形状を,(b) は酸化終了時の応力分布を表す。酸化膜が成長し,マスクの 端部に強い応力が発生していることがわかる。マスクの厚さ を変化させた場合の酸化膜形状の実験との比較を図3に示す。 マスクが厚くなると,バーズビークが抑えられるようすがシ ミュレートされている。

2.4 成膜プロセス応力シミュレータSIMUS

10

各種の薄膜が順次形成される際には、温度と形状が時間と ともに変化する。このとき熱応力と真性応力が発生し、その ときの形状に応じて構造全体に再配分される。SIMUSでは最 終形状を用いてメッシュ分割を行い、Si基板だけのメッシュを 用いて解析を開始する。プロセスの進行により薄膜が形成さ れると、対応するメッシュが自動的に解析領域に加えられる。 この手法は、メッシュ分割を最初に一度行うだけで、計算途 中ではメッシュの再分割を行う必要がないため、全プロセス の計算を高速に行うことができる。

MOSトランジスタをモデル化した解析例を図4に示す。同 ラ 図(a)はゲート部分が形成された直後の応力分布を表す。ゲー 算を トの端部のSi基板中に応力が集中している。同図(b)は高温で時 を予 間が経過し、粘弾性挙動によって応力が緩和した状態を示す。 作属 また、同図(c)はすべての薄膜が形成された後に室温になった 超L 状態の応力分布を表す。異種材料の界面や、形状不連続部に って

(b)酸化後のせん断応力分布

図 2 OXSIMによるLOCOS解析結果 LOCOS製造プロセスを解析す ると、マスク(Si₃N₄)端部に強い応力が発生していることが明らかとなっ た。

応力が発生しているようすが解析されている。

Si基板上にアルミ配線が形成された場合の解析例を図5に示 す。同図(a)はプロセス終了時の応力分布を表す。同図(b)は, X線によるひずみ測定結果⁶⁾との比較を示すものである。配線 幅が小さくなるにつれて発生するひずみは大きくなるが, SIMUSによる解析結果とX線による測定結果は,良好な一致 を示している。

3 デバイスシミュレーション

3.1 デバイスシミュレーションの課題

デバイスシミュレーションでは,基本物理方程式を数値計 算を用いて解くことによって,半導体デバイスの電気的特性 を予測する。特に,デバイス内部での物理現象の解析は,動 作原理の確認とともに,性能限界の予測,信頼性の確認など, 超LSIプロセス,デバイスの微細素子設計を支援する役割を担 っている。







(a) ゲート形成直後



(a) マスク(Si₃N₄)厚さが150 nmの場合





Shear Stress Distribution

(b) 粘性による応力緩和



微細化が進んだデバイスでは,強電界の効果により,キャ

(b) マスク(Si₃N₄)厚さが300 nmの場合

図3 マスク(Si₃N₄)の膜厚の影響 マスク(Si₃N₄)が厚くなると、マ スク下の酸化膜の食い込み(バーズビーク)が抑えられる。 リヤである電子や正孔が加速され,高いエネルギーを持つい わゆるホットキャリヤ効果⁷が顕著となってきた。このホット キャリヤ効果は,デバイスの特性劣化や回路動作の経時変化 など,超LSIの信頼性を低下させる原因となる。したがって, 超LSIの信頼度設計には,このホットキャリヤ現象を定量的に

11





注:略語説明 DRAM (Dynamic Random Access Memory)

図5 アルミ配線の三次元解析 LSIの微細化によって配線幅が小さくなるにつれて,配線中のひずみが高くなることが,シミュレーションと実験から明らかになった。

予測することが重要課題となる。

12

3.2 ホットキャリヤシミュレーション

従来のデバイスシミュレーション⁸では、キャリヤのエネル ギーを局所的な電界強度の関数として近似的に取り扱ってい た。そのため、キャリヤがどのような経路をたどって加速さ れたか、すなわち加速の履歴による効果、いわゆる非局所性 を考慮することが難しく、予測精度に問題があった。そこで、 従来の基本方程式、すなわち電位およびキャリヤ密度に関す 図6 ホットキャリヤデバイスシミュレーションの流れ図 運動 量保存式とエネルギー保存式を満足するように計算することにより,ホ ットキャリヤの挙動を解析可能とした。

運動量保存式と、電子、正孔、結晶格子、高エネルギーキャ リヤに関するエネルギー保存式を連立させて解く。数値計算 のための離散化は、空間に関して矩(く)形格子を用いた有限 差分法、時間積分に関して後退オイラー法を適用した。これ ら九つの連立した基本方程式群を、数値計算によって逐次的 に解くのは膨大な計算量を必要とする。汎(はん)用計算機で は、従来形シミュレーションの10倍以上の、数時間から数日 にわたる膨大な計算時間を要し、デバイス設計に適用するに は非現実的であった。今回、スーパーコンピュータ向きのベ クトルコーディングにより、この大規模な数値計算に要する CPU時間を従来形シミュレーションの約3倍に抑えることが できた。

3.3 適用結果

ゲートの長さが1µm程度の微細MOSトランジスタを例に, ホットキャリヤ現象がデバイス内部でどのように発生してい るかを,デバイスシミュレーションによって解析した^{9),10)}。電 子,正孔および格子の温度分布をグラフィック表示したもの が図7の(a), (b), (c)である。MOSトランジスタのドレーン接

る基本式に加え、キャリヤのエネルキーと連動量を考慮した	合および空之層付近でキャリヤが高温に加熱され、高エネル
ホットキャリヤ効果解析用デバイスシミュレータを開発した。	ギーのホットな状態になっていることがわかる。
このシミュレータの計算手順を示すフローチャートを図6	ホットキャリヤ現象が顕著となるデバイスの電気特性には,
に示す。ポアソン方程式、電子正孔電流連続式の計算手順は	基板電流とゲート電流がある。基板電流は、加速されたキャ
従来と同じであるが、ホットキャリヤ解析では電子、正孔の	リヤが電離衝突を起こし、生成されたキャリヤが基板に流れ

込むことによって発生する。今回開発したシミュレーションの結果と実験結果の比較を図8に示す。

ゲート電流は、高エネルギーのキャリヤがゲート酸化膜の ポテンシャル障壁を超えて、ゲート電極に流れ込む電流であ る。ゲート電流の計算には、高エネルギーキャリヤによる熱 放射モデルを用いた。シミュレーションと実験結果の比較を 図9に示す。基板電流、ゲート電流とも、従来のデバイスシ ミュレーションでは実験結果と一けた以上差があった。これ に対し、今回開発したホットキャリヤシミュレータでは実験 結果とほぼ一致しており、予測精度を飛躍的に向上できたこ とを示している。

4 回路シミュレーション

4.1 回路シミュレーションの課題

超LSIの開発では期間の短縮が重要な課題である。そのためには設計段階での誤りをなくし、試作回数を削減することが

ゲート酸化膜厚=21 nm

実効ゲート長=0.99 mm

 $Vd(\vee)$

ゲート幅=100 µm







図8 基板電流シミュレーションと実験の比較 実測値とシミュ レーション結果はほぼ一致しており,基板電流の高精度予測が可能にな る。



13

(c) 格子エネルギー分布(300~330 K)

図7 ホットキャリヤ解析によるMOSトランジスタ内の温度分布 電子,正孔,結晶格子のエネルギーを温度で示した。チャネル長1.1µm のMOSトランジスタでは,キャリヤがドレーン接合付近で加熱されてい る(黄色が高温部)。 224 日立評論 VOL. 72 No. 3 (1990-3)



大切である。そこで、回路シミュレータを用いて図10に示す ような回路特性を精密に予測し、超LSIチップの試作以前に回 路の最適化設計を行うことが重要となる。一方、超LSIの高集 積化、微細化が進み回路シミュレーションの対象となる回路 規模が大きくなってきた。さらに、素子間の相互作用や寄生 素子が回路特性に大きく影響を及ぼすようになり、図11に示 and Conjugate Residual Method)法¹³⁾を適用する。CLUCR 法は、代表的な反復解法のひとつであるCR(Conjugate Residual Method)法にLU分解結果による前処理を施すことで、CR 法の収束性を向上した方法である。CLUCR法ではリストベク トルデータを間欠的に使用するため、リストベクトルデータ を拡張記憶装置に格納しても入出力によるオーバヘッドの増 大を抑えることができる。CLUCR法の処理方式の概要を図12 に示す。この手法によって拡張記憶装置を有効に使用するこ とが可能となり、主メモリの負担が軽減することで大規模回



ホイル 国内内にに入てている このは チェイにょう, 図 れに示 すような超LSIチップ全体を一括して回路解析することが必要 になっている。この対象回路規模の増大が,短時間に回路特 性を求めることを困難にしている。したがって,大規模回路 を高速に解析することが回路シミュレーションの急務である。

4.2 超大規模化への対応

14

回路シミュレーションの処理は、回路を構成する各素子の 特性を計算する素子特性計算部と回路方程式(連立一次方程 式)を解き、回路の電圧値を計算する行列計算部とが主体とな る。これまで、高速化を目的とし、スーパーコンピュータ HITAC S-810/S-820のリストベクトル機能を利用したベクト ル化計算手法を開発し、これらの計算部に適用してきた^{11),12)}。 その結果、10 kMOSトランジスタ回路規模の過渡解析を行っ た場合、スーパーコンピュータHITAC S-820を使用して、汎 用コンピュータHITAC M-680Hを使用した場合の約9倍高速 に回路シミュレーションが可能となる。

しかし、この手法では、行列計算部のリストベクトルデー タの増大により、回路シミュレーションに要する主メモリ容 量が回路規模の約1.5乗に比例して増加する。この主メモリ容 量の負担が回路シミュレーション可能な回路規模の制約とな っていた。そこで、主メモリに格納していたリストベクトル データをスーパーコンピュータ用拡張記憶装置に格納するこ とを検討した。しかし、従来の手法では行列計算を実行する 図|| 超LSIメモリ実験用チ ップ I6 Mビットダイナミッ クメモリ実験用チップの写真を 示す。回路特性を検証するには I0 k素子以上の回路規模をシミ ュレーションする必要がある。



ごとに多量のリストベクトルデータを入出力する必要があり, 依然として入出力に要するオーバヘッドの増大の問題が残っ ていた。

この問題を解決する方法として,行列計算部の計算手法として新たに考案したCLUCR(Completed LU Decomposition

図12 CLUCR法の処理概略 CLUCR(Completed LU Decomposition and Conjugate Residual Method)法の処理の概略を示す。

半導体設計におけるスーパーコンピュータの応用 225

路の回路シミュレーションが可能となる。

4.3 適用結果

10 kMOSトランジスタ回路規模に本手法を適用した場合, 従来の手法に比べ約号の主メモリ容量で回路シミュレーショ ンが可能となる(図13)。つまり、主メモリ容量の負担が軽減 されたことにより、同一ハードウェアを使用した場合の回路 シミュレーションが可能な回路規模を拡大することができる。 例えば、主メモリ容量256 Mバイトを使用する場合、従来手法 で回路シミュレーション可能な回路規模の約1.7倍まで回路シ ミュレーションが可能となる。



IOk MOSトランジスタ回路規模の 図13 主メモリ容量の削減効果 回路シミュレーションに要する主メモリ容量を示す。

統合シミュレーション 5

5.1 統合シミュレーションの課題

以上述べたように、半導体設計では、プロセス、デバイス、 回路の各設計段階で、シミュレータの活用が非常に重要にな っている。超LSIの時代になると設計はますます複雑になり, LSIの製作期間も長くなる。統合シミュレーションは、時間と 費用のかかる試作を計算機シミュレーションで置き換え,設 計品質と期間を短縮することを目的とした大規模なシミュレ ーションシステムである。



5.2 統合シミュレーションシステム

システムの構成はプロセス、デバイスおよび回路の各シミ ユレータを統合し、それぞれの計算結果を次のシミュレータ へ伝達するようになっている。したがって、プロセス温度や 膜厚,マスクの大きさなどのプロセス条件に対する回路動作 の特性変化を,一貫したシミュレーションで予測できる。 システム構成を図14に示す。二次元のプロセスシミュレー タSPIRIT¹⁴⁾(Simulation Processor for Integrated Representation of Impurity-profile and Topography)では, 複雑 なデバイスの形状と内部での不純物の分布状態を同時に解析 する。さらに、シミュレーションで得られたデバイスの端子 電極に電圧を加えた状態を二次元,三次元デバイスシミュレ -9CADDETH⁸⁾(Computer Aided Device Design in Three dimensions)で解析し、電流特性、容量特性を求める。プロセ スシミュレーションとデバイスシミュレーションの接続では, 高精度な特性予測を行うために,特にデバイス構造を正確に 伝えることが重要である。本システムでは、形状の自動認識 と不純物濃度分布の高精度補間を行っている¹⁵。

回路シミュレーションでは、設計した超LSIの回路動作を大 きく左右するデバイス特性を,前記のシミュレーション結果 5.3 適用例 プロセスシミュレータSPIRITによるMOSトランジスタの から与えることにより、超LSI全体の性能を予測できる。これ 解析例を図15に示す。プロセスシミュレーションでは、プロ らのシミュレーションは、それぞれが大規模な計算を要する ため、汎用計算機では全体を通したシミュレーションに多く セス条件とマスク形状を入力とし、膜堆(たい)積、エッチン の計算時間を必要とし、実用的なレベルに至らなかった。 グ,酸化,不純物イオン打ち込み,不純物拡散の各工程を, HITAC S-810/S-820に代表されるスーパーコンピュータの出 順次シミュレーションする。デバイスシミュレータCADDETH 現により、おのおののシミュレータを数倍から数十倍高速化 は、この結果をもとに、デバイスの電気的特性の予測を行う。

注:略語説明 SPIRIT (Simulation Processor for Integrated Representation of Impurity-profile and Topography) CADDETH (Computer Aided Device Design in Three dimensions)

図14 統合シミュレーションのシステム構成 プロセス, デバイス, 回路のシミュレーションシステムを示す。

することができ、初めて本格的なCADツールとして、一貫し たシミュレーション設計が可能になる。

15

226 日立評論 VOL. 72 No. 3 (1990-3)



図15 プロセスシミュレーション解析例 二次元プロセスシミュレ ータSPIRITで解析したMOSトランジスタの構造を示す。加工形状と不純物 濃度分布を同時に計算する。

な性能予測を実現するもので、 スーパーコンピュータの活用 による高速・大規模数値計算技術があって初めて実用化への 道が開かれたと言える。今後,これらシミュレータが新たな 設計ツール, CADツールとして, 経験的に試作設計を繰り返 してきた従来の設計手法を,より洗練された効果的なものへ と変えていくとともに、観測限界を越えた極微小な現象解明 の強力な手段として、発展することが期待される。

参考文献

- 例えば、日本学術振興会議薄膜第131委員会編:薄膜ハンドブ 1) ック, p.330, オーム社(昭58)
- 斉藤,外:酸化プロセスシミュレータOXSIM, 1989年春季第 2)36回応用物理関係連合講演会, 講演番号3a-C-2(平1-4)
- 斉藤,外:薄膜多層構造体応力解析プログラムSIMUS2D/Fの 3)開発, 日本機械学会論文集, A編, 55巻, 515号, pp.1652~ 1656(平1-7)
- 斉藤、外:高速構造解析プログラムSIMUSの開発、日本機械 4) 学会論文集, A編, 53卷, 495号, pp.2187~2192(昭62-11)



図16 MOSトランジスタ電流対電圧特性 統合シミュレーションに よるトランジスタ静特性を示す。この特性データを使用して回路シミュ レーションを行う。

回路シミュレーションでは、デバイスシミュレーションから 求めた図16に示すようなドレーン電圧-電流特性を使用し, プロセス条件の変化による回路特性の変化を予測することが できる。

- Thompson, J.F., et al. : Automatic Numerical Generation of Body-fitted Curvilinear Coordinate System for Fields Containing any Number of Arbitrary Two-dimensional Bodies, J. Computational Phys., 15, 299(1974)
- 山本、外:マイクロX線分析装置と計算機シミュレータによる 6) ULSI微小部応力評価技術,応用物理学会第21回固体素子·材 料コンファレンス予稿集(平1-8)
- 武田,外:ホットキャリア効果,日経マグロウヒル(昭62-12) 7)
- T. Toyabe, et al. : Three Dimensional Device Simulator 8)Caddeth with Highly Convergent Matrix Solution Algorithms, IEEE Trans. on CAD-4, No.4, pp.482~488, Oct. (1985)
- 片山,外:エネルギー輸送効果のMOS基板電流への影響,電 9)子情報通信学会技術研究報告SDM88-67, pp.7~12(昭63-9)
- 10) K. Katayama, et al. A New Hot Carrier Simulation Method Based on Full 3D Hydrodynamic Equations, IEDM89(1989)
- 11) F. Yamamoto, et al. Vectorized LU Decomposition Algorithms for Large-Scale Circuit Simulation, IEEE Trans. on C.A.D., Vol.CAD-4, No.3, pp.232~239, June (1985)
- 12) 森岡,外:ベクトル計算機向き大規模高速回路シミュレータの 方式と適用評価,昭和62年電子情報通信学会情報,システム 部門全国大会論文集, pp.2-325~2-326(昭62-11)
- 森岡,外:CLUCR法の大規模回路シミュレーションへの適用 13)評価, 情報処理学会第38回全国大会論文集, pp.1404~ 1405 (平1-3)

言 6 結

16

超LSIの時代がさらに進み、半導体の設計はますます複雑か つ大規模なものになっている。本論文で述べたプロセス、デ バイス、回路のシミュレーションは、超LSIの大規模かつ精密

14) M. Ohgo, et al. A Two-Dimensional Integrated Process Simulator : SPIRIT-I, IEEE Trans. on C.A.D., Vol.CAD-6, No.3, pp.439~445, May(1987) 15) 松尾,外:プロセス,デバイス統合シミュレーションシステム における高効率データハンドリング、電子情報通信学会技術研 究報告SDM88-81, pp.29~34(昭63-9)