

サブミクロンLSI技術

Submicron LSI Technology

VLSIを支えるプロセスデバイス技術は、最小加工寸法0.8~0.5 μm のサブミクロンの時代を迎えつつある。しかし、サブミクロンレベルのVLSIが実現されるに従い、これまでの時代とはやや様子の異なる点が明らかとなってきた。リソグラフィが光で行える限界に近づきつつあること、ホットキャリアによる素子劣化のため低電圧化が迫られていること、設計工数の増大に伴うDA (Design Automation)/CADの重要性が増していることなどがその主なものである。

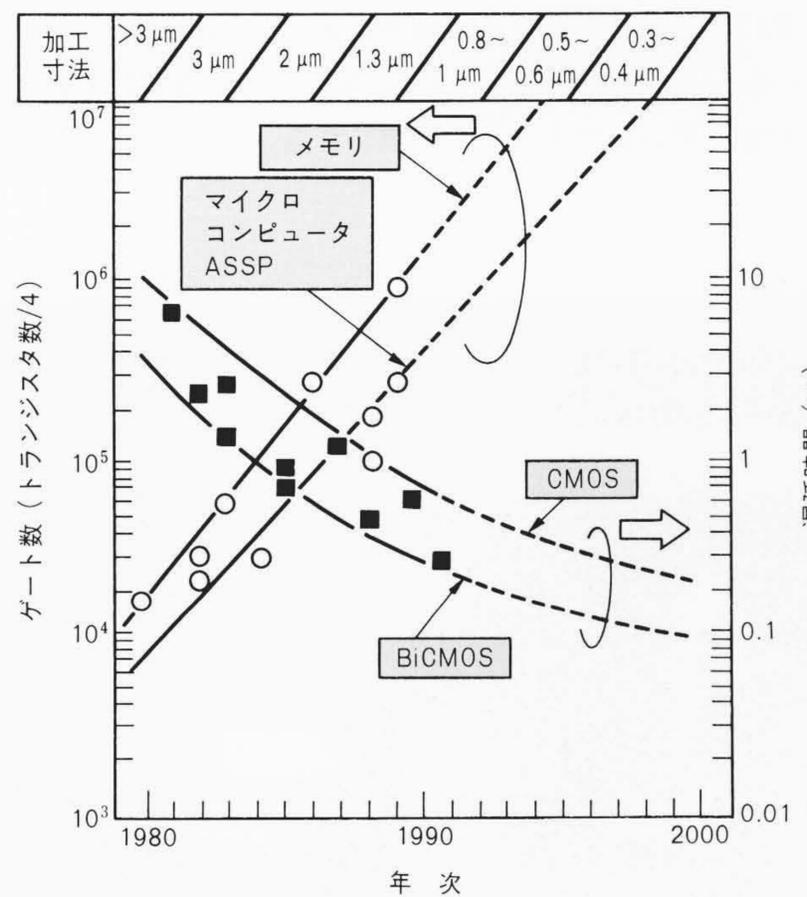
増原利明* *Toshiaki Masuhara*
 関 浩一* *Kōichi Seki*
 武田英次* *Eiji Takeda*

1 緒 言

MOS集積回路では、**図1**に示すように3年に3~4倍のペースで素子の高集積化が進んでいる。集積度の増大を支えているのが3年に60~70%のペースで進んでいる素子の微細化であり、現在最先端製品である4MビットのDRAM(Dynamic RAM)では0.8 μm の最小加工寸法が用いられている。Dennardらによって提唱されたスケーリング則(比例縮小則)¹⁾ではゲート長、ゲート幅、酸化膜厚などの素子寸法を比率 $\frac{1}{k}$ で縮小し、同時に基板不純物濃度を k 倍に、電源電圧を $\frac{1}{k}$ に縮小する。このような定電界スケーリングでは遅延時間は $\frac{1}{k}$ 、消費エネルギーは $\frac{1}{k^3}$ に減少する。実際には電源電圧を単純にスケーリングできないため、動作電圧を一定とする定電圧スケーリングがもっぱら用いられてきた。このスケーリングの結果として、過去、最先端の集積度のLSIでも、常に世代ごとに高速化が実現されてきた。例えば、SRAM(Static RAM)の速度についてみると、ゲート長3 μm の時代では4kビットで40nsであったが、ゲート長0.8 μm では1Mビットで15nsが実現されている。動作速度を同一集積規模のもので比較してみると、さらに高速化されており、**図1**に示したようにCMOSでは0.5ns、BiCMOS(Bipolar CMOS)では0.3ns程度の遅延時間が得られている。すなわち、スケーリングは高速化と高集積化を同時に実現できる、いわば切り札であった。これはデバイスプロセスの改良が、定電圧スケーリングを可能とする状況であったためである。

しかし、サブミクロン時代にはこの状況が変わりつつある。プロセス技術面ではリソグラフィが光で行える限界に近づきつつあること、高い段差を克服しなければならないこと、抵抗成分がスケーリングされないこと、コンタクト抵抗が微細化によって異常に高くなること、といった問題が重要になっ

てきた。デバイスでは内部の電界の増大に伴う酸化膜の信頼性、ホットキャリアによる素子劣化の問題が現れてくる。回路的にもVLSI回路の配線長が実質的にスケーリングされないことや、集積密度が高まることによって配線間の寄生容量が増し、VLSIシステム全体としてはあまり性能が向上しないと



注：略語説明など BiCMOS (Bipolar CMOS)
 ASSP (Application Specific Standard Products)
 ○ (ゲート数), ■ (遅延時間)

図1 MOS集積回路の大規模化と高速化の現状、および将来西暦2000年には 10^8 ゲートが1チップに集積化される。

* 日立製作所 中央研究所 工学博士

いう問題が生じる。また、チップ上に集積されるトランジスタ数の増大に伴い、設計に果たすDA (Design Automation)/CAD技術の役割が増大している。

本稿ではプロセス技術から設計法までVLSI技術全般にわたり、最近の動向と将来について述べる。

2 サブミクロンプロセス技術

現在、VLSI製作用のリソグラフィの主力は、超高圧水銀灯の436 nmのg線および365 nmのi線を用いた縮小投影露光法である。その解像度Rはほぼ次式で表される。

$$R = k\lambda / NA \quad (k = 0.6 \sim 0.8)$$

λ , NAはそれぞれ波長, レンズの開口数である。図2にg線, i線およびKrFエキシマレーザ光の場合につき, NA (Numerical Aperture) と解像度の関係を示した²⁾。g線でもNA=0.6のレンズを使えば0.5 μm 程度の解像度が得られる。しかし, 一般にNAを増加させると焦点深度が浅くなるため, 短波長光を用いるほうが微細化に向いている。この意味でi線はg線と同じレジストプロセスを用いることができるので波長が短い分だけ有利である。さらに, 焦点面を光軸方向にレジストの厚さ程度動かして複数回露光することにより, 焦点深度を実効的に2倍以上にするFLEX法³⁾が提案されている。このほか, レチクル透過光に位相差を与えて解像度を向上させる位相シフト法⁴⁾が, 光によるリソグラフィの限界を延ばす手段として検討されている。この先の技術としては, KrF, ArFなどのエキシマレーザ光を用いるであろうと予想される。また, レーザ光の

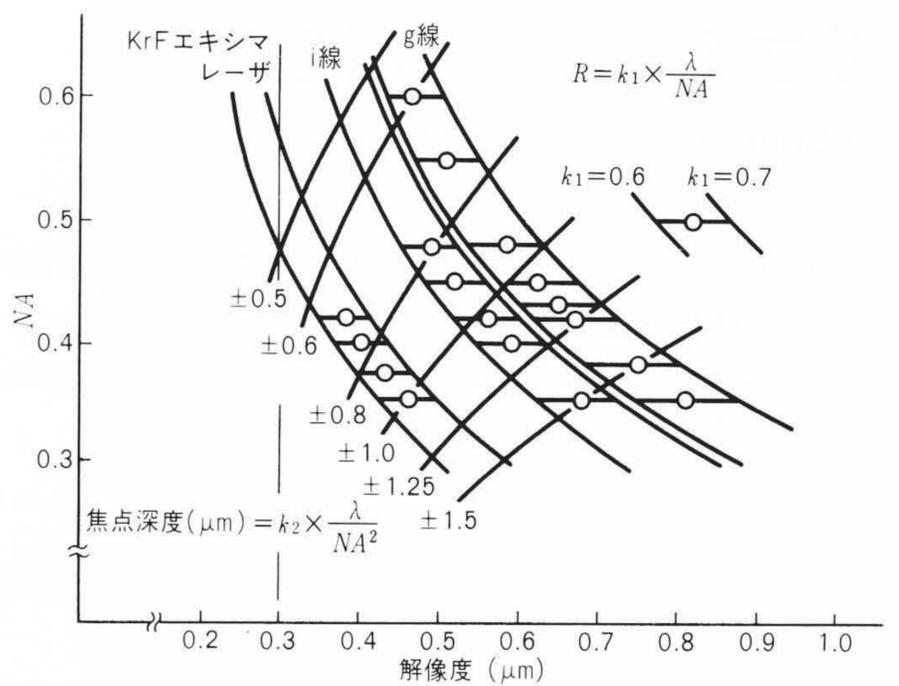
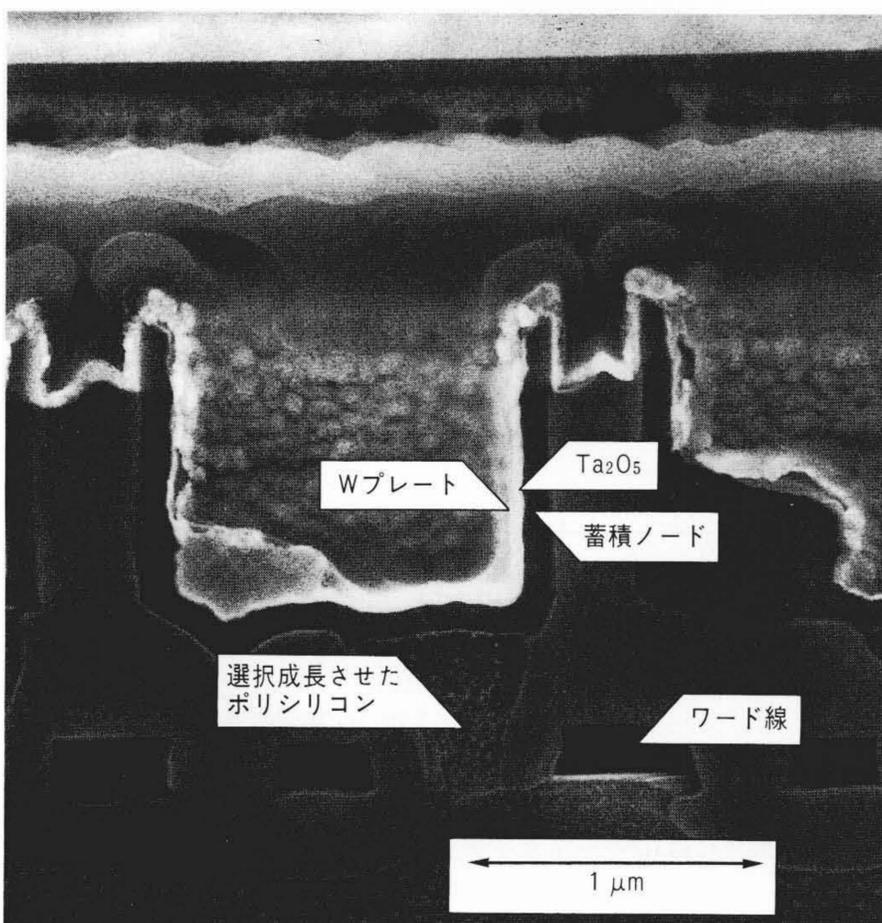


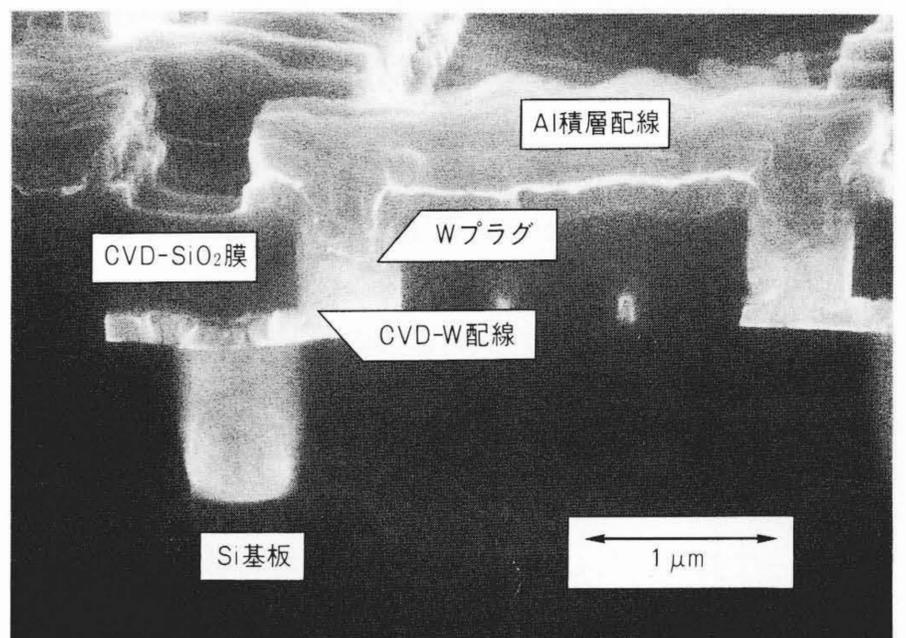
図2 レンズのNAと解像度の関係 NA(レンズの開口数)が大きければ解像度は向上するが, 焦点深度は浅くなる (©Elsevier Science Publishers B.V.).

安定性, レジストプロセスなどに解決すべき課題は多いが, 着実に進歩を遂げている。またX線リソグラフィ, 電子線直接描画法などが0.1 μm 以下の微細パターンの形成を目指して研究開発が進められている。

サブミクロンレベルで特に厳しくなってきたのが素子表面の立体化の問題である。これはDRAMの溝容量セル, 積層容量セルに顕著に現れている。64 MビットDRAMメモリセルと, 配線部分の断面写真を図3に示す⁵⁾。このような立体化が進むにつれ, デバイス表面の厳しい段差を克服する技術がますます重要となる。例えば, 縦に細長くなったコンタクト, スルーホールをポリシリコンやWなどによって埋め込む技術, 段差を緩和する層間絶縁膜の堆積法, 高い段差上でのエッチング技術などである。



(a) メモリセル部



(b) 配線部

図3 64 MビットDRAM断面図 大きな段差を乗り越えて膜を形成する技術, 平坦化する技術が重要になっている。

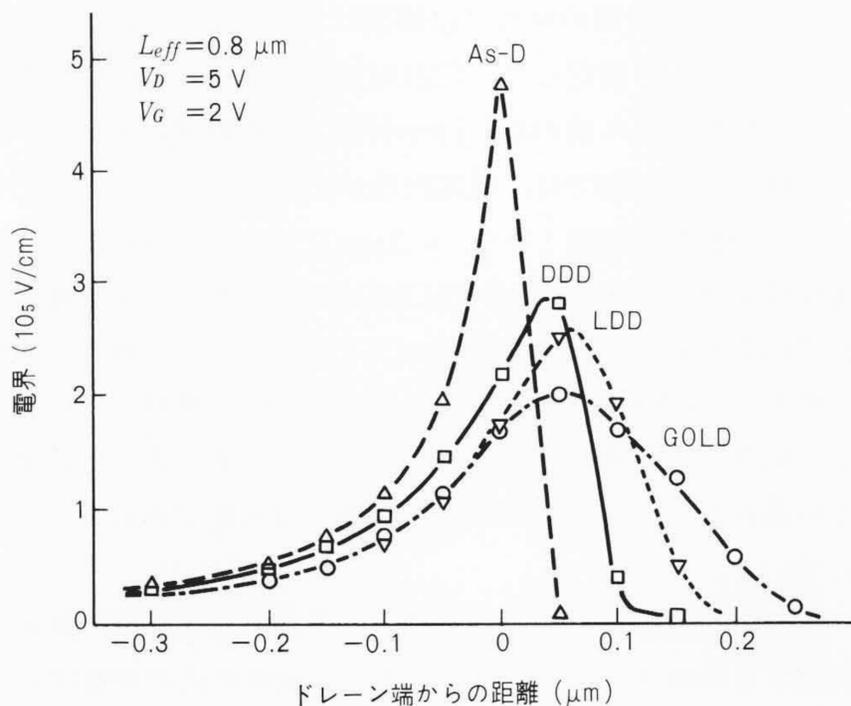
これ以外にサブミクロンレベルで特に問題となるのが、配線のエレクトロマイグレーションやストレスマイグレーションの問題である。これまではAlにSi, Cuを添加することで対処してきたが、1 μm を切るとこれらの単層膜では不十分でWSi, TiN, TiWを下に敷いたり、これで上下を覆うなどの構造が一般化するであろう。Al系配線が切れてもこれらの層でつながっていれば、多少の抵抗の増大はあるが信頼性は向上するという考え方である。

プロセス上の課題は以上にとどまらず、アイソレーション、薄い絶縁膜の信頼性など多数あり、それを克服し、大容量メモリやシリコンチップ上へのシステムインテグレーションを実現するため、研究開発が進められている。

3 サブミクロンデバイスと低電圧動作

3.1 ホットキャリア劣化とMOSトランジスタの改良

MOSトランジスタの特性劣化を引き起こすホットキャリア現象には、種々の注入機構があることが知られている。サブミクロンデバイスで問題となる機構には主として二つある。ソースから流れ出た電子がドレーン近傍の高電界によって加速されるが、衝突を経験せずにゲート酸化膜に飛び込むチャネルホットエレクトロン注入と、衝突電離で発生した電子・正孔が注入されるドレーンアバランシェホットキャリアの注入である。このようなホットキャリアの注入により、表面準位が形成され、素子のトランスコンダクタンスの減少、ドレーン電流の減少が生じる。この対策として各種構造が提案されてきた。三次元のデバイス解析用シミュレータを用いて各



注：略語説明 As-D (Asのシングルドレーン), DDD (二重ドレーン)
LDD (Lightly Doped Drain)
GOLD (Gate-Drain Overlapped Device)

図4 各種ドレーン構造のMOSトランジスタでのドレーン端電界の比較 ドレーン端電界を弱めることにより、ホットキャリアによる劣化を軽減している(©電子情報通信学会)。

種のドレーン構造のドレーン近傍での電界集中を比較した結果を図4に示す⁶⁾。それぞれのデバイス構造の概略は図5に示したとおりである。旧来のシングルドレーン(As-D)での電界が最も高く、DDD(二重ドレーン), LDD(Lightly Doped Drain), GOLD(Gate-Drain Overlapped Device)⁷⁾の順序で小さくなる。ここに示したGOLDは、低濃度ドレーン層上にポリシリコンゲートを持ち、電界の緩和を行う構造になっている。さらに、ソースに強反転層ができるため寄生ソース抵抗が減少し、LDDに比べてドレーン電流が約1.3倍となる。

素子の微細化とともにMOSトランジスタは、ますますホットキャリアに対して弱くなる。素子のしきい電圧のゲート長に対する依存性を低減するため、基板不純物濃度は上げざるを得ないし、ソース・ドレーン接合を浅くするからである。よって、さらに内部電界を緩和する新構造デバイスが実用化されない限り、素子の低電圧動作を考えざるを得ないであろう。現在までの素子構造の変遷でのMOSトランジスタのホットキャリア耐圧 BV_{HC} とMOS集積回路の動作電圧の関係を図6に示す。ゲート長5 μm の時代から、時計用などの一部の低電圧CMOSを除くと、5V動作が標準であった。しかし、今後、0.5 μm 以降の時代には、徐々に定電界あるいは準定電界スケールリングで電源電圧を低下せざるを得ないであろうと考えられる。pMOSトランジスタでも同様のホットキャリアによる劣化が観測されるが、nMOSトランジスタに比較するとその影響は小さい。

3.2 低電圧動作

前節で述べたように、今後MOS集積回路の動作電圧を下げていくことが一般化すると考えられる。このとき、電圧コンバータを搭載して内部的に電圧を下げることもあり得るが、いずれにしても回路を動作させる電圧が低下することには変わりはない。一方、MOSトランジスタではサブスレシールド領域でも電流が流れるため、ゲート電圧が論理の低レベル電圧になったときに完全にオフ状態を保つには、しきい電圧を

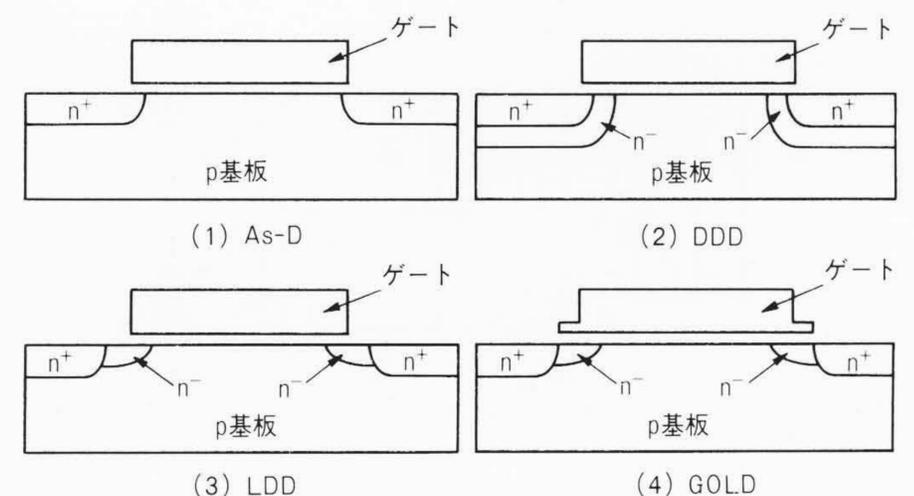
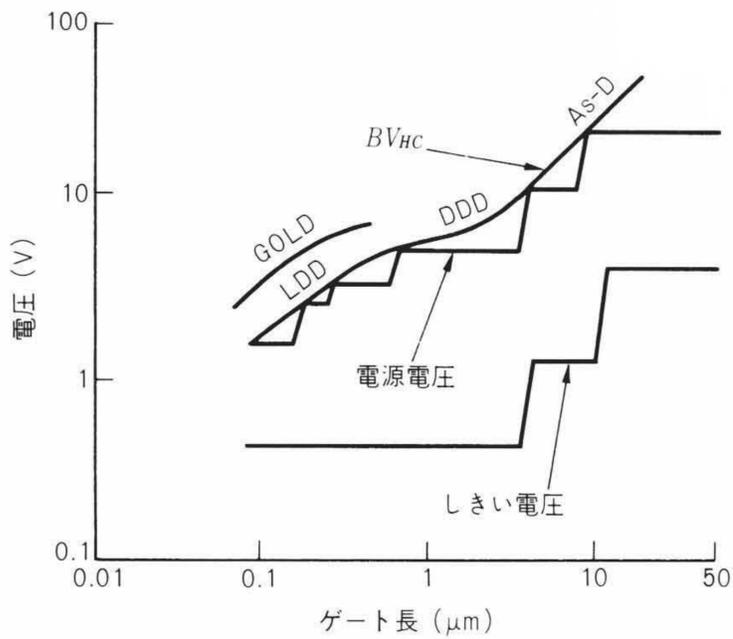


図5 各種微細MOSトランジスタの概略断面図 ドレーン電界緩和のため、n⁻層を挿入している。GOLDではそのn⁻層の上にゲートがあるため、n⁻層の抵抗の影響がほとんどない。



注：略語説明 BV_{HC} (MOSトランジスタのホットキャリア耐圧)

図6 スケーリングに伴う電源電圧の低下 長い間続いた5V電源は、サブミクロンレベルでは下げざるを得なくなっている(©電子情報通信学会)。

ある値以下に下げられない。すなわち、今後有効なゲート電圧振幅は小さくなっていく。

この時代を先取りしてDRAMで1.5V動作を実現した例もある^{8),9)}。1.5V動作、64MビットDRAMに使われているセンス回路を図7に示す。センス回路はメモリセルからデータ線に読み出される微小信号電圧を基準電圧(通常電源電圧の $\frac{1}{2}$)と比較し、増幅する。基準電圧が低いほどその速度は遅くなるため、ここではその対策として電流検出形センス回路を用いている。この回路はセンス回路の負荷の軽減と信号線電圧の

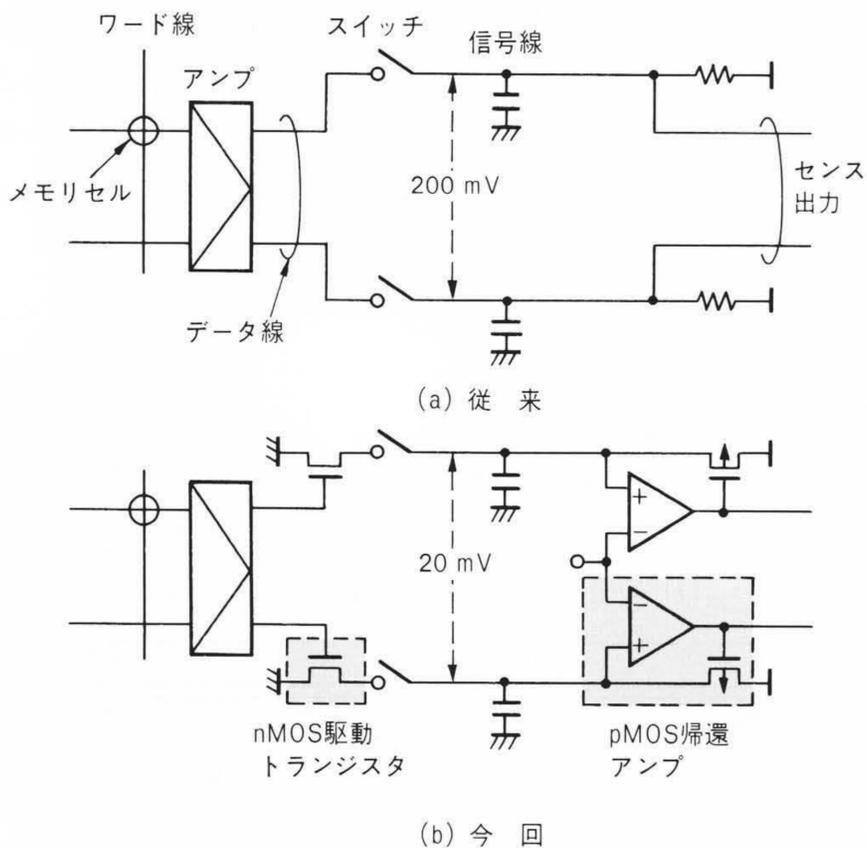


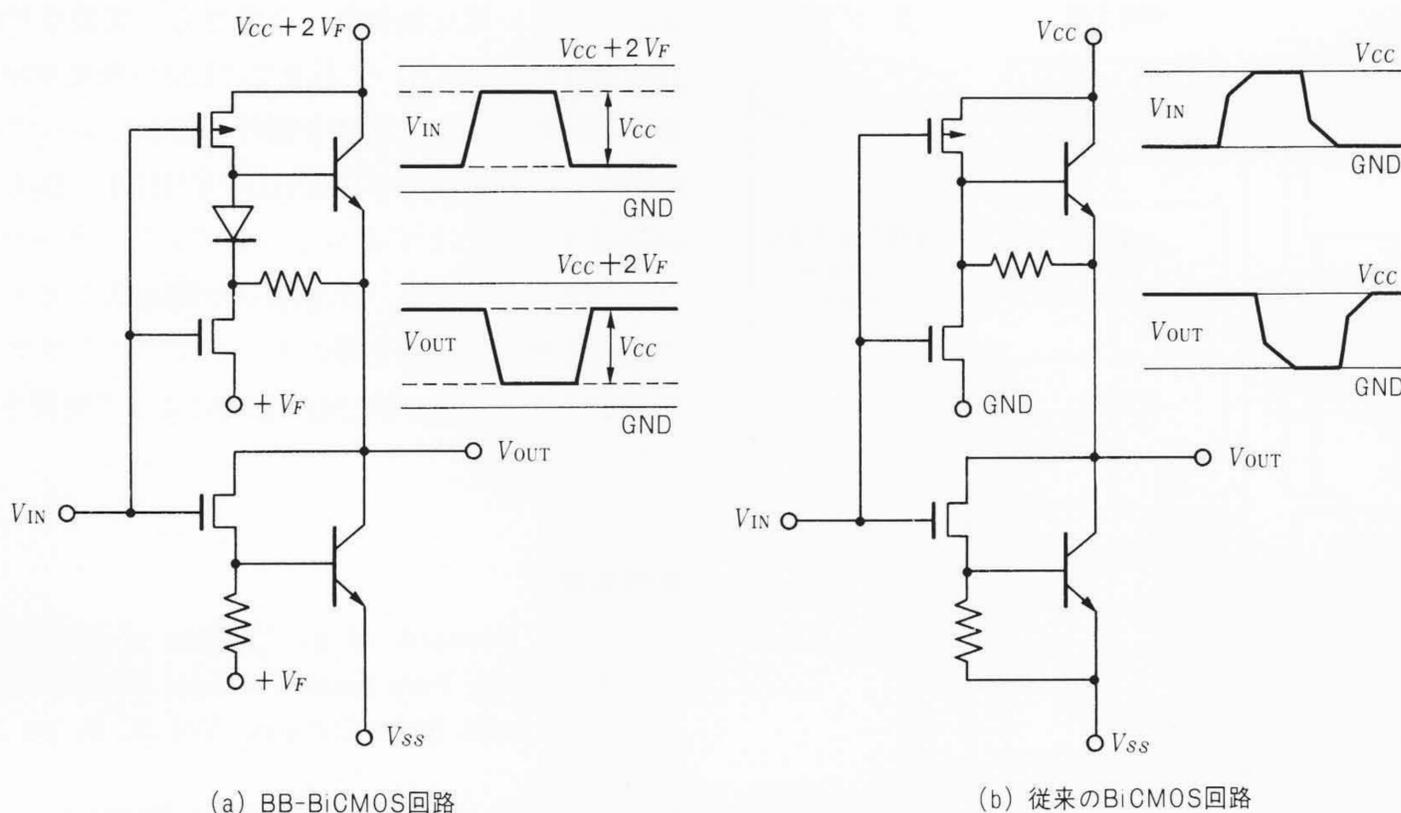
図7 64MビットDRAM用センス回路 データ線と信号線の分離、信号線電圧の低振幅化により、電源電圧1.5Vでの高速動作を実現している。

低振幅化が図れることから、従来の回路方式に比べてアクセス時間の高速化が実現できる。

低電圧動作は、BiCMOS回路にとってはより厳しいものとなる。BiCMOS回路は、バイポーラトランジスタの持つ負荷駆動能力とCMOSの低電力性の両方の長所を組み合わせた回路で、高性能のVLSIレベルの集積回路の必要性が高まるに従って、研究開発が盛んになってきた。BiCMOSの回路は特に大きな負荷を駆動する場合に有利であるが、プルアップ用のバイポーラでの高レベル側の電圧ロスと、プルダウン用のバイポーラでの低レベル側での電圧ロスの分だけ振幅が小さくなる。このため、低電圧化したときの動作では本回路形式は大きな問題が生じる。最近ではこの問題に対処するため、各種回路形式が提案されている。そのような回路の一例を図8に示す¹⁰⁾。新回路ベースバイアス形BiCMOS回路〔Base-Biased BiCMOS: BB-BiCMOS, 同図(a)〕では、CMOS部のドレーン・ソース経路に $+V_F$ 電圧端子(V_F はベース・エミッタ間電圧 V_{BE} よりも若干低い電圧)と順バイアスされたダイオード(順方向電圧がほぼ V_F に等しい)が加えられている。これにより、論理振幅を電源電圧よりも $2V_F$ 下げると同時に、ドレーン・ソース間電圧を電源電圧よりも $2V_F$ 低減している。したがって、MOSトランジスタの耐圧が同じならば、ドレーン・ソース間に電源電圧が印加される従来のBiCMOS回路〔図8(b)〕より、 $2V_F$ 高い電源電圧が使用できるので、MOSトランジスタに印加される電圧が低くても高速動作が可能となる。

BB-BiCMOS回路、従来のBiCMOS回路およびCMOS回路の微細化による速度性能の向上を、回路シミュレーションによって評価した。シミュレーションの結果を図9に示す。ここでは $0.5\mu\text{m}$ 以降の時代には同図に示したように低電圧化がなされていくと仮定した。CMOS回路では、しきい値や寄生抵抗の影響が現れ始める $0.1\mu\text{m}$ 付近で性能限界に達する。従来のBiCMOS回路では、低電圧化がなされる $0.5\mu\text{m}$ 以下で電圧ロスの影響が顕著となり、 $0.3\mu\text{m}$ 以下ではCMOSに対する優位性を失う。一方、BB-BiCMOS回路は電圧ロスが補償されているため、加工寸法 $0.2\mu\text{m}$ まではほぼ一定の割合で性能が向上し、CMOSに対して約2倍の高速性を維持している。この結果は、従来のBiCMOS回路では不可能であった低電圧での高速動作が、BB-BiCMOS回路では可能であることを示している。

以上の議論はあくまでも現状での予測であり、その限界を打破する新構造トランジスタ、新しい回路形式の研究開発が進められている。GOLD, BB-BiCMOSはその一例であるが、今後さらに微細化に適したデバイス、回路を求める努力が続けられるであろう。



注：略語説明 BiCMOS (Bipolar CMOS), BB-BiCMOS (Base-Biased Bipolar CMOS)
 図8 低電圧化に適したBiCMOSゲートの例 ベースにバイアスをかけることにより、バイポーラトランジスタの V_{BE} の影響を軽減し、低電圧動作を可能にする(©電子情報通信学会)。

4 設計技術の動向

先に述べたように、現在最先端のマイクロプロセッサでは1チップに100万個のトランジスタが集積されている。このように、集積規模が大きくなるほど開発にかかる設計工数は加

速度的に増大し、DA/CADの果たす役割がますます重要となる。LSI設計の流れとDA/CADの関係を図10に示す¹¹⁾。設計工数の削減、ひいては設計期間の短縮が強く求められ、しかも、ASIC(Application Specific Integrated Circuit)ではLSIの専門家でないユーザーが設計するようになる。このとき以下に述べるような点が重要となる。

まず、より高位のレベルでの設計を可能とするDA/CADが要求される。現在はブール式レベルから回路レベルへの論理合成がすでに実用段階にあり、論理回路の接続を示すネットリストが出力されるようになっている。今後は、機能レベルからの自動論理合成などのツールが求められている。所要面積、電気的特性などが従来の手法による結果と同等以上であることが要求される。すなわち、論理から回路、レイアウトに至るすべての設計段階の結合を強める必要がある。自動論理合成での入力論理記述としてVHDL¹²⁾(VHSIC Hardware Description Language), UDL/I¹³⁾(Universal Description Language/I)などのハードウェア記述言語を用いることが一般化しつつある。

過去の設計財産の利用も重要な課題である。各段階でのライブラリファイルの充実、設計変更やプロセス変更に伴う保守や変更を容易とするDAが求められる。

論理規模の増大はまた、LSIが製造されてからの故障の検出も難しくしている。機能設計や論理設計の段階からテストビリティを考慮した設計を行う必要がある。現在、ゲートアレーなどにスキャンパス法による内部論理ゲート診断が可能な設計が取り入れられている。今後はその効率をさらに高める

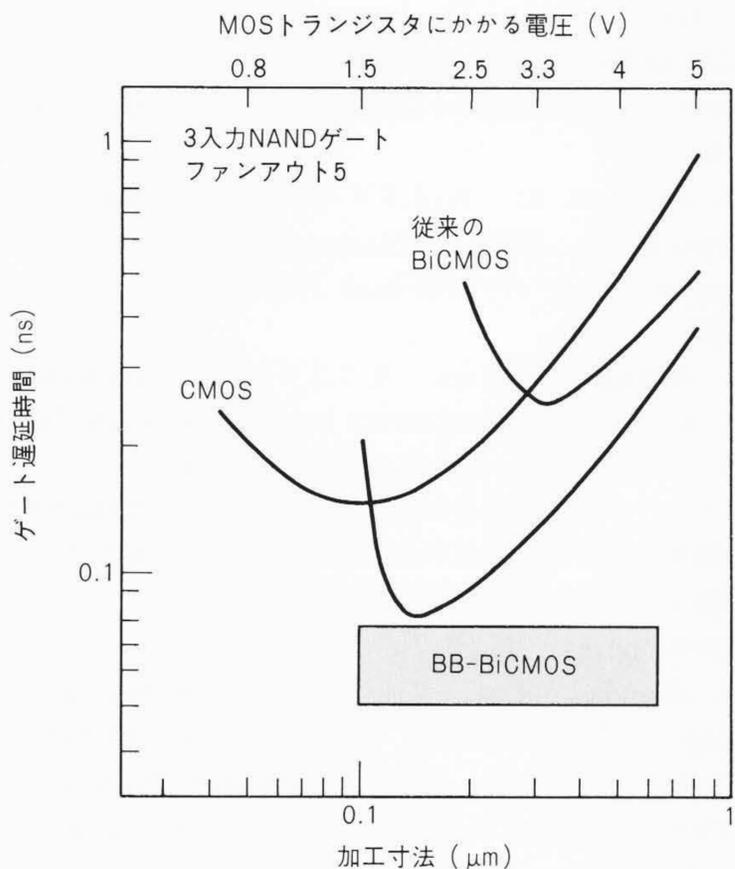
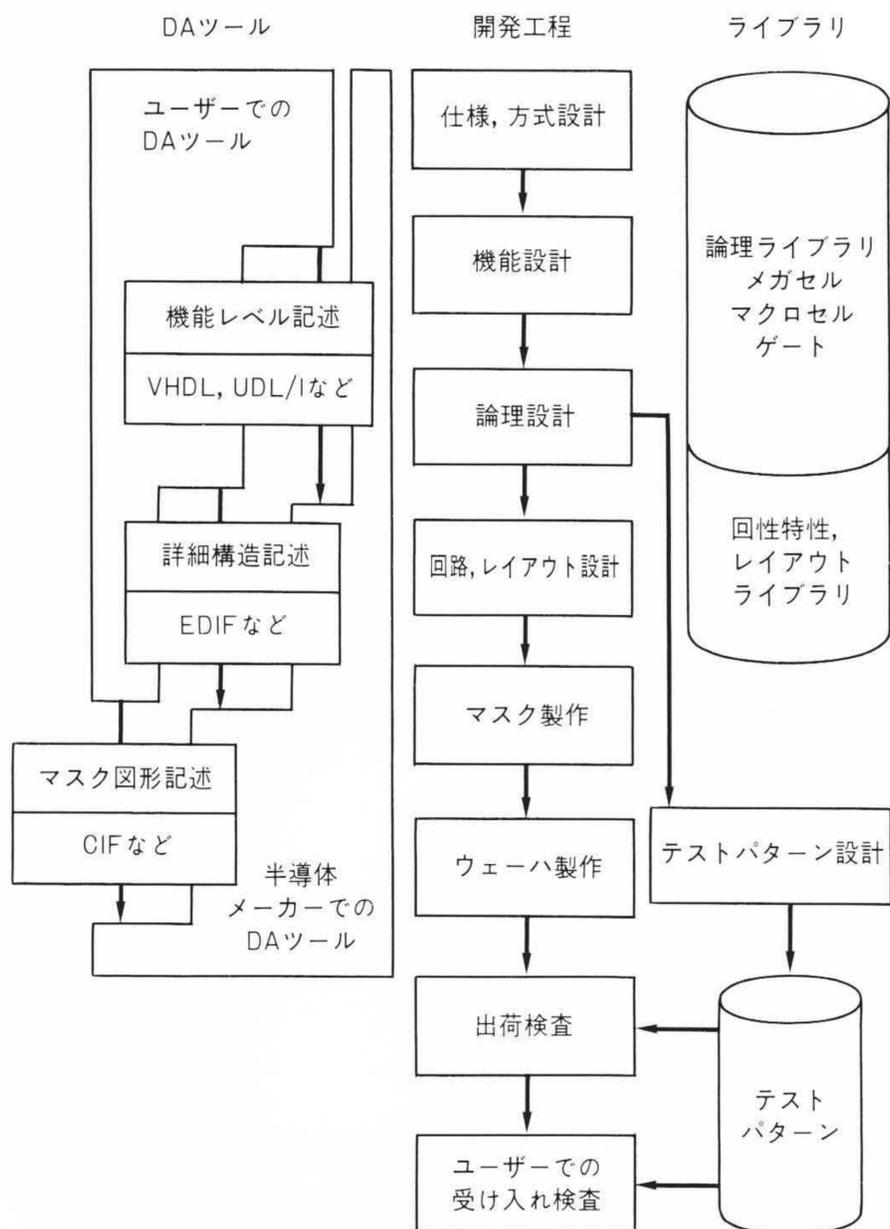


図9 ゲート遅延時間の今後の推移予測 従来のBiCMOS回路では0.3 μ mレベルで限界がくるが、BB-BiCMOSでは0.2 μ mでもCMOSに対する優位性が確保できよう(©電子情報通信学会)。



注：略語説明

- DA (Design Automation)
- VHDL (VHSIC Hardware Description Language)
- UDL/I (Universal Description Language/I)
- EDIF (Electronic Design Interchange Format)
- CIF (CALTECH Intermediate Format)

図10 設計開発工程とDAツール、ライブラリの関係 この図ではユーザーとしたが、汎(はん)用LSIの場合には半導体メーカーがこの部分を行う。

ため、ビルトインセルフテストなどの導入を図っていく必要がある。また、前記高位レベルでの設計に合わせてテストビリティも考慮した論理合成、テストパターンの自動発生などが求められている。

5 結 言

プロセス技術から設計まで、サブミクロンVLSIの問題点と将来について述べた。MOSトランジスタの誕生から30年近くがたっているが、基本的なバイポーラとMOSの構造は現在までも踏襲されている。そして、西暦2000年まではCMOSやBiCMOSを中心とするVLSI/ULSIの発展が続くと考えられる。しかし、本稿で述べたように、サブミクロンレベルでは種々の問題点が見えてきた。本稿で述べた以外にもアイソレーシ

ョン、しきい電圧制御性、消費電力、実装などの問題が横たわっている。しかし、これまでのLSIの歴史が示すように、今後も各分野の人々が英知を傾けることによって多くの課題を乗り越え、西暦2000年にはHDTV(High Definition Television)をはじめとするニューメディア、スーパーパーソナルワークステーション、プロセッサ間通信システムなど、社会の頭脳と神経の役目を果たすインフラストラクチャの重要な部分がサブミクロンVLSI/ULSIによって実現されることを確信している。

参考文献

- 1) R. H. Dennard, et al. : Design of Ion Implanted MOS-FET's with Very Small Physical Dimensions, IEEE Journal of Solid-State Circuits, Vol.SC-9, pp.256~258(Oct. 1974)
- 2) S. Okazaki : Microelectronic Engineering 9, pp.297~304, North-Holland(1989)
- 3) H. Fukuda, et al. : A New Method for Enhancing Focus Latitude in Optical Lithography : FLEX, IEEE Electron Device Letters, Vol.EDL-8, pp.179~180(Apr. 1987)
- 4) M. D. Levenson, et al. : Improving Resolution in Photolithography with a Phase-Shifting Mask, IEEE Transaction on Electron Devices, Vol.ED-29, pp.1828~1836(Dec. 1982)
- 5) Y. Kawamoto, et al. : A 1.28 μm^2 Bit-Line Shielded Memory Cell Technology for 64Mb DRAMs, Symposium on VLSI Technology Digest of Technical Papers, pp.13~14(June 1990)
- 6) 増原, 外 : 高性能サブミクロンデバイス技術の現状と将来, 電子情報通信学会論文誌, C-II, Vol.J72-C-II, pp.298~311(平1-5)
- 7) R. Izawa, et al. : The Impact of Gate-Drain Overlapped LDD(GOLD) for Deep Submicron VLSI's, Proceedings of International Electron Devices Meeting, pp.38~41(Dec. 1987)
- 8) M. Aoki, et al. : A 1.5 V DRAM for Battery-Based Applications, IEEE International Solid-State Circuit Conference Digest of Technical Papers, pp.238~239(Feb. 1989)
- 9) Y. Nakagome, et al. : A 1.5 V Circuit Technology for 64 Mb DRAMs, Symposium on VLSI Circuits Digest of Technical Papers, pp.17~18(June 1990)
- 10) 平木, 外 : 低電圧動作に適したベースバイアス型BiCMOS回路の提案, 電子情報通信学会春季全国大会, C-625(平2-3)
- 11) 増原 : システムをワンチップ化するASIC : スペクトラム, Vol.2, pp.64~71(平1-7)
- 12) M. Shahdad, et al. : VHSIC Hardware Description Language, IEEE Computer, Vol.18, pp.94~103(Feb. 1985)
- 13) O. Karatsu : VLSI Design Language Standardization Efforts in Japan, Proceedings of 26th Design Automation Conference, pp.50~55(1989)