

シリコンファイルへの道を開くフラッシュメモリの開発

A Development of Flash Memory Aimed for Silicon-File

最近の不揮発性メモリへの最大の関心事は、フラッシュメモリの動向である。EPROM(Erasable Programmable ROM)の低コスト、大容量の長所と、EEPROM(Electrically Erasable Programmable ROM)のオンボードでのCPUによる直接書き換えの長所を合わせ持ったフラッシュメモリは、プログラムメモリ用途だけでなく、磁気ディスク置き換えのデータメモリとしても大きな注目を集めている。

今回製品化したHN29C101シリーズは、使い勝手に優れた自動消去機能、1Mビットの大容量、120 ns(Max.)の高速性、高い信頼性などが特長である。特に、フラッシュメモリ特有の問題である、過消去による動作マージン減少を防止するため、業界で初めて消去制御回路をオンチップ化し、CPUの負担を飛躍的に軽減した。この自動消去機能は、過去のEEPROMの機能強化(自動書き換え機能)の流れと同じく、フラッシュメモリの今後の主流技術となるであろう。

和田武史* Takeshi Wada
関 浩一** Kôichi Seki

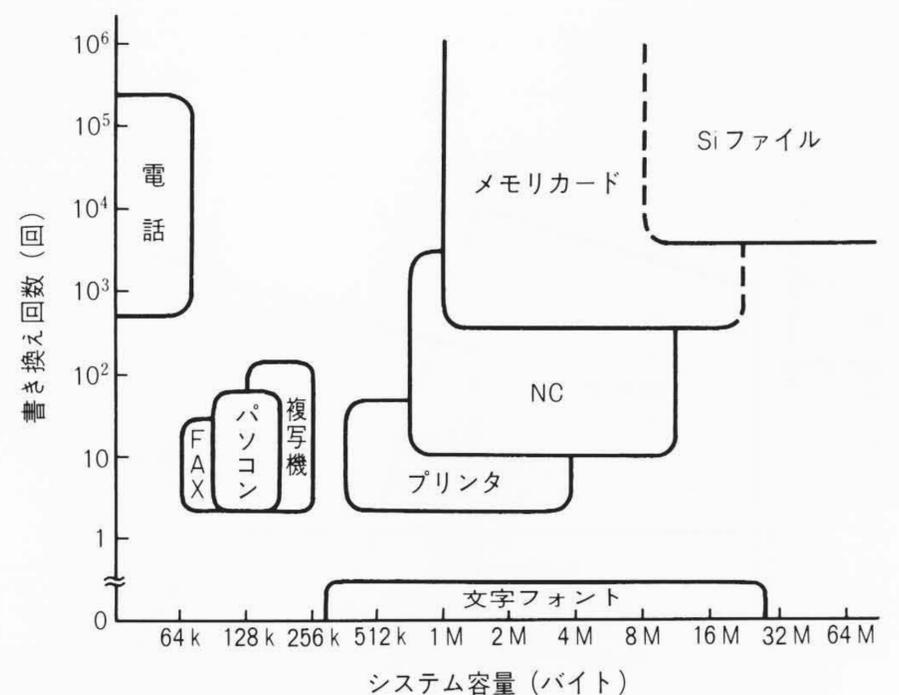
1 不揮発性メモリの市場動向

不揮発性メモリの市場は、RAMと異なりプログラムや固定データを格納する用途が中心で、文字フォント、パーソナルコンピュータ(以下、パソコンと略す。)やワークステーションのOS、数値制御、プリンタ、ファクシミリなどがあげられる。しかし、プログラム格納用途では、バグ対策やソフトのバージョンアップに対応するため、書き換え可能なPROM(Programmable ROM)の要求が高い。不揮発性メモリのシステム容量と書き換え回数の点から応用分野を示したのが図1である。ここで特徴的なことは、従来は文字フォントに代表されるように、大容量指向のものはビット単価が安く、その結果書き換え回数が低い、または書き換えのできない不揮発性メモリ(例えばマスクROM)が使われていたが、最近ではメモリカードに代表されるように、磁気ディスク置き換え用途、すなわち大容量でかつ書き換え回数が多いメモリのニーズが急速に高まっている。

一方、不揮発性メモリデバイスとしては、ビットコストが魅力のマスクROM、フィールドプログラム可能なEPROM、オンボードで何度も書き換えができるEEPROMとそれぞれの特徴を生かし住み分けができていた。しかし、上記のような大容量でビットコストが安く、かつオンボードで何度も書き換えができるという市場ニーズを満足するデバイスとして、フラッシュメモリが登場し、技術動向が注目されている。日

立製作所ではフラッシュメモリ製品化の第一弾として、大容量の1Mビット品を量産化し、メモリカード用途を中心に好評を得ている。

以下にその高機能、高性能、低コストを実現するためのデ



注：略語説明 FAX (ファクシミリ), パソコン (パーソナルコンピュータ), NC (数値制御)

図1 不揮発性メモリの市場動向 大容量化、ビットコストの低減および書き換え耐性の向上のニーズが高い。

* 日立製作所 半導体設計開発センター ** 日立製作所 中央研究所 工学博士

バイスの特長、内部システム構成および評価データについて述べる。

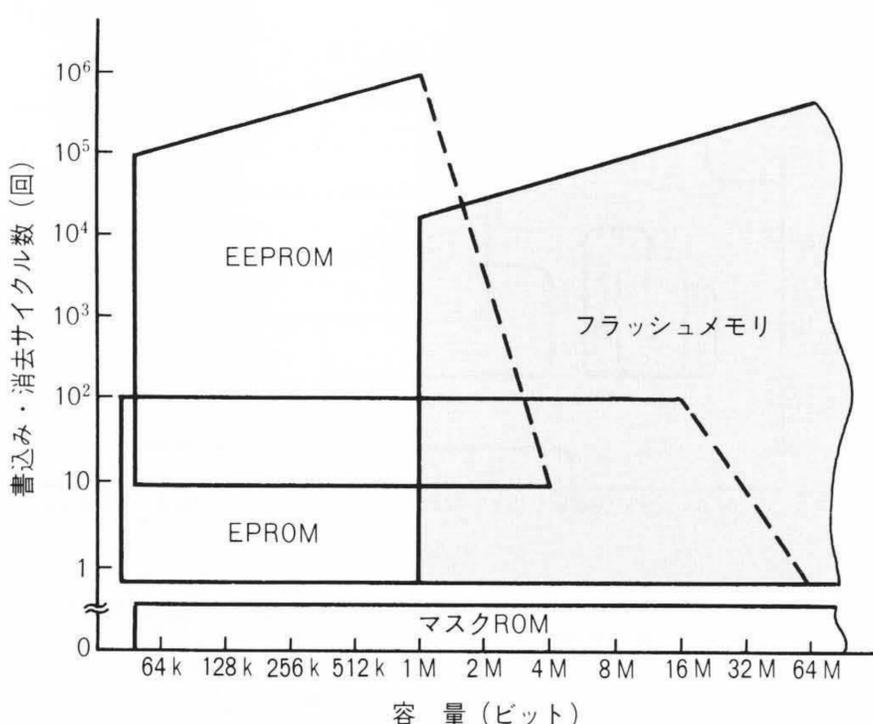
2 フラッシュメモリの位置づけと開発目標

2.1 不揮発性メモリとしての位置づけ

1章では市場ニーズの面から、不揮発性メモリのメモリ容量と書き換え回数の関係を示したが、メモリデバイスの面から示したのが図2である。現在量産化されている最先端デバイスではEEPROMが256 kビットの容量で書き換え保証10⁵回、EPROMが4 Mビットで100回以下、マスクROMが8~16 Mビットで書き換え不可という状況であるが、フラッシュメモリは256 k~1 Mビットで100回~10⁴回の書き換え回数となっている。今後も、EEPROMとフラッシュメモリがプロセス、デバイスの改良による高信頼化で、さらに書き換え回数を伸ばしていくものと予想される。一方、ビットコスト低減を実現するための大容量化の動きに注目すると、メモリセルサイズの面から、(1)マスクROM、(2)EPROM、フラッシュメモリ、(3)EEPROMの順に大容量化が進んでいる。

2.2 不揮発性メモリの技術比較

次に、メモリセルサイズなどの不揮発性メモリの業界一般での技術比較を表1に示す。メモリセル構成は、EEPROMの2トランジスタ(2 Tr)を除いて1トランジスタ構成であるが、マスクROMは、NAND形(縦ROM)を使用している点で、セルサイズの面から有利である。その結果、同一プロセスレベルを使用した場合、例えば0.8 μmプロセスでは、マスクROMは8~16 Mビット、EPROMは4 Mビット、EEPROMは1 M



注：略語説明 EEPROM (Electrically Erasable Programmable ROM)
EPROM (Erasable Programmable ROM)

図2 不揮発性メモリの位置づけ フラッシュメモリの大容量化と書き換え回数向上の動きが急速に高まる。

表1 不揮発性メモリの技術比較 フラッシュメモリはEPROMに近いセルサイズで、EEPROMに近い書き換えフレキシビリティがある。

項目	セル構成	セルサイズ比	書き換え回数	書き換え電源	オンボード書き換え
マスクROM	1 Tr. (NAND)	0.35~0.5	不可	—	—
EPROM	1 Tr.	1.0	~100回	V _{CC} /V _{PP}	不可
フラッシュメモリ	1 Tr.	1.2~2.0	100~10 ⁴ 回	5 V/12 V	可
EEPROM	2 Tr.	3~5	10 ⁴ ~10 ⁵ 回	5 V	容易

注：略語説明 Tr.(トランジスタ)

ビットの容量が実現でき、最大16倍の容量差が発生する。ここで、マスクROMの場合、周辺回路が簡単で、高圧系の回路が不要なことからさらに高集積化に有利な点を考慮してある。フラッシュメモリの場合EPROMとの比較では、セルサイズが1.2~2.0倍とやや大きい。しかし、日立製作所ではメモリセル方式として、スタック形というセルサイズがいちばん小さい方式を採用しており、0.8 μmプロセスを使用した場合、EPROMと同じ4 Mビットの容量が実現可能である。

一方、書き換え性能の面では、EEPROMが5 V単一電源で、オンボード書き換え容易、書き換え回数が10⁴~10⁵回と優れている。フラッシュメモリは、名称のとおり全ビットを一度に消すメモリであり、弱点としては12 V電源を必要とすることがあげられる。しかし、これは一世代先の大容量化が可能で、ビットコストが安いという長所で相殺されると考えられ、むしろオンボード書き換えの容易性のほうが問題である。すなわち、フラッシュメモリはデバイスの性格上、書込み時はベリファイを必要とし、消去時は4章で詳しく述べるような複雑な制御が必要で、そのままでは使い勝手が悪くなってしまう。この使い勝手向上のための技術課題は、過去のEEPROMの発展の中でも重要なファクタを占めてきたが、フラッシュメモリでも市場開拓のための大きな鍵(かぎ)となるものとする。

2.3 フラッシュメモリ開発目標

以上の点を考慮して、フラッシュメモリの開発目標として表2に掲げた内容を決定した。まず、最初の市場参入の容量としては、フラッシュメモリ固有の技術課題の検討、および応用分野が比較的広い点を考慮し、1 Mビットに決定した。また、使用プロセスは4 Mビットへの展開を意識し、一世代進んだ0.8 μmプロセスを採用した。

書き換え仕様は、オンボードでの使い勝手を良くするために、書込み、消去ともにベリファイなどの外部制御が不要な仕様とし、特に消去は、複雑な制御をすべてオンチップ化した自動消去仕様とした。ピン配置については、EPROMとの読出し互換性を考慮し、また消去信号を1ショットパルスの印加で制御できるように、消去制御ピン(EEpin)を、1 M EPROMの空きピン(30ピン)に割り付け、図3のように決定した。

表2 フラッシュメモリ開発目標 EPROMと同等の性能と、EEPROM並みの使い勝手の良い機能を開発目標とした。

項目	目標	備考
プロセス	0.8 μm	4 Mへの展開容易
メモリセルサイズ	EPROM×1.2以下	日立0.8 μm EP: 7.84 μm ²
容量	1 Mビット	—
チップサイズ	EPROM×1.2以下	1 MEPシュリリング版: 32.9 mm ²
アクセス時間	150 ns(Max.)以下	—
書き換え電源	5 V・12V	—
書込み	ベリファイなし	—
書込み時間	200 μs以下	1 MEP ROM並み
消去	1ショットパルス	—
消去時間	1 s以下	—
書き換え回数	10 ⁴ 以上	—
パッケージ	小形・薄形パッケージ対応	メモリカード対応

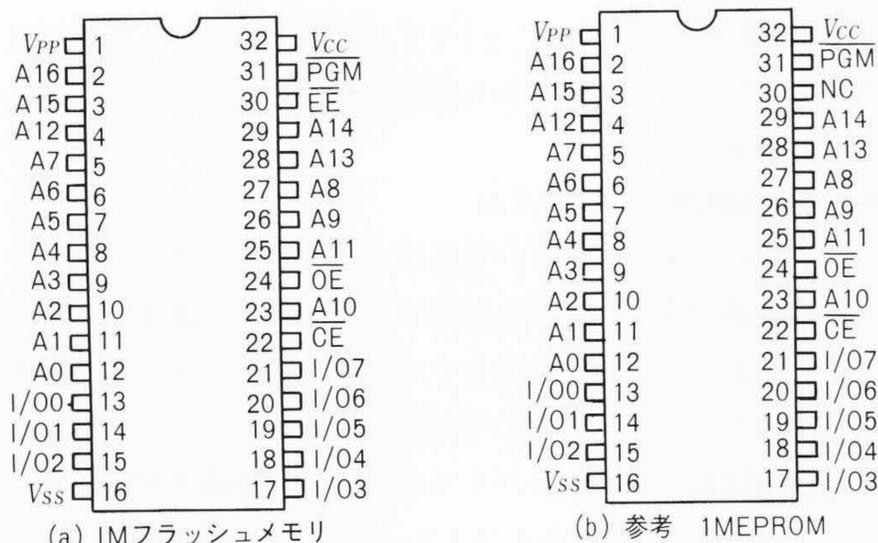


図3 1Mビットフラッシュメモリピン配置 EPROMと読みし互換性のあるピン配置とした。

3 メモリセル構造と動作原理

日立製作所のフラッシュメモリのメモリセル構造を図4に示す。基本構造はEPROMと同様であるが、フローティングゲート下の酸化膜が非常に薄い(約10 nm)こと、および消去時にソースに12 Vの高電圧がかかるので、ソースの拡散プロファイルが高耐圧仕様になっていること、の2点が大きく異なる。

メモリセルの動作原理を、図5を用いて説明する。書込みはEPROMと同様、ゲート、ドレーンに高電圧をかけ、ドレーン近傍で発生したホットエレクトロンをフローティングゲートに注入することによって行う。書込み後はしきい電圧が高くなる。消去はゲートを接地し、ソースに高電圧をかけ、FN(Fowler Nordheim)トンネル²⁾により、フローティングゲートに蓄積した電子をソースに引き抜く。この場合、ドレーンは開放状態にある。消去後はしきい電圧が低くなる。読出しはEPROMと同様、ゲートにV_{CC}をかけ、しきい電圧の高低に

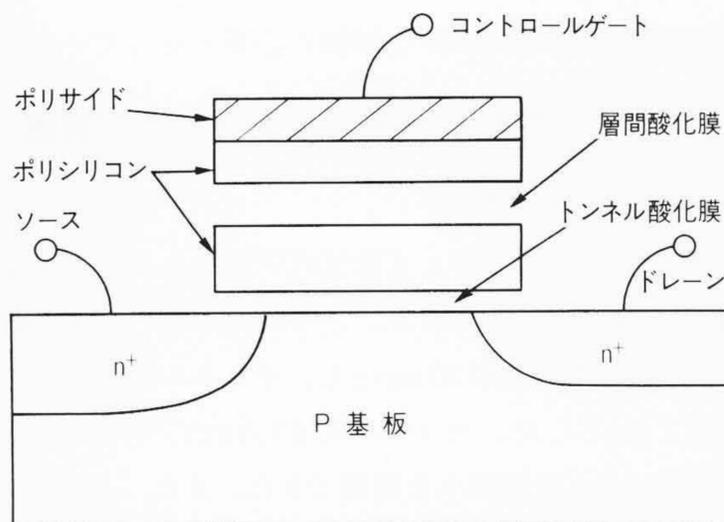


図4 メモリセル断面図 基本構造はEPROMと似ているが、酸化膜厚と拡散プロファイルが異なる。

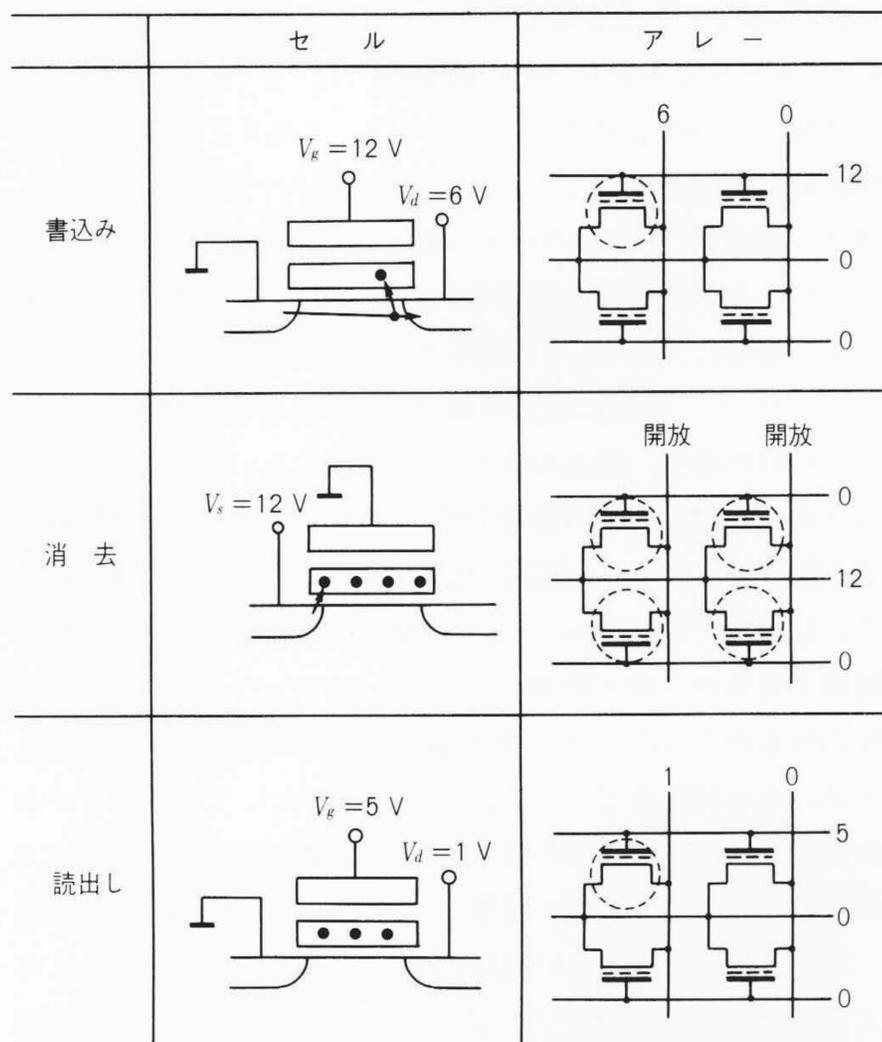


図5 メモリセル動作原理 読出し、書込みはEPROMと同一である。消去だけ異なり、ゲート接地、ドレーン開放、ソースにV_{PP}印加する。

応じたドレーン電流のON/OFFをセンスアンプによって検出し行う。

消去単位は、2トランジスタセルでバイト書き換え可能なEEPROMとは異なり、ソースへの高電圧の印加が一括して行われるため、全ビット(チップ)一括消去となる。ただし、ソースを分割して別々に高電圧を印加すれば、ブロック分割による部分消去が可能となる。

以上のように日立製作所のフラッシュメモリは、メモリセル構造が非常に簡単で動作原理も比較的単純であるが、プロセスに起因したメモリセル間の特性ばらつきの影響が大きく、

その結果書き換え時に細かな制御が必要となってくる。

4 メモリセル特性とメモリアレーでの問題点

4.1 単体メモリセル特性

日立製作所のフラッシュメモリのプロセスと、メモリセル単体特性の概要を表3に示す。メモリセルのトンネル酸化膜は10 nm, 層間酸化膜は30 nmとし, チャネル幅1.2 μm, チャネル長1.2 μmとした。セルサイズは0.8 μmプロセス採用により, 10.36 μm²と世界最小を実現できた。また, メモリセル特性としては, まず読出し電流は80 μA typ. とEPROMに近い値が得られ, アクセス時間をEPROMに近づけることが可能である。また, 書込み時間は15 μs typ., 消去時間は200 ms typ. と表2の開発目標からみれば申し分のない値が得られた。

4.2 メモリセルアレーでの問題点

単体では良好な特性を得られたが, メモリアレーでは消去特性に問題が発生した。ここでメモリアレー特性は, 書込み, 消去, 読出し(メモリのしきい電圧チェック)のできる128 kビットのセルアレーで, 諸特性の評価を行った。消去特性の結果を, 縦軸にメモリしきい電圧の相対値(書込み後の標準値を1とした)を, 横軸に消去時間(累積値)をとり, 図6に示す。EPROMの場合, 書込み後のメモリセルしきい電圧は加工などのプロセスばらつきの影響でやや分布が広がるが, 紫外線による消去後は, しきい電圧で±0.1 V以下の範囲に分布がそろう。しかし, フラッシュメモリの場合, 書込み後はEPROMと同様であるが, 消去時間を長くするにつれてメモリしきい電圧の分布がさらに広がり(紫外線消去のEPROMの10倍以上), メモリセル特性のビット間ばらつきが増大していることがわかる。これは, 酸化膜の膜質やミクロな欠陥などのプロセスの微妙なばらつき要因が影響しているものと考えられている。

消去後のメモリしきい電圧のビット間ばらつきが特性に与える影響は, 電源電圧マージン, アクセス, 書込みなど多岐にわたり, フラッシュメモリの基本的問題点と言える。これを回避するためには, プロセス的なばらつき防止策以外に,

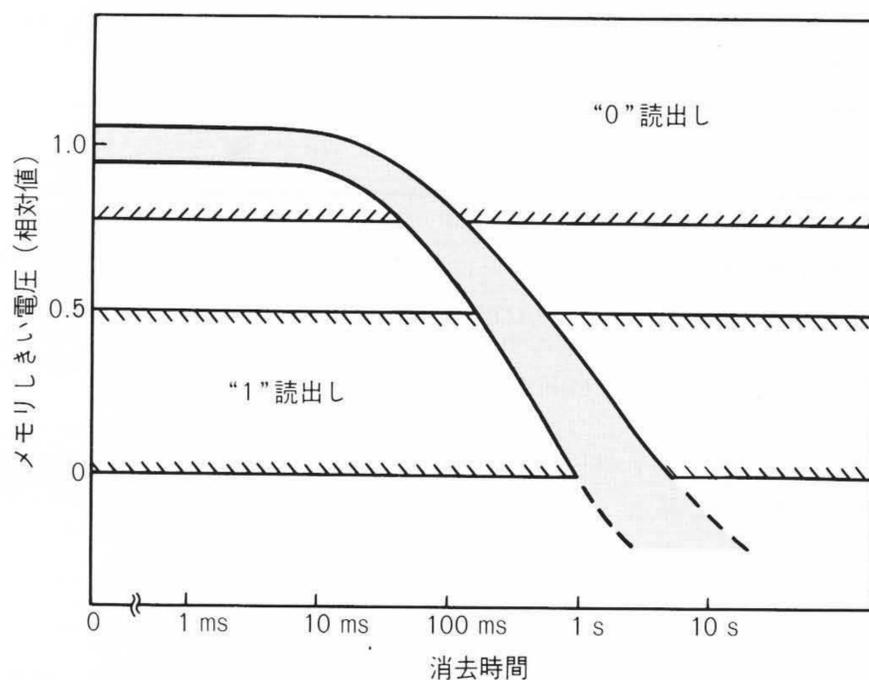


図6 メモリアレー消去特性 消去するにつれて, しきい電圧の分布が広がり, “1” 読出しマージンがなくなる。

消去制御の方法として, 消去の早い先頭ビットがデプリート(しきい電圧が負になること)せず, 最終ビットのしきい電圧を十分下げること, すなわち過消去を防止する制御アルゴリズムが重要となる。

4.3 消去制御アルゴリズム

消去後のビット間しきい電圧ばらつきのあるフラッシュメモリの最適と思われる消去制御アルゴリズムを図7に示す。まず, 消去前のしきい電圧をそろえるために, 全ビットに書込みを行う。次に, 消去の早い先頭ビットがデプリートしない範囲の比較的短い消去パルスを印加し, 先頭アドレスでのベリファイを行う。これをベリファイOKになるまで繰り返す。OKになれば次のアドレスに移る。そして, 全ビットのベリファイがOKになるまで上記を繰り返す。本アルゴリズムにより, 消去の遅いビットへの最適制御が可能となり, かつトータル消去パルス幅も最小化されることから, 過消去の問題も起こりにくくなり, 特性への影響を少なくできる。

5 フラッシュメモリ システム設計³⁾

5.1 高機能自動消去回路

前章で述べたように, フラッシュメモリの動作マージンを確保するためには, 少しずつ消去を進め最適な状態で止める必要がある。CPUは図7のアルゴリズムで示した制御を行う必要があり, 負担が大きい。そこで日立製作所では, 使い勝手向上を目的として, メモリチップにみずから消去制御を行える機能を備えることにした。

(1) インタフェースとタイミング

フラッシュメモリは, 書き換え時にはRAMやEEPROMと違って, 消去と書込みの2ステップが必要である。それゆえ外部信号として, おのおの1ショットのパルスで制御できるようにした。消去時の外部タイミングを図8に示す。

表3 単体メモリセル特性 表2の開発目標に対し良好な結果が得られた。

項目	結果
設計ルール	0.8 μm
メモリセルサイズ	10.36 μm ²
プロセス技術	1層Al配線 2層ポリシリコン (うち1層ポリサイド付き)
トンネル酸化膜	10 nm
層間酸化膜	30 nm
メモリ幅・長さ	1.2 μm・1.2 μm
メモリ電流	80 μA typ.
書込み時間	15 μs typ.
消去時間	200 ms typ.

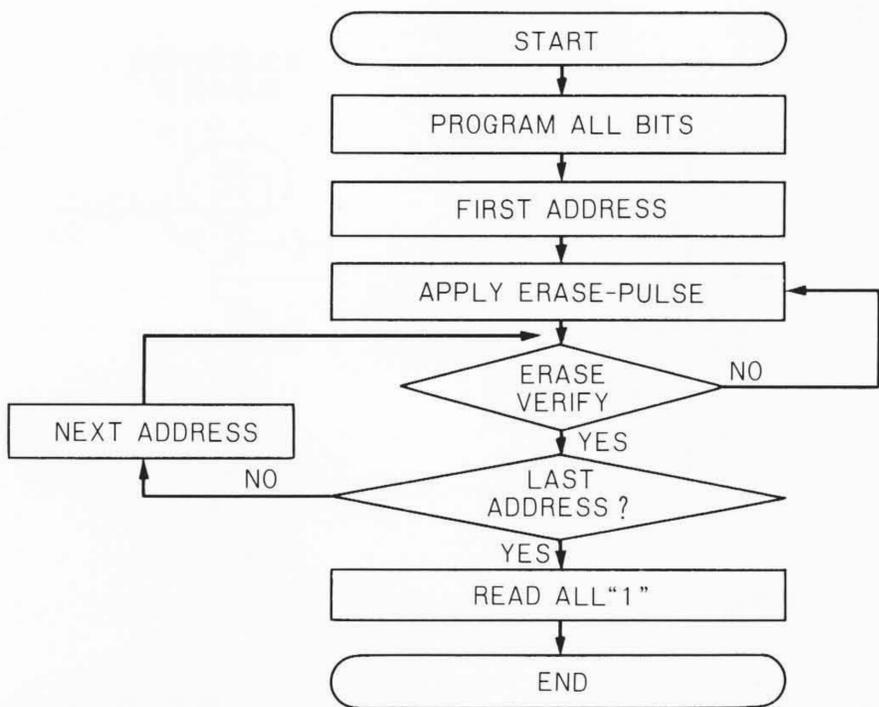


図7 消去制御アルゴリズム 消去の遅いビットは、消去ベリファイがPASSするように、消去の早いビットは、累積消去パルス幅が最小になるようなアルゴリズムである。

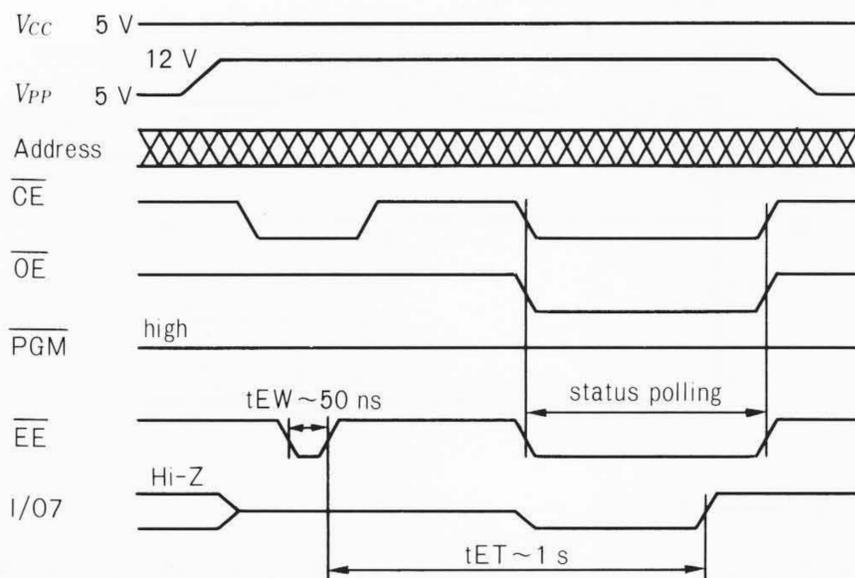


図8 自動消去制御信号 消去パルスが、1ショットパルスでその他の制御が不要である。ステータスポーリングでCPUが消去状態を確認できる。

消去モードの設定は、50 ns程度のパルスをEEピンに印加することによってモードをラッチする。システムバスを開放状態にし、内部で消去動作が開始する。消去状態のCPUからの確認は後述するステータスポーリング機能により行う。消去中のメモリはステータスポーリング以外のモードを受け付けず、また本モードにより、CPUからのアクセスがあれば消去中は“0”，消去終了後は“1”をI/O7から出力する。本方式の採用により、EEPROM並みのCPU負担軽減が達成される。

(2) オンチップ消去制御回路

フラッシュメモリ全体のブロックダイアグラムを図9に示す。消去制御回路は、モード保持のためのラッチ回路、各ビットを選択制御するための内部アドレス発生器、消去パルスなどを制御するタイミング制御部、消去ベリファイ用の電源から成る。内部信号の設計タイミングを図10に示す。

外部からEE(Erase Enable)の消去パルスが入るとまずモードをラッチする。次に、内部アドレス発生器が動き出し、消去前の全ビット書込み(プレライト)を行う。その後センスアンプ出力での消去OKの判定が出るまで、消去パルス発生、ベリファイを繰り返す。消去ベリファイOKになればアドレスをインクリメントし、最終アドレスまで全ビット消去OKになるまで以上を繰り返す。

ステータスポーリングは、消去中のシステムバスフリーの状態にCPUから消去状態のアクセスがあったときに、内部の消去モードラッチ信号をI/O7へ出力する仕組みになっている。本機能により、CPUがフラッシュメモリの消去時間のほとんどは、他の仕事を行うことを可能にした。

5.2 高感度新センスアンプ

フラッシュメモリのセンスアンプは、メモリセル読出し動

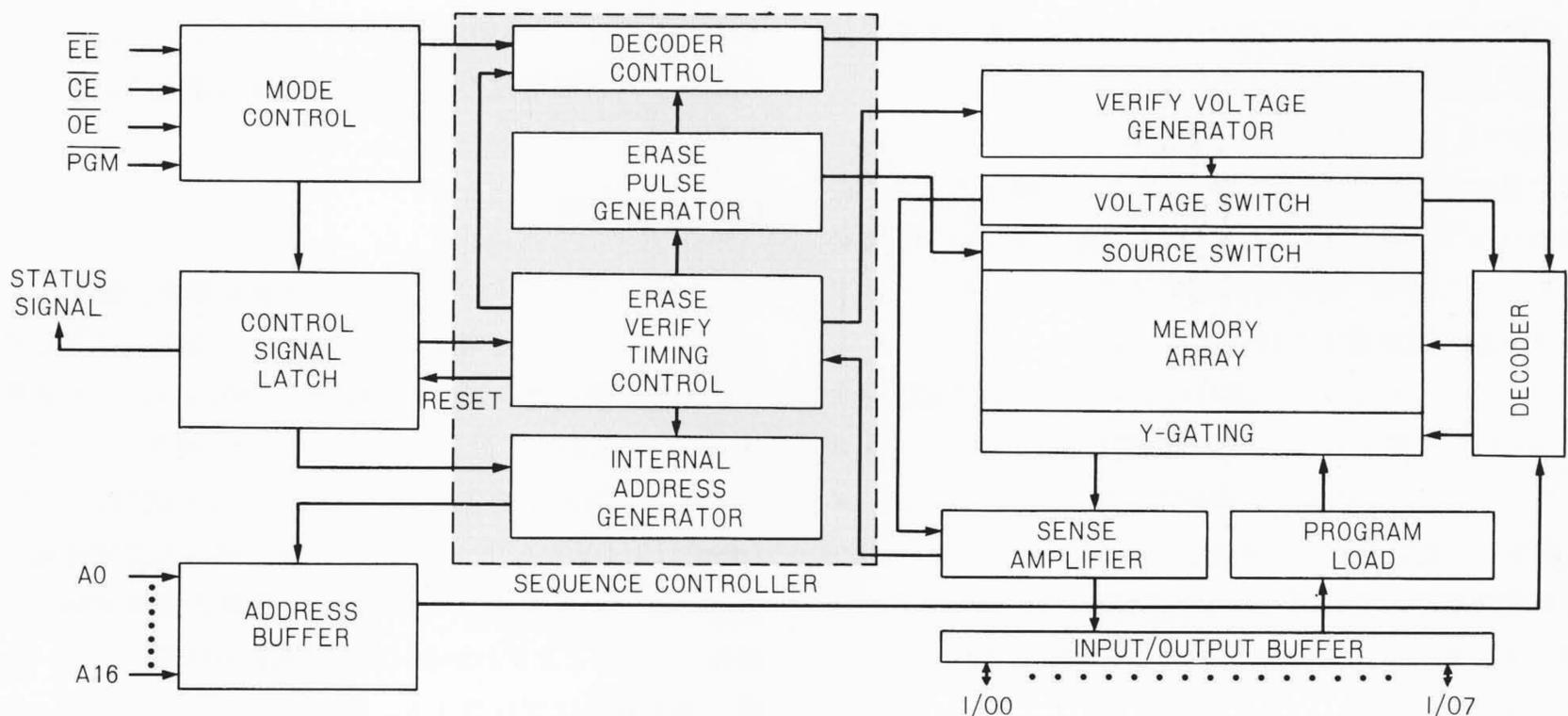


図9 フラッシュメモリ全体ブロック図 破線で示した部分が、図7の消去制御アルゴリズムを実現する回路ブロックである。

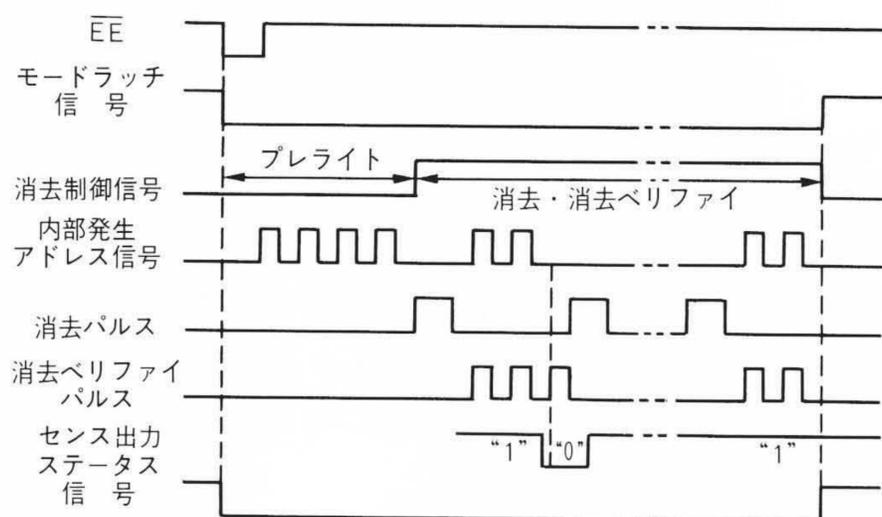


図10 内部タイミングチャート 自動消去中の内部タイミングは、プレライト(全ビットへの書込み)と消去・消去ベリファイの二つに大別できる。

作がEPROMと同一のため、基本構成はEPROMのセンスアンプと同様である。しかし、フラッシュメモリの場合、(1)メモリセルの消去後しきい電圧のばらつきが原因で“1”読出し電流の最小値がEPROMに比べはるかに小さいこと、(2)消去後のベリファイ時に、通常の電源電圧 V_{cc} より低い電圧で動作マージンを確認する必要があること、の2点からEPROMよりも感度の高いセンスアンプが必要となる。このような要求を満足するために、図11に示す新センスアンプを採用した。

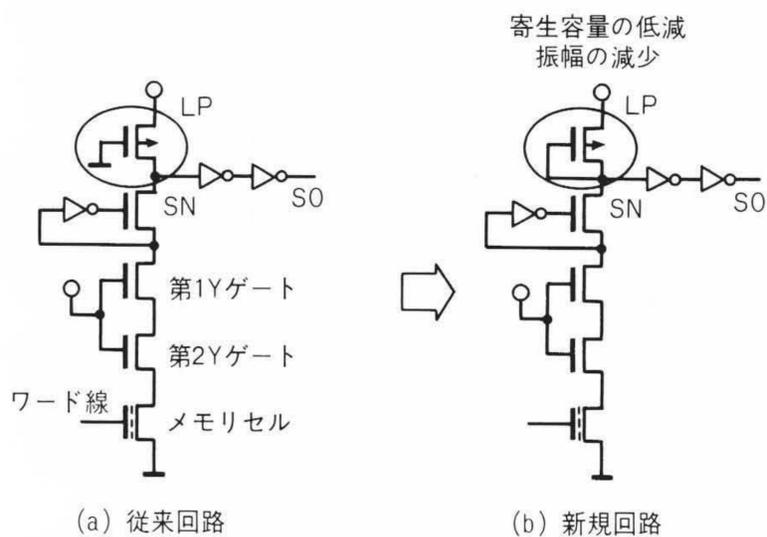
基本構成は、電流センス方式シングルエンド形のセンスアンプで、フィードバックインバータによるデータ線電圧クランプ回路が付いている。従来回路では、負荷のPMOS(P-Channel MOS)はゲート接地で使用していたが、高感度化のため下づりPMOS負荷方式とした。これにより、接点LDでの振幅の減少と寄生容量低減により、メモリセル電流が小さい領域でアクセス遅延が少なくなり、動作マージンも確保することができた。本センスアンプ使用時の回路シミュレーション結果を図12に示す。消去後のメモリセルしきい電圧が、例えば2.5Vと大きく、セル電流が10 μ A程度と少ない場合に、従来回路に比べて30 nsの高速化を実現できた。

5.3 消去ベリファイ用電源と切換回路

前節で述べたように、電源電圧マージンを確保するためには、消去ベリファイ時に V_{cc} よりも低い電圧でチェックする必要がある。その結果、センスアンプ、デコーダには、モードによって複数の電源電圧を印加する必要がある。

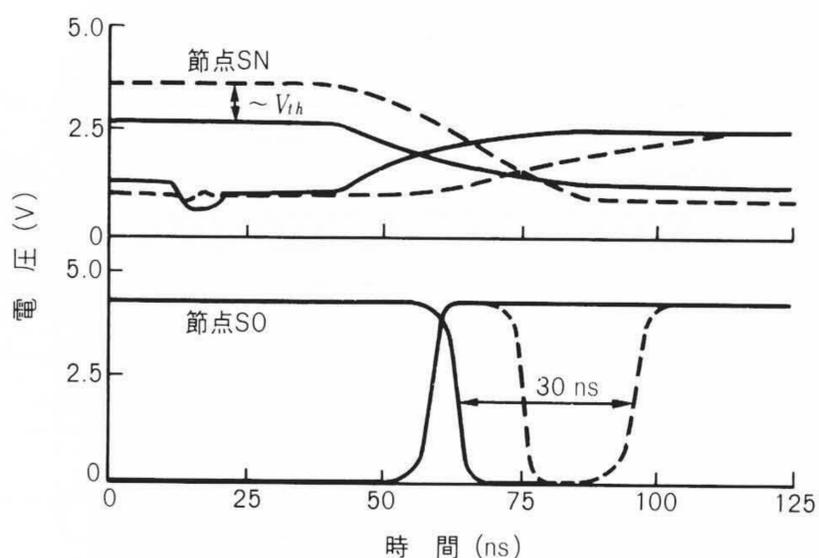
消去ベリファイ用電源は、図13に示すように基準電圧発生回路で得られた低電圧 V_{ref} を、位相補償付きボルテージフォロアのドライバによって供給する構成とした。 V_{ref} としては、メモリの読出し可能電源電圧を考慮し、3.4Vに設定した。また、同図中の電源切換回路で各モードに対応して、デコーダには3水準、センスアンプには2水準の電圧が印加されるようになっている。

消去ベリファイ時の過渡応答のシミュレーション結果を図14



(a) 従来回路 (b) 新規回路
注：略語説明 LP (ロードPMOS), SN (センスノード), S0 (センスアウト)

図11 センスアンプ回路図 EPROMよりもメモリ電流の最小値が小さいので、負荷PMOSをゲート接地から下づりに変更した。



注：—— 新規回路, - - - - 従来回路

図12 シミュレーション結果 新規回路により、メモリのしきい電圧が高い条件でのアクセスが、30 ns高速化できた。

に示す。同図中センスアウト信号は $V_{cc} = 5$ V系に増幅した信号で、当該ビットが消去されて“1”が出力されるときに過渡応答で、内部電源の安定性は十分確保されていることがわかる。

6 評価結果

1Mビットフラッシュメモリの評価結果を、表4にまとめて示す。チップサイズは、32.3 mm^2 と1Mビットとしては世界最小を実現した。アクセス時間は、80 ns typ. と世界最高速のレベルであり、最大アドレスアクセス時間としては120 ns品の取得が可能である。アクセスシユムを図15に示す。 V_{cc} (min)は3.4Vであり、消去ベリファイ用の内部電源電圧と一致しており、本開発のオンチップ自動消去制御回路が正しく動作していることがわかる。また、書込み時間は25 μ s typ. を得、消去時間はプレライト、消去ベリファイなどの一連のアルゴリズムをすべて含んだ値で0.8 s typ. と非常に良好な結果

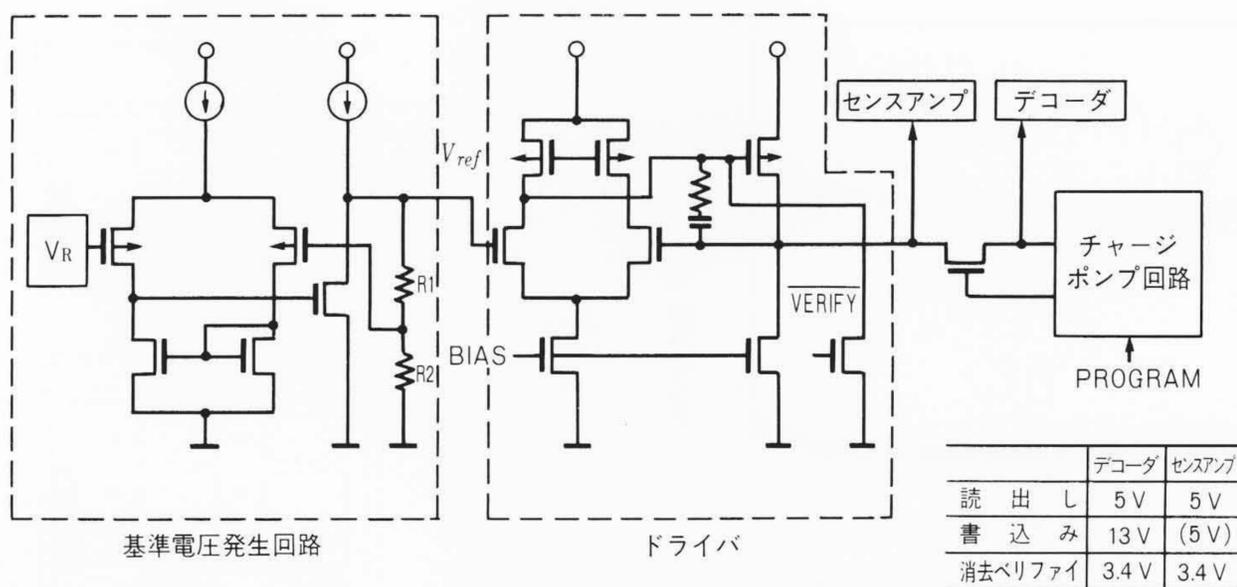


図13 消去ベリファイ用電源とその切替回路
消去ベリファイ時の電圧は、読出し電圧下限を決めるので、駆動能力、安定性に配慮した。

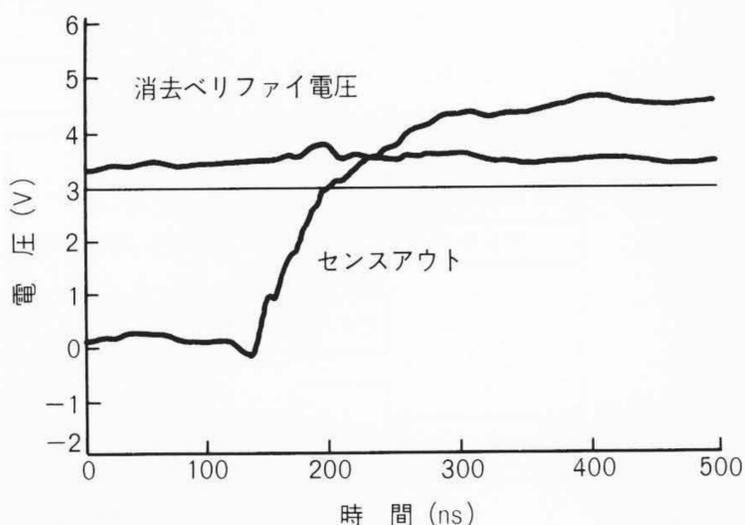


図14 消去ベリファイ時過渡応答
消去ベリファイ時にも、ベリファイ用電源の安定性に問題はない。

表4 評価結果まとめ 世界最小のチップサイズを実現し、性能、信頼度の面からも業界トップクラスのフラッシュメモリを製品化できた。

項目	結果	
チップサイズ	32.3 mm ²	
消費電流	待機時	20 nA typ.
	動作時	10 mA typ.
アクセス時間	80 ns typ.	
書き換え電源	5 V・12V	
書込み時間	25 μs/バイト	
消去時間 (プレライト, 消去ベリファイ含む)	0.8 s typ.	
書き換え回数	10 ⁴ 回以上	
データ保持寿命	10年以上	

が得られた。

信頼度面では、図16に示すように書き換え耐性としては、10⁴回をクリアし、データ保持寿命は10年以上の値が得られた。

以上により、本フラッシュメモリは、書き換え可能な不揮発性メモリとして非常に高い性能と信頼性が実現できたと考える。

7 フラッシュメモリの応用

フラッシュメモリの最大の応用分野はメモリカードと考え、図17に示すような厚みが最大1.2 mm、大きさが8 × 14 mm²のTSOP (Thin Small Outline Package) パッケージを開発し、サポートしている。また、カードでの両面実装を考慮し、逆曲げ品(リバーズ品)にも対応している。本TSOPを使用した2 Mバイトのカード外形例を図18に示す。JEIDA (日本電子工業振興協会) 規格のカード(54 × 85.6 × 3.3 mm³)に最大限実装すれば、3.5 Mバイトのメモリカードが実現可能である。

次に本フラッシュメモリをオンボード上で書き換える場合の応用例を図19に示す。データバス、アドレスバスは直結して問題はない。V_{PP}を、読出し時と消去、書込み時に切り換える方法として、V_{CC}からダイオード接続でV_{PP}ピンへの5 V系供給を行うようにしてある。書込み、消去信号発生のためのタイミングコントロール回路は、CPUの種類にもよるが、通常

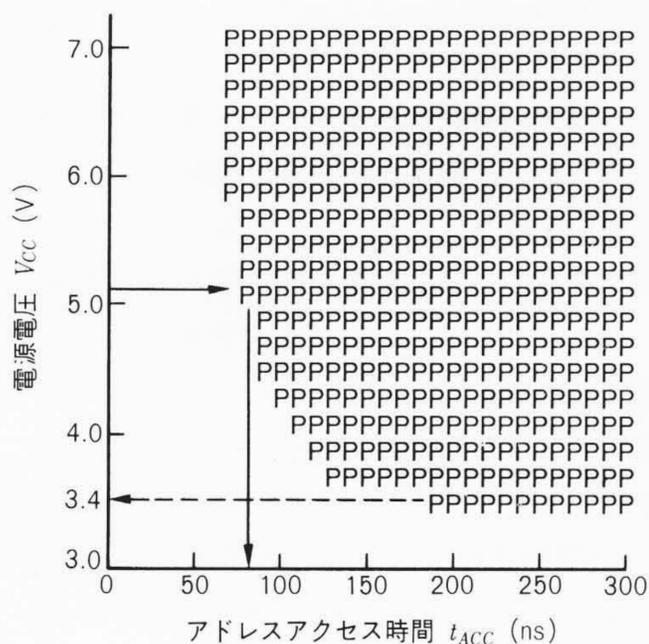


図15 アクセスシユム 読出し下限電圧は、消去ベリファイ用内部電源電圧と一致している。

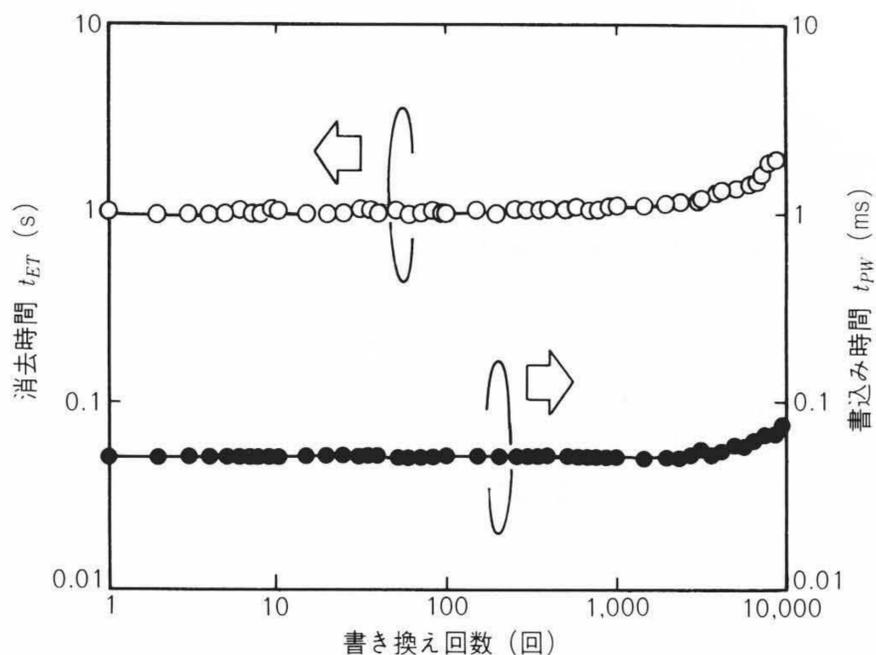


図16 書き換え耐性 書き換え回数は 10^4 回までは問題ない。

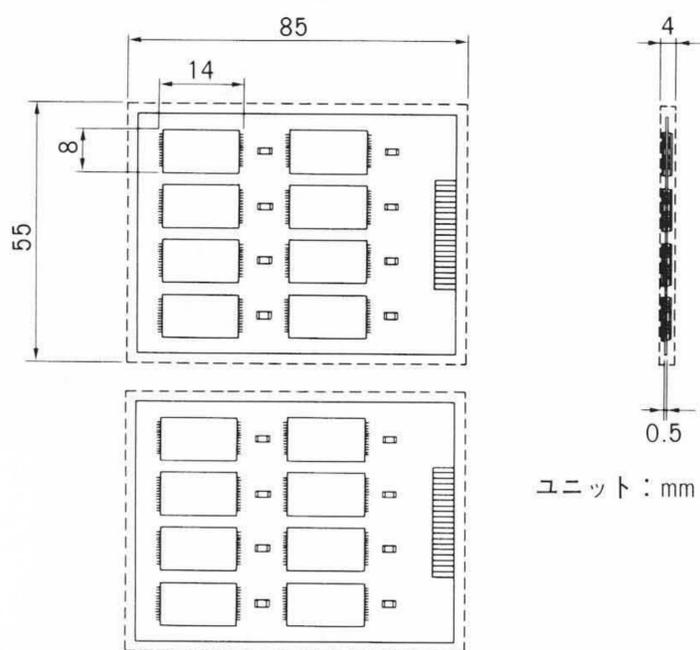


図18 2 Mバイト メモリカード応用例 TSOP品はメモリカードへの応用例が多い。

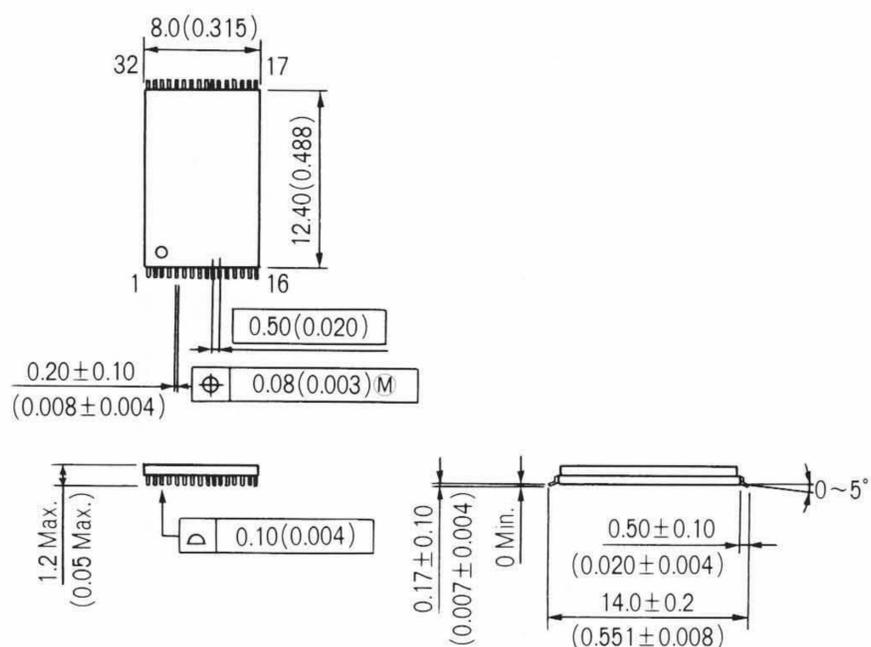


図17 TSOP外形図 薄形、小形パッケージでメモリカードに最適である。

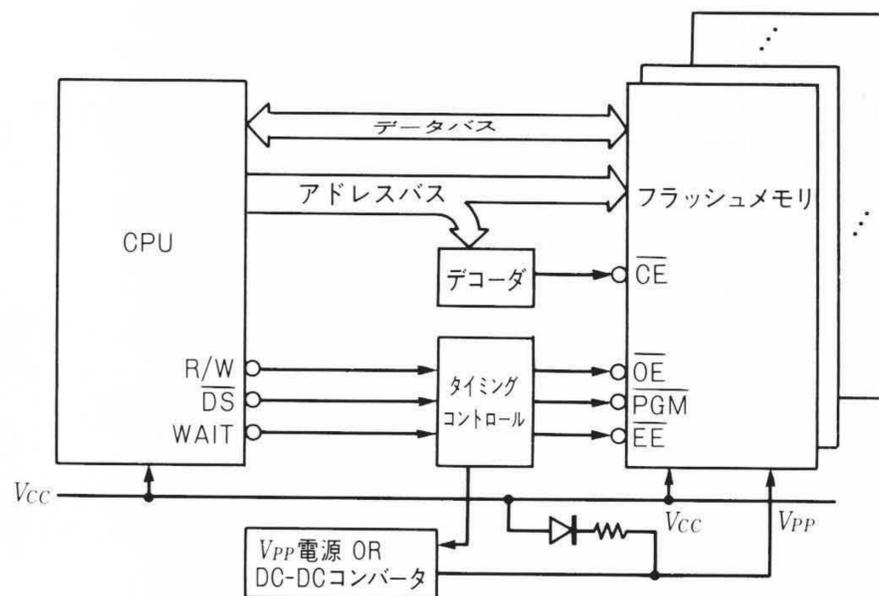


図19 オンボード書き換え応用例 オンボードでの書き換えを容易に実現でき、CPUの負担が極力少なくて済む。

は数ゲートで構成可能である。

8 結 言

最先端の $0.8 \mu\text{m}$ プロセスを適用し、世界最小チップサイズ (32.3 mm^2) の1 Mビットフラッシュメモリを製品化した。

本製品の最大の特長は、オンボード書き換えでの使い勝手向上を目的として、複雑な消去制御回路をオンチップ化した自動消去機能を取り入れたことである。これにより、CPUは消去時にワンショットパルスを印加するだけで他の仕事に専念でき、ステータスポーリング機能で消去終了を識別することも可能である。

性能面では、ポリサイドプロセスや高感度新センスアンプなどを駆使し、最大アドレスアクセス時間が120 ns品の取得を可能とし、EPROMと同等の読出し性能を実現できた。

また、 $8 \times 14 \text{ mm}^2$ のTSOPパッケージ品をサポートし、メモリカード用途での市場拡大が図れる。

フラッシュメモリの最大の課題は大容量化であるが、日立

製作所では本製品で適用した $0.8 \mu\text{m}$ プロセスをベースにした、4 Mビットの開発をすでに着手しており、1991年後半にはサンプル出荷の予定である。さらに、シリコンファイルの実現を可能にする16 Mビットの開発テンポを加速し、EPROMの大容量化にキャッチアップしたいと考えている。

参考文献

- 1) 日経マイクロデバイス, 72~77(1990-3)
- 2) M. Lenzlinger, et al. : Fowler-Nordheim Tunneling into Thermally Grown SiO_2 , Journal of Applied Physics, 90, 1(1969-1)
- 3) K. Seki, et al. : An 80 ns 1 Mb Flash Memory with On-Chip Erase/Erase-Verify Controller, ISSCC '90 Digest of Technical Papers, 60~61